

Memoria Dual-port a Bassa Dissipazione per la Comunicazione Tra Processori

By (Danny Tseng, Senior Applications Engineer, Cypress Semiconductor Corp. and Lawrence Wong, Wireless Application Team, Texas Instruments and Hung Vuong, Senior System Architect, Texas Instruments)

Sommario

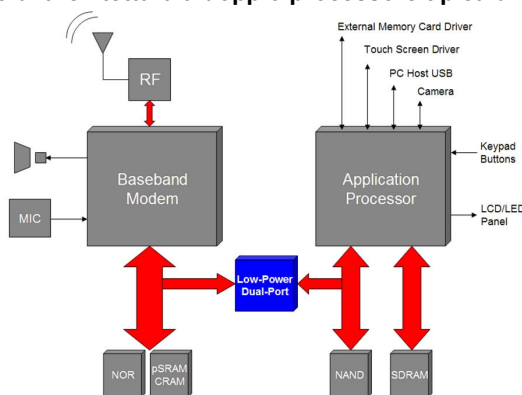
L'impiego di una memoria dual-port a bassa dissipazione rappresenta una valida soluzione per la realizzazione del meccanismo di IPC (Inter-processor Communication) tra i due processori presenti negli handset mobili

Introduzione

La convergenza tra telefoni mobili e altri dispositivi consumer come ad esempio PDA e lettori MP3, telecamere e fotocamere digitali sta evolvendo molto rapidamente. Per i progettisti, la progressiva affermazione di prodotti che integrano tutte queste funzionalità comporta la necessità di affrontare un problema di non semplice soluzione: la realizzazione di dispositivi palmari a elevate prestazioni caratterizzati da consumi estremamente ridotti. Inoltre, poiché la capacità di elaborazione aumenta in maniera esponenziale, appare inevitabile per i produttori di handset mobili l'adozione di architetture a doppio processore. In considerazione delle elevate velocità di trasferimento dati tipiche dei sistemi wireless 3G/3.5G, le esigenze in termini di ampiezza di banda e di latenza dei collegamenti con il processore sono divenute più stringenti al fine di soddisfare i requisiti propri delle funzionalità multimediali.

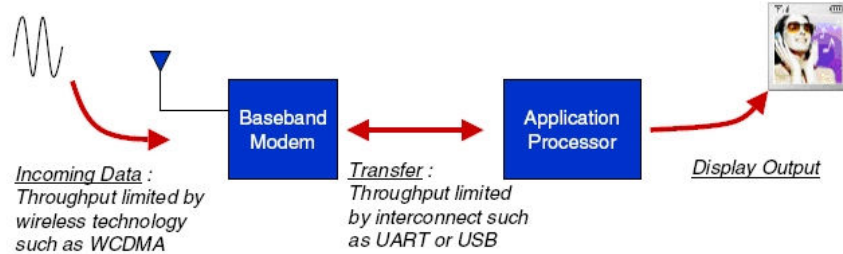
Negli attuali progetti dei PDA e dei telefoni "intelligenti" a doppio processore, gli elementi di elaborazione sono rappresentati da un processore in banda base e da un coprocessore specifico, come ad esempio un processore multimediale o un application processor (processore applicativo). I due processori operano in maniera indipendente e ciascuno è preposto allo svolgimento di compiti specifici. Il processore in banda base agisce alla stregua di un modem RF, mentre l'application processor fa girare il sistema operativo e gestisce le varie applicazioni multimediali. I più diffusi sistemi operativi come ad esempio Linux, Symbian e Windows CE/Mobile richiedono la presenza di un application processor con notevoli capacità di elaborazione in grado di gestire segnali audio, video e standard di comunicazioni wireless come Wi-Fi e Bluetooth. Nella figura 1 viene riportato un esempio di architettura a doppio processore utilizzata in telefoni mobili di fascia alta.

Fig. 1 – Esempio di architettura a doppio processore tipica di handset 3G/3.5G



Nella figura 2 è invece raffigurato un esempio di flusso di dati. I dati vocali e multimediali arrivano all'antenna collegata al processore in banda base: questi dati vengono quindi pacchettizzati e inviati all'application processor. Quest'ultimo memorizza i contenuti multimediali in un file system oppure li visualizza/diffonde in tempo reale. Come si può facilmente evincere, l'ampiezza di banda di interconnessione tra i due processori può divenire il "collo di bottiglia" per gli handset mobili wireless 3G/3.5G della prossima generazione.

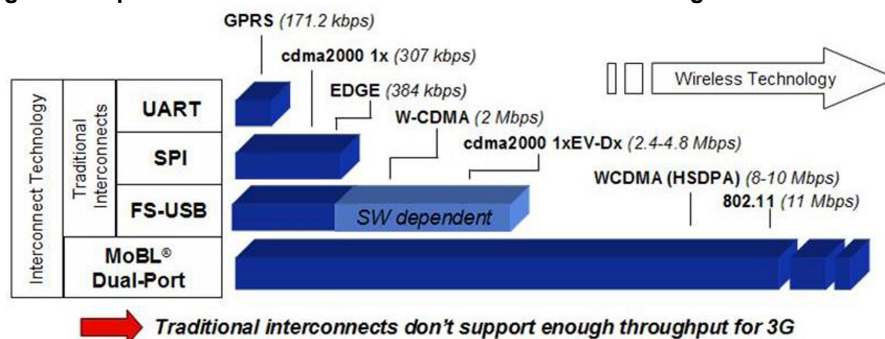
Fig. 2 – Esempio di flusso di dati che avviene in un handset mobile a doppio processore



Ampiezza di banda

Anche negli handset wireless 2G e 2.5G di fascia alta si fa largo uso di architetture a doppio processore. In queste reti, comunque, la velocità di trasferimento dati è dell'ordine dei centinaia di kbps, poiché la maggior parte del traffico è formato da chiamate vocali, messaggi di posta elettronica e testuali. Di conseguenza, la comunicazione tra i processori (IPC – Inter-Processor Communication) nell'attuale generazione di handset wireless viene di solito gestita da interfacce seriali come SPI, UART o USB che devono essere presenti su entrambi i processori. Per esempio le reti GPRS ed EDGE (2.5G) sono caratterizzate da velocità di trasferimenti dati di 171,2 kbps e 384 kbps rispettivamente. D'altro canto, come illustrato in figura 3, la velocità di trasferimento dati degli standard wireless 3G/3.5G, come CDMA2000 e WCDMAcon HSDPA (High Speed Downlink Packet Access) può richiedere velocità dell'ordine di 10 Mbps o superiori per supportare i contenuti di natura multimediale. Dalla medesima figura si evince che il throughput offerto da UART e SPI (circa 1 Mbps) non è in grado di soddisfare le esigenze in termini di ampiezza di banda delle reti wireless 3G/3.5G. Un aspetto interessante delle interfacce USB Full-Speed presenti negli attuali processori per applicazioni mobili di tipo wireless garantiscono un'ampiezza di banda teorica di 12 Mbps. Ciò potrebbe far pensare che esse siano in grado di soddisfare le esigenze delle reti 3G/3.5G: non va a questo proposito dimenticato che, a causa dell'overhead del protocollo, l'ampiezza di banda effettiva può risultare inferiore a 2 Mbps (in base ai dati dei test ottenuti da un importante produttore di telefonini). Inoltre, poiché la porta dell'host USB deve essere sempre attiva, si registra una dissipazione di potenza anche quando nessun dato viene trasferito attraverso il canale di interconnessione. L'elevato consumo dell'interfaccia USB è un altro ostacolo all'impiego di questo standard come meccanismo IPC. Il numero limitato di porte USB disponibili sul processore, infine, ne impedisce l'uso per la comunicazione tra processori, in quanto le porte stesse sono necessarie per i collegamenti con le periferiche e il PC. In definitiva, nessuna delle interfacce seriali esistenti è in grado di garantire la velocità di trasferimento dati richiesta dagli handset wireless 3G/3.5G.

Fig. 3 – I requisiti in termini di velocità di trasferimento dati degli standard wireless



Problemi di interconnessione

Sin dal concepimento degli standard per reti wireless 3G/3.5G, i progettisti di dispositivi mobili come ad esempio i telefoni "intelligenti" sono stati strenuamente impegnati nella ricerca di una soluzione efficiente per l'interconnessione tra i processori. Parecchi nuovi design contemplano l'uso di una combinazione degli standard seriali esistenti, dando vita a più linee dati che trasferiscono i dati da un processore all'altro. Sebbene questa si presenti come una soluzione fattibile, il software necessario per gestire questo tipo di flussi di dati è estremamente complicato e può dar luogo a problemi di integrità. Poiché nei progetti di handset mobili il time-to-market è il fattore in larga parte responsabile del successo del prodotto, i progettisti di sistema non possono permettersi il lusso di preoccuparsi della comunicazione tra i processori. Un'altra soluzione che è stata presa in considerazione prevede l'uso di un dispositivo CPLD per interconnettere i due processori. Questo tipo di approccio comporta alcuni problemi. In primo luogo i CPLD devono essere programmati, operazione questa che comporta un dispendio in termini di risorse e tempi di sviluppo. In secondo luogo, questi componenti programmabili occupano più spazio a bordo della scheda rispetto a soluzioni alternative, in quanto non sono ottimizzati per l'uso in applicazioni mobili.

L'adozione di CPLD comporta anche un aggravio per quel che riguarda il numero dei componenti richiesti (BOM): si tratta comunque di un componente abbastanza complesso il cui costo può aumentare nel momento in cui, ad esempio, si aggiungono schede di sviluppo. I CPLD, infine, dissipano una potenza superiore rispetto a dispositivi application-specific. In definitiva, l'impiego di un CPLD non risulta una soluzione semplice e potenzialmente, può essere in qualche misura "dannoso" per il progetto di handset mobili.

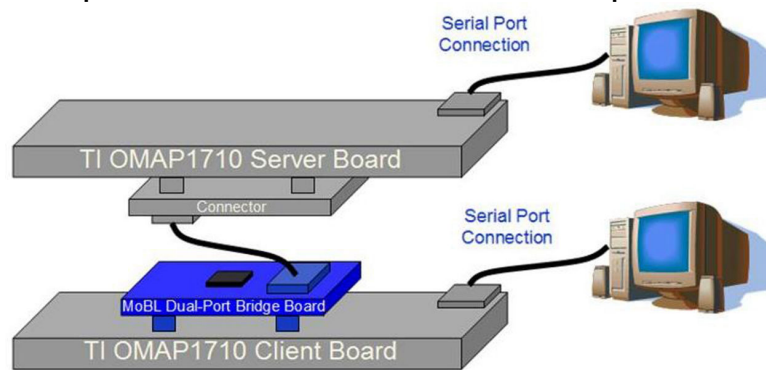
Memoria dual-port a basso consumo per applicazioni IPC

Un'alternativa che si sta imponendo all'attenzione degli addetti ai lavori per la realizzazione dell'interconnessione prevede l'utilizzo di una memoria dual-port a bassa dissipazione. Le memorie di questo tipo assicurano un throughput a elevata ampiezza di banda capace di soddisfare le esigenze di trasmissione dati dei dispositivi wireless della prossima generazione. Inoltre, queste memorie consentono di ottimizzare la durata delle batterie, grazie ai consumi più bassi rispetto alle interfacce seriali.

L'interfacciamento attraverso una memoria dual-port è un processo semplice e sfrutta meccanismi già noti ai progettisti. Le interfacce per la memoria sono di tipo standard e si collegano senza problemi con i processori disponibili sul mercato. Inoltre, non è richiesto l'uso di complessi driver poiché l'interfaccia è mappata in memoria tra i processori, in modo da semplificare ulteriormente lo sviluppo software e ridurre il time-to-market. Gli interrupt hardware mettono a disposizione un meccanismo semplice per l'handshaking (scambio di sincronizzazione) tra i processori, il che assicura una maggiore efficienza e un overhead minimo a livello di protocollo per la gestione del protocollo rispetto a interfacce come ad esempio USB. Il ridotto overhead contribuisce a diminuire i consumi in quanto non richiede ai processori posti all'estremità del collegamento di mantenere uno stack di protocollo che richiede parecchi cicli e introduce operazioni di load/store non necessarie.

L'efficienza complessiva di una comunicazione IPC mediante memorie dual-port a bassa dissipazione è stata oggetto di numerose valutazioni, poiché il throughput effettivo (e non quello teorico) rappresenta da sempre il maggior problema nella valutazione della connessione tra processori. Per la misura del throughput effettivo Cypress Semiconductor e Texas Instruments hanno sviluppato una piattaforma formata da due processori applicativi OMAP1710 abbinati a una memoria dual-port a bassa dissipazione MoBL (CYDM256B16), Il setup dell'hardware è raffigurato in figura 4.

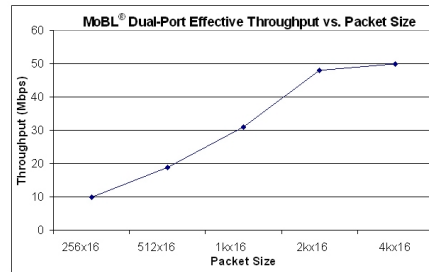
Fig. 4 – Setup hardware della piattaforma di valutazione della memoria dual-port MoBL di Cypress Semiconductor



Il software è sviluppato su una piattaforma Symbian 0.1 EKAI OS, mentre per l'handshaking si è fatto ricorso a uno schema di interrupt hardware con rotazione singola dei buffer. Il throughput è calcolato sulla base di un invio in modalità burst dei dati dal server al processore client con una dimensione prestabilita del pacchetto. Pacchetti di dimensioni differenti sono stati utilizzati per effettuare valutazioni di prestazioni relative al throughput effettivo del sistema, che varia con la frequenza di interrupt dell'hardware.

Le prestazioni, in termini di throughput possono potenzialmente migliorare con un'implementazione che preveda una rotazione dei buffer doppia: in ogni caso è stato preso in considerazione un approccio più conservativo per semplificare l'implementazione software e minimizzare il numero di interrupt generati. I risultati vengono riportati nella tabella 1 ed evidenziati graficamente in figura 5.

Fig. 5 – Andamento grafico del throughput effettivo con pacchetti di differenti dimensioni

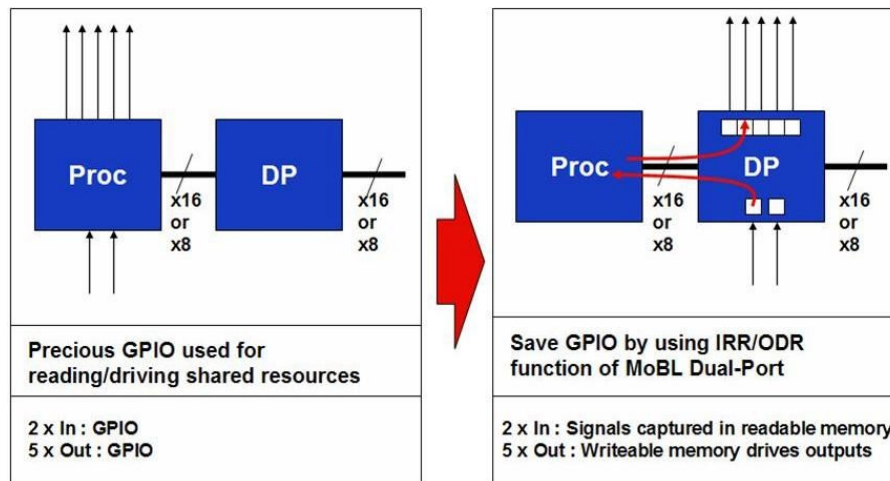


Un esempio concreto

Si consideri ad esempio l'implementazione di una interconnessione USB Full-Speed rispetto a quella che prevede un'interfaccia dual-port relativa al trasferimento di un file multimediale da 1Mbit dal processore in banda base al processore delle applicazioni. Un'interfaccia USB con un throughput effettivo di 2 Mbit impiegherà 0,5 s per il trasferimento completo del file ($1 \text{ Mb}/2 \text{ Mbps} = 0,5 \text{ s}$). In questo caso, entrambe le interfacce seriali su tutte e due i processori devono essere "svegliate" per tutta la durata del trasferimento, con elevati consumi. D'altro canto, una memoria dual-port utilizzata come interconnessione tra i processori richiederà solamente 0,02 per compiere la medesima operazione a una velocità di 48 Mbps ($1 \text{ Mb}/48 \text{ Mbps} = 0,02$). Inoltre, la memoria dual-port e l'altro processore possono entrare automaticamente in sleep mode una volta terminato il trasferimento dei dati. Ciò comporta una sensibile riduzione del tempo in cui i processori sono attivi (quindi consumano potenza) di un fattore pari al 96%.

Un'interconnessione mediante memoria dual-port a bassa dissipazione, dunque, non solo garantisce prestazioni superiori e consumi ridotti rispetto ad altri meccanismi alternativi, ma permette anche di minimizzare gli ingombri grazie alla disponibilità in package vFBGA. Altre caratteristiche delle memorie dual-port, come ad esempio i registri di pilotaggio in uscita e di lettura in ingresso, contribuiscono a far risparmiare risorse a livello di GPIO (Fig. 6).

Fig. 6 – Utilizzo dei registri di lettura in ingresso e di pilotaggio in uscita



In definitiva, la proliferazione di reti wireless 3G/3.5G e la maggior ricchezza di contenuti multimediali contribuiscono a un sensibile incremento dell'ampiezza di banda richiesta nei nuovi dispositivi portatili. Le tradizionali interfacce seriali (UART, SPI e USB Full-Speed) mostrano tutti i loro limiti nel momento in cui è richiesto il trasferimento di giochi, musica e video in tempo reale. L'impiego di una memoria dual-port a bassa dissipazione come mezzo di interconnessione tra i processori non solo assicura l'estesa ampiezza di banda e i ridotti consumi in grado di soddisfare gli odierni vincoli di progetto, ma permette di semplificare la fase di design delle componenti sia hardware sia software e, in molto casi, rappresenta la soluzione migliore per gestire la comunicazione tra i processori degli handset mobili della prossima generazione.



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
Phone: 408-943-2600
Fax: 408-943-4730
<http://www.cypress.com>

© Cypress Semiconductor Corporation, 2007. The information contained herein is subject to change without notice. Cypress Semiconductor Corporation assumes no responsibility for the use of any circuitry other than circuitry embodied in a Cypress product. Nor does it convey or imply any license under patent or other rights. Cypress products are not warranted nor intended to be used for medical, life support, life saving, critical control or safety applications, unless pursuant to an express written agreement with Cypress. Furthermore, Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress products in life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

PSoC Designer™, Programmable System-on-Chip™, and PSoC Express™ are trademarks and PSoC® is a registered trademark of Cypress Semiconductor Corp. All other trademarks or registered trademarks referenced herein are property of the respective corporations.

This Source Code (software and/or firmware) is owned by Cypress Semiconductor Corporation (Cypress) and is protected by and subject to worldwide patent protection (United States and foreign), United States copyright laws and international treaty provisions. Cypress hereby grants to licensee a personal, non-exclusive, non-transferable license to copy, use, modify, create derivative works of, and compile the Cypress Source Code and derivative works for the sole purpose of creating custom software and or firmware in support of licensee product to be used only in conjunction with a Cypress integrated circuit as specified in the applicable agreement. Any reproduction, modification, translation, compilation, or representation of this Source Code except as specified above is prohibited without the express written permission of Cypress.

Disclaimer: CYPRESS MAKES NO WARRANTY OF ANY KIND, EXPRESS OR IMPLIED, WITH REGARD TO THIS MATERIAL, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE. Cypress reserves the right to make changes without further notice to the materials described herein. Cypress does not assume any liability arising out of the application or use of any product or circuit described herein. Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress' product in a life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

Use may be limited by and subject to the applicable Cypress software license agreement.