

Strom sparende Dual-Port-Speicher für 3,5G-Handys

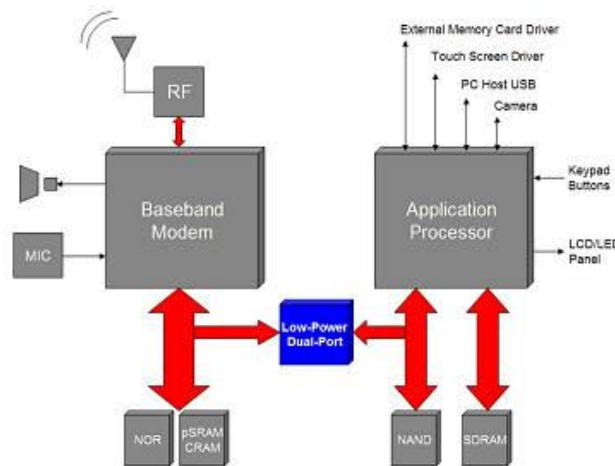
By (Danny Tseng, Senior Applications Engineer in the Data Communications Division, Cypress Semiconductor, Lawrence Wong, member of the Wireless Application Team, Texas Instruments and Hung Vuong, Senior System Architect and Systems and Software CTO, Texas Instruments)

Zusammenfassung

Das Zusammenwachsen von Mobiltelefonen mit anderen Consumer-orientierten Geräten wie etwa PDAs, MP3-Playern sowie digitalen Foto- und Videokameras macht rasche Fortschritte, wie man an neu eingeführten Mobiltelefonen wie dem Motorola ROKR oder dem Palm Treo sieht. Daraus ist ein klassisches technisches Dilemma entstanden: die Geräte müssen einerseits immer leistungsfähiger werden, sollen aber andererseits mit extrem wenig Energie auskommen. Da die benötigte Rechenleistung exponentiell zunimmt, müssen Handy-Hersteller und Designhäuser auf Zwei-Prozessor-Architekturen umsteigen.

Bei den Prozessoren in modernen Dual-Processor-PDAs und -Smartphones handelt es sich meist um einen Basisband-Prozessor und einen funktionspezifischen Coprozessor wie etwa einen Applikations- oder Multimedia-Prozessor. Der Basisband-Prozessor dient als HF-Modem, und der Applikations-Prozessor verarbeitet das Betriebssystem und verschiedene Multimedia-Applikationen. Anspruchsvolle Betriebssysteme wie Linux, Symbian und Windows CE/Mobile verlangen in aller Regel nach einem leistungsstarken Applikations-Prozessor, dem auch das Management der Audio- und Videofunktionen sowie weiterer Wireless-Features wie z. B. Wi-Fi[®] und Bluetooth[®] übertragen werden kann. Bild 1 zeigt ein Beispiel für eine Dual-Processor-Architektur für ein High-End-Mobiltelefon.

Bild 1. Dual-Processor-Architektur für 3G/3.5G Smartphones/PDAs

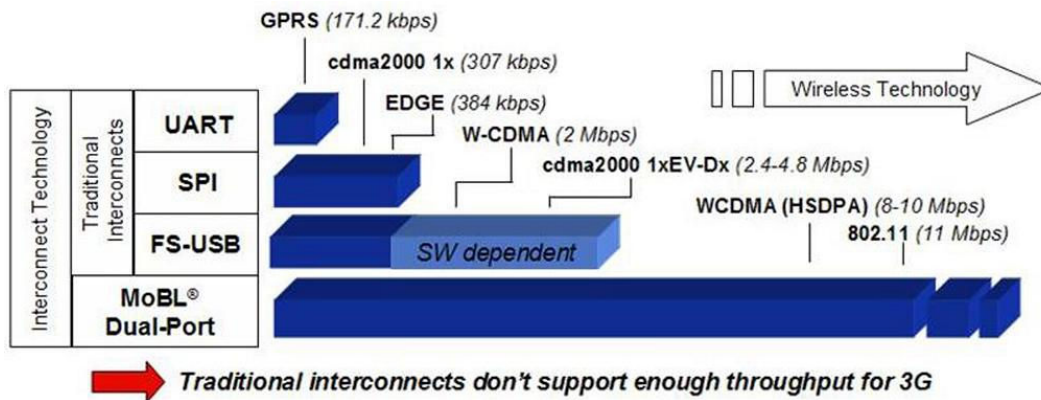


Sprach- und Multimediadaten werden über die am Basisband-Prozessor angeschlossene Antenne empfangen, in Pakete verpackt und an den Applikations-Prozessor übergeben. Die Bandbreite der Verbindung zwischen Basisband- und Applikations-Prozessor kann zu einem gravierenden Engpass für 3G/3.5G-Handys der nächsten Generation werden.

Der Bandbreitenbedarf

Dual-Processor-Architekturen sind auch in anspruchsvollen 2G- und 2.5G-Mobiltelefonen bereits sehr verbreitet. Allerdings bewegt sich die Datenrate in diesen Netzen vorwiegend im Bereich von einigen hundert Kilobit pro Sekunde. Die Inter-Processor-Kommunikation wird deshalb in der Regel über serielle Interfaces wie SPI, UART oder auch USB abgewickelt, die dann jedoch an beiden Prozessoren vorhanden sein müssen. In 3G/3.5G-Mobilfunknetzen wie CDMA2000 und WCDMA mit High-Speed Downlink Packet Access (HSDPA) werden 10 MBit/s oder mehr benötigt, um Multimedia-intensiven Content zu unterstützen.

Bild 2. Verschiedene Mobilfunkstandards setzen unterschiedliche Datenraten voraus



Aus Bild 2 ist abzulesen, dass weder UART noch SPI mit ihren maximal 1 MBit/s dem Bandbreitenbedarf von 3G/3.5G-Mobilfunknetzen entsprechen können. Full-Speed USB mit einer theoretischen Bandbreite von 12 MBit/s müsste den Durchsatzanforderungen von 3G/3.5G-Netzen eigentlich genügen. Der protokollbedingte Verarbeitungsaufwand lässt den Durchsatz in der Praxis allerdings auf unter 2 MBit/s zusammenschmelzen. Da der USB Host Port stets aktiv sein muss, wird außerdem selbst dann viel Leistung aufgenommen, wenn keine Daten über den Kommunikationskanal übertragen werden müssen. Keine der existierenden seriellen Schnittstellen kann somit genügend hohe Datenraten für 3G/3.5G-Anwendungen bieten. Überdies kann die begrenzte Zahl der USB-Ports an den Prozessoren die Verwendung dieser Schnittstelle für die IPC ausschließen.

Dual-Port-Speicher unterstützen hohe Bandbreiten und maximale Batterielebensdauer

Schon seit die ursprüngliche Konzeption der 3G/3.5G-Mobilfunkstandards ausgearbeitet wurde, suchen Smartphone- und PDA-Hersteller nach einer effizienten IPC-Lösung. Viele der vorgeschlagenen Designs nutzen eine Kombination aus existierenden seriellen Standards und schicken die Daten daher auf mehreren Pfaden von einem Prozessor zum anderen. Grundsätzlich mag dies eine geeignete Lösung sein, aber die Abwicklung dieses Datenflusses verlangt extrem komplizierte Software, die entsprechend anfällig für Integritätsprobleme ist. Zudem sind solche Designs höchst zeitkritisch, und ihr Erfolg hängt zu einem großen Teil von der Markteinführungszeit ab. Systemdesigner können deshalb nicht übermäßig viel Zeit für das Thema IPC aufwenden.

Auch die Verwendung eines CPLD zur Verbindung zweier Prozessoren wurde erwogen, doch handelt man sich damit vier Probleme ein. Erstens resultiert die unvermeidliche Programmierung der CPLDs in einem erhöhten Zeit- und Ressourcenaufwand und macht das Systemdesign unnötig komplex. Zweitens benötigen CPLDs meist mehr Leiterplattenfläche als andere Lösungen, da sie nicht für mobile Applikationen optimiert sind. Drittens erhöhen CPLDs die Materialkosten, denn für diese komplexen Halbleiterbausteine sind möglicherweise zusätzliche Kosten für Entwicklungsboards und andere Aufwendungen einzukalkulieren. Viertens nehmen CPLDs in der Regel mehr Leistung auf als

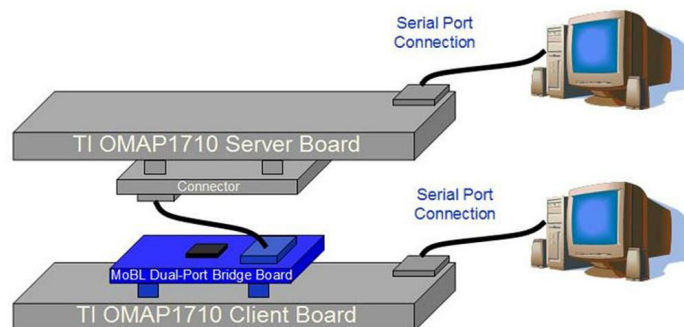
applikationsspezifischere Bauelemente. Die Nutzung eines CPLD für die IPC ist daher alles andere als einfach und kann Nachteile für das Handy-Design mit sich bringen.

Seit einiger Zeit setzt man Strom sparende Dual-Port-Speicher für die systeminterne Kommunikation ein. Vorteil hier: Dual-Port-Speicher unterstützen so hohe Bandbreiten, dass sie auch den Datenraten-Anforderungen sogar der kommenden Mobilfunk-Generation gerecht werden können. Abgesehen von ihrer hohen effektiven Bandbreite sorgen sie für eine maximale Batterielevensdauer, da verglichen mit seriellen Schnittstellen kommen sie mit einem Minimum an Energie aus.

Der über Dual-Port-Speicher abgewickelte Dialog von einem Prozessor zum anderen ist außerdem recht unkompliziert und nutzt Verfahren, mit denen die Designer bereits vertraut sind. Speicher besitzen standardisierte Schnittstellen und können nahtlos an jeden marktüblichen Prozessor angeschlossen werden. Es werden auch keine komplexen Gerätetreiber benötigt, denn die Schnittstelle zwischen den Prozessoren ist speicheradressiert, was die Softwareentwicklung vereinfacht und eine schnellere Markteinführung des jeweiligen Produkts zulässt. Als einfacher Mechanismus für das Handshaking zwischen den Prozessoren können Hardware-Interrupts verwendet werden. Das Ergebnis ist ein hohes Maß an Effizienz und – verglichen beispielsweise mit dem USB – ein Minimum an Protokollaufwand für das Management der Kommunikationsverbindung. Der reduzierte Verarbeitungsaufwand spart nicht zuletzt Strom, denn keiner der beteiligten Prozessoren muss einen umfangreichen, viele Zyklen erfordernden Protokollstapel verwalten, der überdies unnötige Load- und Store-Operationen erfordert.

Noch eingehender evaluiert wurde die Gesamt-Effizienz der IPC-Lösungen auf der Basis Strom sparender Dual-Port-Speicher, denn die Architekten und Designern von Mobiltelefonen möchten insbesondere wissen, wieviel vom theoretisch möglichen Durchsatz in der Praxis effektiv genutzt werden kann. Zur Messung dieses effektiven Durchsatzes haben Cypress und TI eine Plattform entwickelt, die aus zwei Applikations-Prozessoren des Typs OMAP1710 von Texas Instruments und einem Low-Power MoBL[®] Dual-Port-Speicher CYDM256B16 von Cypress besteht.

Bild 3. Hardware-Konfiguration der MoBL-Dual-Port-Evaluierungsplattform



Die Software wird auf der Basis des Betriebssystems Symbian 8.1 EKA1 entwickelt, und für das Handshaking kommt ein nicht doppeltes, zyklisch gepuffertes Hardware-Interrupt-Schema zum Einsatz. Die Durchsatzberechnung basiert auf der burstweisen Datenübertragung vom Server an den Client-Prozessor mit vorgegebener Paketgröße. Zum Messen des effektiven Durchsatzes, der von der Häufigkeit der Hardware-Interrupts abhängig ist, wurden unterschiedliche Paketgrößen verwendet. Potenziell verbessern lässt sich der Durchsatz mit einem doppelten, zyklischen Puffer, doch wurde hier der konservativere Ansatz bevorzugt, um die Software zu vereinfachen und die Zahl der generierten Interrupts zu minimieren. Die Ergebnisse sind in Tabelle 1 wiedergegeben.

Tabelle 1. Die ermittelten Durchsatzwerte der MoBL-Dual-Port-Evaluierungsplattform im Überblick

Paketgröße	Durchsatz
8kB (4k x 16)	50 MBit/s
4kB (2k x 16)	48 MBit/s
2kB (1k x 16)	31 MBit/s
1kB (512 x 16)	19 MBit/s
512B (256 x 16)	10 MBit/s

Die Zeitspanne, in der beide Prozessoren Leistung aufnehmen, sinkt um 96%

Als Beispiel soll eine Full-Speed USB-Verbindung mit einem Dual-Port-Interface beim Transfer einer 1 MBit großen Multimedia-Datei vom Basisband- zum Applikations-Prozessor verglichen werden. Ein USB-Interface mit einem effektiven Durchsatz von 2 MBit/s benötigt 0,5 s für den Transfer der kompletten Datei. Voraussetzung hierfür ist, dass beide seriellen Schnittstellen an beiden Prozessoren für die Dauer der Übertragung aktiv sind – und dementsprechend Leistung aufnehmen. Werden beide Prozessoren stattdessen mit einem Strom sparenden Dual-Port-Speicher verbunden, dauert das Übertragen der 1-MBit-Datei bei 48 MBit/s nur mehr 0,02 s. Dual-Port-Speicher und der andere Prozessor können überdies unmittelbar nach dem Ende der Datenübertragung in den Sleep-Modus wechseln. Die Zeitspanne, in der beide Prozessoren Leistung aufnehmen, reduziert sich dadurch um respektable 96 %.

Low-Power Dual-Port-Speicher können jedoch nicht nur in Bezug auf Performance und die Verlustleistung gegenüber alternativen Mechanismen punkten. Auch die erforderliche Leiterplattenfläche beschränkt sich dank des kompakten vBGA-Gehäuses auf ein Minimum. Durch weitere Dual-Port-typische Merkmale wie die eingangsseitigen Lese- und die ausgangsseitigen Treiberregister werden außerdem an den Prozessoren weniger wertvolle GPIO-Ressourcen belegt. Diese Vorteile machen Dual-Port-Speicher zu einer idealen IPC-Lösung für künftige Handy-Generationen.



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
Phone: 408-943-2600
Fax: 408-943-4730
<http://www.cypress.com>

© Cypress Semiconductor Corporation, 2007. The information contained herein is subject to change without notice. Cypress Semiconductor Corporation assumes no responsibility for the use of any circuitry other than circuitry embodied in a Cypress product. Nor does it convey or imply any license under patent or other rights. Cypress products are not warranted nor intended to be used for medical, life support, life saving, critical control or safety applications, unless pursuant to an express written agreement with Cypress. Furthermore, Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress products in life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

PSoC Designer™, Programmable System-on-Chip™, and PSoC Express™ are trademarks and PSoC® is a registered trademark of Cypress Semiconductor Corp. All other trademarks or registered trademarks referenced herein are property of the respective corporations.

This Source Code (software and/or firmware) is owned by Cypress Semiconductor Corporation (Cypress) and is protected by and subject to worldwide patent protection (United States and foreign), United States copyright laws and international treaty provisions. Cypress hereby grants to licensee a personal, non-exclusive, non-transferable license to copy, use, modify, create derivative works of, and compile the Cypress Source Code and derivative works for the sole purpose of creating custom software and or firmware in support of licensee product to be used only in conjunction with a Cypress integrated circuit as specified in the applicable agreement. Any reproduction, modification, translation, compilation, or representation of this Source Code except as specified above is prohibited without the express written permission of Cypress.

Disclaimer: CYPRESS MAKES NO WARRANTY OF ANY KIND, EXPRESS OR IMPLIED, WITH REGARD TO THIS MATERIAL, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE. Cypress reserves the right to make changes without further notice to the materials described herein. Cypress does not assume any liability arising out of the application or use of any product or circuit described herein. Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress' product in a life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

Use may be limited by and subject to the applicable Cypress software license agreement.