



Using Low-Power Dual-Port for Inter Processor Communication in the Next Generation Mobile Handsets

運用低功耗雙埠 RAM

滿足下一代行動電話處理器通訊需求

Cypress 數據通訊部門資深應用工程師 Danny Tseng

TI 無線應用小組技術應用工程師 Lawrence Wong

TI 無線終端事業部行動電話系統資深系統設計師以及系統暨軟體技術長 Hung Vuong

Executive Summary

The convergence of mobile phones and other consumer-driven devices such as PDAs, MP3 players, digital still and video cameras is progressing rapidly as evidenced by recent introductions of phones like the Motorola ROKR and Palm Treo™. Consequently, the demand for processing power is increasing exponentially in these high-performance, low-power devices, and it becomes inevitable for mobile handset manufacturers to start adopting a dual processor architecture. In the case of a PDA or smart phone, the two processing elements are typically a baseband processor and an application processor. The two processors operate independently, performing specialized tasks in the mobile phone architecture. The baseband processor acts as an RF modem, while the application processor runs the operating system and handles other multimedia features. High level operating systems, such as Linux, Symbian™ and Windows® CE/Mobile, usually require a powerful application processor that also manages the audio, video, and other wireless features such as Wi-Fi® and Bluetooth®. In 2G and 2.5G, the two processors are interconnected by a traditional serial interface, either UART or SPI. These serial standards provide a low-bandwidth solution typically not exceeding 1Mbps in throughput; just enough for low data rate traffic. However, with the proliferation of 3G/3.5G networks, the multimedia rich content boosts the inter-processor communication bandwidth requirement significantly. As a result, the use of conventional serial interfaces becomes insufficient in 3G/3.5G applications (real-time video, music, games, etc.). A new system-interconnect solution has recently emerged in the mobile handset space: the low-power dual-port memory. These dual-port memory devices are specifically designed for the wireless handset market to maximize throughput and minimize power consumption.

摘要

從一些最新發表的行動電話中，例如 Motorola ROKR 以及 Palm Treo™，可以發現行動電話與其他消費性裝置，如 PDAs、MP3 播放機、數位相機和攝影機的數位整合正在快速演進。因此這些高效能、低功耗的裝置對於整體處理能力的要求也大幅提高，讓手機製造商必須開始採用雙處理器架構。例如在 PDA 或智慧型手機裡，一般都會看到一個基頻 (baseband) 處理器搭配一個應用 (application) 處理器的雙處理器單元架構。這兩個處理器各自運作，執行手機架構中特定的工作。基頻處理器扮演 RF 數據機的角色；而應用處理器則執行作業系統以及處理其他多媒體功能。一些如 Linux、Symbian™ 與 Windows® CE/Mobile 等高階作業系統，通常需要運算能力強大的應用處理器，來管理影音資料與其他如：Wi-Fi® 與 Bluetooth® 等無線功能。

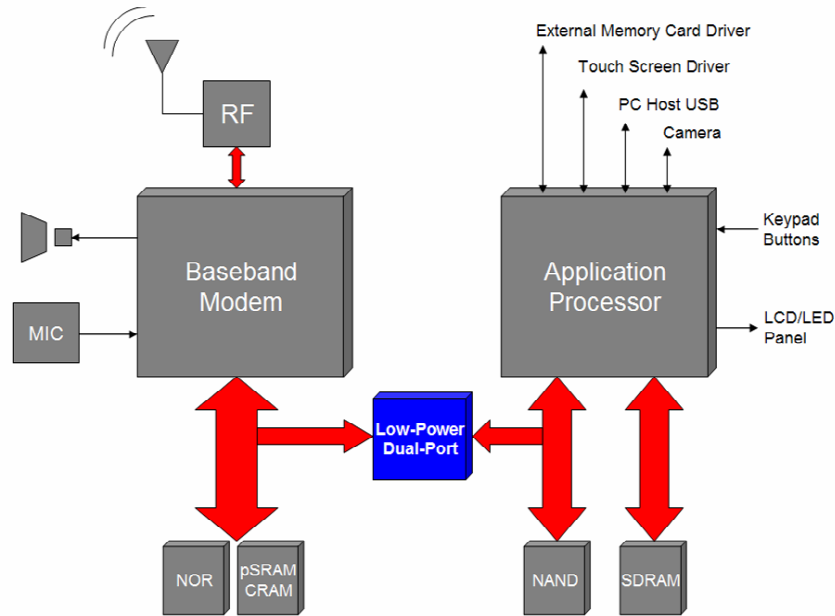
在 2G 和 2.5G 系統中，兩個處理器之間的互連是透過 UART 或 SPI 的傳統序列介面。這些序列介面標準僅能作為低頻寬的解決方案，通常有效傳輸速率 (throughput) 不會超過 1Mbps，所以只夠用在低資料速率的傳輸上。然而，隨著 3G/3.5G 網路快速成長，多媒體資訊內容的增加也使得處理器之間通訊所需的頻寬大幅提高。因此，面對 3G/3.5G 的應用需求 (即時視訊、音樂、遊戲...等)，傳統的序列介面已不敷使用。低功耗雙埠 (low-power dual-port) RAM 是手機領域中最新提出的 system-interconnect 解決方案。這些雙埠 RAM 裝置乃是專為無線手持式裝置市場所設計，具備最高傳輸速率與最低耗電量。雙埠 RAM 具備標準記憶體介面，能直接連結至所有常見的基頻與應用處理器。而且，利用標準處理器的記憶體介面連結，也可以將重要的 GPIO 針腳使用數量降至最低。為了驗證這項構想，我們採用德州儀器 (TI) 的 OMAP1710 處理器以及 Cypress MoBL®雙埠 RAM，建立模擬驗證平台。本文將闡述由這個展示平台所測得之有效傳輸速率，並且概述相較於其他處理器相互通訊 (Inter Processor Communication ; IPC) 技術，此高效能、低功耗的雙埠 RAM 解決方案所具備的價值優勢。

前言

從一些最新發表的行動電話中，例如 Motorola ROKR 以及 Palm Treo，可以發現行動電話與其他消費性裝置，如 PDAs、MP3 播放機、數位相機和攝影機的數位整合方案正在快速演進。因此在工程上也產生了一個典型的矛盾處：超高效能手持式裝置還得具備極低的耗電量。而且隨著處理器的運算效能大幅提高，手機製造商與設計業者也必須開始採用雙處理器架構。由於 3G/3.5G 無線系統本身擁有的較高資料傳輸率，處理器之連結埠頻寬與延遲率的要求勢必隨之提升，以因應多媒體功能的需求。

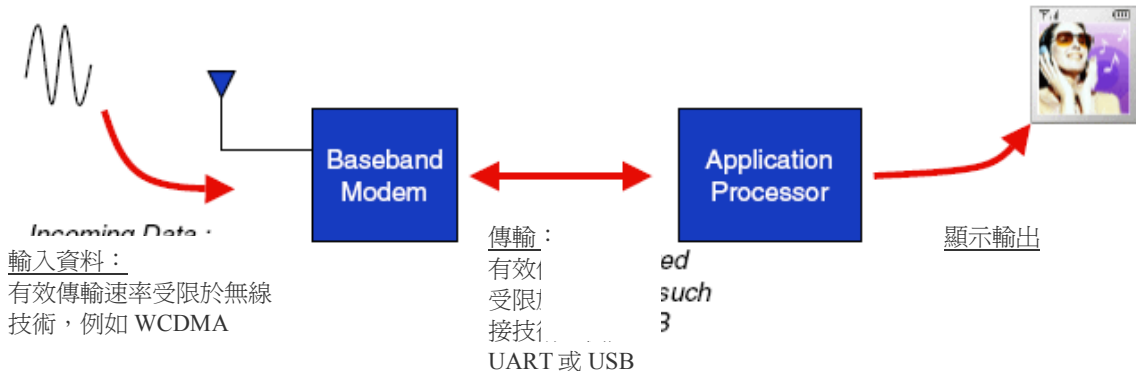
目前在雙處理器 PDA 與智慧型手機的設計中，處理單元通常包含一個基頻處理器與一個特定功能的協同處理器，例如應用處理器或多媒體處理器。這兩個處理器在手機中各自運作，執行所屬的特定工作。基頻處理器扮演 RF 數據機的角色，而應用處理器則負責執行作業系統，以及處理各種多媒體應用。如 Linux、Symbian 與 Windows CE/Mobile 等常見較複雜的作業系統，通常需要運算能力強大的應用處理器，來管理影音資料及其他如：Wi-Fi 與 Bluetooth 等的無線功能。圖 1 所示為高階手機中的雙處理器架構。

圖 1：3G/3.5G Smart/PDA 手機中的雙處理器架構



下圖 2 所示則為資料流的範例。語音和多媒體資料經由天線接收後送入基頻處理器，接著這些資料在經過封包之後，傳送至應用處理器。應用處理器則會將這些多媒體內容儲存至檔案系統中，或是將其即時播放出來。我們將會發現基頻與應用處理器間的連結埠頻寬可能成為下一代 3G/3.5G 無線行動電話的瓶頸。

圖 2：雙處理器行動電話的資料流範例



技術頻寬需求

雙處理器架構在高階 2G 與 2.5G 手機設計中，已受到廣泛的運用。然而，由於多數的傳輸資料為語音、簡單的電子郵件、或文字簡訊，因此這些網路的資料傳輸速率通常在每秒數百 kilobits 的範圍內。以 GPRS 與 EDGE (2.5G) 網路為例，最大資料傳輸速率分別為 171.2kbps 與 384kbps。因此在此世代的無

線手持式裝置中，處理器相互通訊 (inter-processor communication ; IPC) 通常是透過 SPI、UART、或 USB 這類的介面，而且兩個處理器都必須要支援相同的介面。但另一方面，如下圖 3 所示，在 3G/3.5G 無線標準中，CDMA2000 與 WCDMA 支援的高速下行封包接取 High-Speed Downlink Packet Access (HSDPA) 規格則要求高達 10Mbps 以上，才足以支援多樣化的多媒體內容。

圖 3：無線通訊標準中各類資料傳輸速率要求

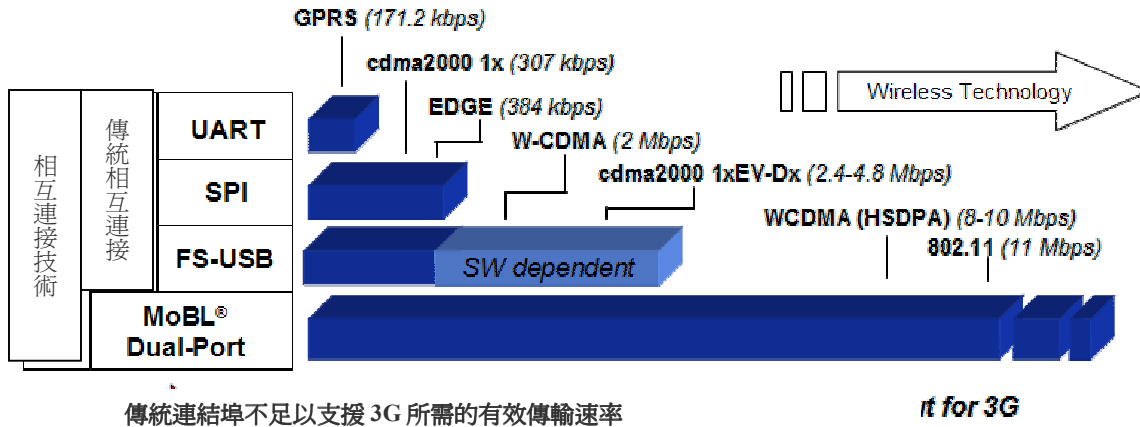


圖 3 明顯表示無論是 UART 或是 SPI 的有效傳輸速率 (約 1Mbps)，皆不能滿足 3G/3.5G 無線網路所要求的頻寬。至於目前行動無線處理器所支援的 USB (全速模式) 介面，理論上可提供高達 12Mbps 的頻寬。有人可能會認為這樣就能滿足 3G/3.5G 對於有效傳輸速率的要求，然而如果考慮到通訊協定的 overhead，則實際頻寬可能低於 2Mbps (這是根據某家主要手機製造商所得到的測試結果)。此外，由於 USB 主機端連接埠需要隨時保持運作狀態，這表示即使沒有任何資料在互連通道中傳遞，仍須消耗電力。更何況 USB 的高耗電量對於其扮演 IPC 機制的角色是一項重大缺點。此外，由於連結 PC 與周邊配備的時候也會用到 USB 連接埠，因此，在處理器上的 USB 連接埠可用數也有其限制，這也是其不利於 IPC 方面應用的原因之一。因此，目前並沒有任何一個序列介面可以提供 3G/3.5G 手機中足夠的資料傳輸速率。

基於 3G/3.5G 無線網路標準的概念，智慧型手機與 PDA 手持式裝置設計業者不斷努力尋找有效的處理器互連解決方案。許多新的設計中採用了各式現有序列標準的組合，藉此創造出多重資料通道，以供處理器間的資料傳輸。這雖然看來似乎可行，但處理此種資料類型所需的軟體會變得相當複雜，並容易產生資料完整性的疑慮。由於這些手機設計有時間上的緊迫性，而且上市時程也是決定產品成功的一大因素，因此系統設計業者不能浪費時間去擔心處理器相互通訊的問題。另一種解決方案是運用 CPLD 作為雙處理器之間通訊的元件。

運用 CPLD 也會出現四種問題。第一，CPLD 需要經過重新編程，需要更多開發時間與資源，這將增加系統設計不必要的複雜度。第二，由於 CPLD 並非專為行動應用進行最佳化，因此相較於其他方法，CPLD 更佔機板空間。第三，因為 CPLD 是一顆相當複雜的矽晶片，其整體成本可能隨著開發機板與其他雜項支出的增加而提高，最後將導致整體材料清單 (BOM) 的增加。此外，CPLD 通常比許多專用裝置需要更多的電力。因此採用 CPLD 作為 IPC 不僅不是一個捷徑，況且有可能不利於行動裝置的設計。

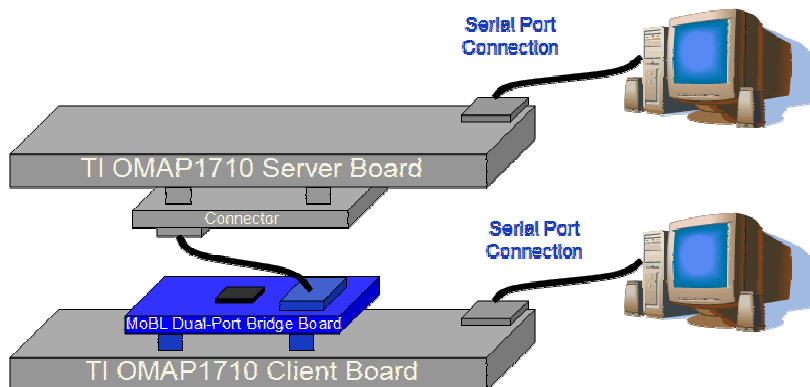
低功耗雙埠 (Low-Power Dual-Port) 元件於處理器相互通訊 (Inter-Processor Communication ; IPC) 的應用

低功耗雙埠 RAM 作為系統互連的元件是最近才在行動手持式裝置領域中出現的應用。雙埠 RAM 具備高頻寬的有效傳輸速率，不僅能夠符合下一代無線資料傳輸速率的需求；同時，相較於其他序列介面，其所具備的高效率頻寬能維持最低耗電量，因此可讓電池續航力最大化。

透過雙埠 RAM 的連結程序很直接，而且所用的機制也都是設計人員所熟悉的。記憶體介面不僅可直接連結至現成處理器上的標準介面，也無須複雜的裝置驅動程式，因為此處所謂的「介面」其實就是兩個處理器之間所對映的記憶區，如此能更進一步簡化軟體的開發工作，並且縮短產品上市時程。硬體中斷 (hardware interrupts) 可提供處理器握手協議(handshaking)的一個簡單機制；與其他介面 (例如 USB) 比較起來，此種方法在管理通訊連結時，能具備更大的效率與最少的協定 overhead。因此，在兩邊處理器都不需要維持周期頻繁的各層通訊協定，造成不必要的儲存與載入的動作的情形下，此方法可以減少 overhead，並節省耗電量。

我們必須進一步評估低功耗雙埠 IPC 方法的整體效率，因為對手機設計人員與設計業者來說，IPC 的實際有效傳輸速率的評估是他們關心的重點，而不是理論值。為了量測有效傳輸速率，Cypress 與 TI 開發了一套平台，其中包含兩 TI 的 OMAP1710 應用處理器以及 Cypress 的低電源 MoBL[®] 雙埠 RAM (CYDM256B16)。硬體設定如圖 4 所示。

圖 4 : MoBL 雙埠 RAM 評估平台硬體設定

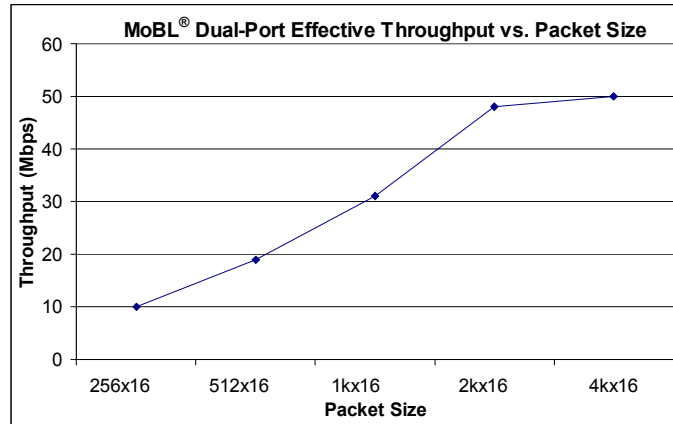


在軟體部分，則是在 Symbian 8.1 EKA1 OS 平台上開發，並採用簡單的 non-double/rotational 緩衝硬體中斷機制作為握手協議(handshaking)之用。有效傳輸速率的計算是以主端 (server) 至從端 (client) 處理器的資料群傳輸為基礎，而其封包大小為預先設定的。不同大小的封包可用來測量隨著硬體中斷頻率而改變的系統實際有效傳輸速率。雖然改用 double/rotational 緩衝配置時，有效傳輸速率的效能可能會有所提昇，然而設計業者通常寧願採取較為謹慎保守的方式，以簡化軟體複雜度，並且將中斷的數量降至最低。測量結果分別列於表 1 以及圖 5 中。

表 1 : 有效傳輸速率摘要

封包大小	有效傳輸速率
8kB (4k x 16)	50 Mbps
4kB (2k x 16)	48 Mbps
2kB (1k x 16)	31 Mbps
1kB (512 x 16)	19 Mbps
512B (256 x 16)	10 Mbps

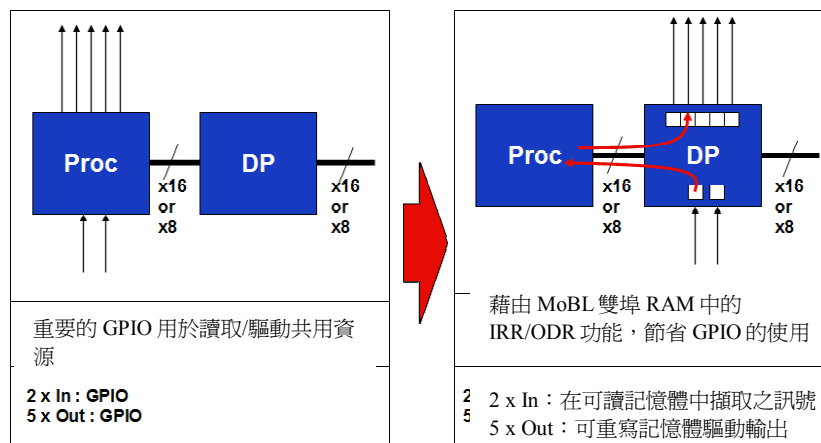
圖 5：實際有效傳輸速率與不同封包大小之間的關係



在此我們用全速 USB 互連的作法與雙埠 RAM 介面的比較為例，若要將一個 1Mbit 的多媒體檔案由基頻處理器傳輸至應用處理器時，由於 USB 介面具備 2Mbps 的有效傳輸速率，因此需要 0.5 秒完成該傳輸（ $1\text{Mb} / 2\text{Mbps} = 0.5$ 秒）。此時兩個處理器上的序列介面也必須要在該資料傳輸期間都「醒著」（awake）狀態，相對地也會造成耗電量增加。而在相同狀況下，低功耗雙埠 RAM 僅需耗費 0.02 秒就能以 48Mbps 的速率（ $1\text{Mb} / 48\text{Mbps} = 0.02$ 秒）傳輸，此外，雙埠 RAM 和其他處理器還可以在資料傳輸後自動進入休眠狀態，可讓兩個處理器減少超過 96% 的耗電時間，藉以大幅節省電力。

與其他機制比較起來，低功耗雙埠 RAM 不但能提供卓越的效能與低耗電，也能內建在超小型的 vFBGA 封裝中，能將所佔的機板空間降至最低。低功耗雙埠 RAM 的其他特點，例如：輸入讀取與輸出驅動暫存器，也可以減少處理器上重要的 GPIO 使用量，如下圖 6 所示。

圖 6：輸入讀取暫存器與輸出驅動暫存器的用法





隨著 3G/3.5G 無線網路的日益盛行，豐富的多媒體內容也大幅提高了可攜式裝置處理器相互通訊之頻寬需求。因此，傳統序列介面 (UART、SPI、與全速 USB) 已不足以應付 3G/3.5G 系統中傳輸即時視訊、音樂、遊戲等多媒體應用。低功耗雙埠 RAM 在扮演處理器通訊機制時，其高頻寬、低供耗的特點，不但能滿足嚴苛的設計需求，同時具備各類功能，來簡化軟體與硬體的設計，所以能在許多狀況下，為下一代行動電話處理器通訊機制提供最佳的解決方案。



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
Phone: 408-943-2600
Fax: 408-943-4730
<http://www.cypress.com>

© Cypress Semiconductor Corporation, 2007. The information contained herein is subject to change without notice. Cypress Semiconductor Corporation assumes no responsibility for the use of any circuitry other than circuitry embodied in a Cypress product. Nor does it convey or imply any license under patent or other rights. Cypress products are not warranted nor intended to be used for medical, life support, life saving, critical control or safety applications, unless pursuant to an express written agreement with Cypress. Furthermore, Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress products in life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

PSoC Designer™, Programmable System-on-Chip™, and PSoC Express™ are trademarks and PSoC® is a registered trademark of Cypress Semiconductor Corp. All other trademarks or registered trademarks referenced herein are property of the respective corporations.

This Source Code (software and/or firmware) is owned by Cypress Semiconductor Corporation (Cypress) and is protected by and subject to worldwide patent protection (United States and foreign), United States copyright laws and international treaty provisions. Cypress hereby grants to licensee a personal, non-exclusive, non-transferable license to copy, use, modify, create derivative works of, and compile the Cypress Source Code and derivative works for the sole purpose of creating custom software and or firmware in support of licensee product to be used only in conjunction with a Cypress integrated circuit as specified in the applicable agreement. Any reproduction, modification, translation, compilation, or representation of this Source Code except as specified above is prohibited without the express written permission of Cypress.

Disclaimer: CYPRESS MAKES NO WARRANTY OF ANY KIND, EXPRESS OR IMPLIED, WITH REGARD TO THIS MATERIAL, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE. Cypress reserves the right to make changes without further notice to the materials described herein. Cypress does not assume any liability arising out of the application or use of any product or circuit described herein. Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress' product in a life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

Use may be limited by and subject to the applicable Cypress software license agreement.