



## **West Bridge™ Architektur ermöglicht höhere System-Performance, kürzere Designzyklen und niedrigere Kosten für portable Consumer-Elektronik**

*Von Danny Tseng, Cypress Semiconductor Corp.*

Der Markt für tragbare Elektronik erlebte in den vergangenen zehn Jahren einen wahren Boom. Immer neue Produkte kamen auf den Markt und wurden für die Allgemeinheit verfügbar. In diesem Marktsegment erschienen eine ganze Reihe von ‚Killer-Applikationen‘, die weiter verfeinert wurden, um den wachsenden Ansprüchen gerecht zu werden. Die gegen Ende der 1990er Jahre eingeführten MP3-Player gehörten zu den ersten Beispielen für tragbare Consumer-Elektronik, die eine Vorreiterrolle in der Entwicklung der Technologie spielten. Auf der Basis dieses portablen, batteriebetriebenen Geräts für die einfache Wiedergabe digitaler Musik haben die Designer das Konzept des MP3-Players neu erfunden, um komplexere Funktionen bieten zu können. In der Folge entstanden integrierte Produkte wie etwa Personal Media Player (PMPs) sowie Mobiltelefone mit eingebauter Musikwiedergabe-Funktion. Ein anschauliches Beispiel für diesen Trend ist der Apple iPod. Einst ein schlichter MP3-Player, ist dieses Produkt mittlerweile zu einer Familie ausgefeilter PMP- und Handy-Produkte herangewachsen. Der neueste iPod Touch etwa unterstützt nicht nur die Bild- und Videowiedergabe, sondern wartet zusätzlich mit hochkarätigen Features wie einer eingebauten WiFi-Funktion auf, um auch unterwegs im Internet surfen zu können. Ähnliche Integrations-Trends zeigen sich bei weiteren Produkten des Consumer-Elektronik-Segments, darunter beispielsweise Navigationsgeräte, portable Spielkonsolen, elektronische Wörterbücher und digitale Bilderrahmen. Dennoch ist nicht zu übersehen, dass die modernen Designs im Bereich der portablen Consumer-Elektronik noch zahlreiche Herausforderungen bergen.

### ***Integration neuester Technologien***

Während die Consumer-Elektronik durch immer mehr Features und zunehmende Integration aufgewertet wird, springen auch die Anbieter von Embedded-Prozessoren auf den Integrationszug auf, um ihre Lösungen von jenen der Konkurrenz abzuheben. So warten die neuesten Prozessoren auf dem Markt mit vielen der ‚populären‘ Features für die anvisierten Applikationen auf. Dennoch wird nach wie vor eine große Zahl der neuesten Massenspeicher- und Peripherie-Standards nicht unterstützt, was an der Tatsache liegt, dass das Entwicklungstempo bei den Massenspeicher- und Peripherie-Technologien deutlich höher ist als bei den Prozessorkernen. Bis ein Prozessor seinen typischen Designzyklus von zwei Jahren durchlaufen hat, sind im Bereich der Massenspeicher und Peripherie bereits neue Standards auf dem Markt. Da es nicht nur unpraktikabel, sondern tatsächlich unmöglich ist, mit einem Prozessor den neuesten Standards folgen zu wollen, sind die Systemdesigner auf eine externe Brücke angewiesen, die den Embedded-Prozessor ergänzt und die Anbindung an die aktuellen Massenspeicher und Peripheriefunktionen herstellt.

## **Performance**

Nur allzu leicht unterliegt man der Versuchung, bei der Auswahl des Prozessors auf die *Anzahl* der Features zu achten und die *Qualität* dieser Features aus dem Blick zu verlieren. Ein Systemdesigner sollte jedoch sorgfältig abwägen zwischen der Zahl der in einen Embedded-Prozessor integrierten Features und seiner Performance, denn nicht selten gehen Produkte, die zwar viele Features, aber nur suboptimale Performance bieten, auf dem hart umkämpften Markt jämmerlich unter.

## **Flexibilität und Erweiterbarkeit**

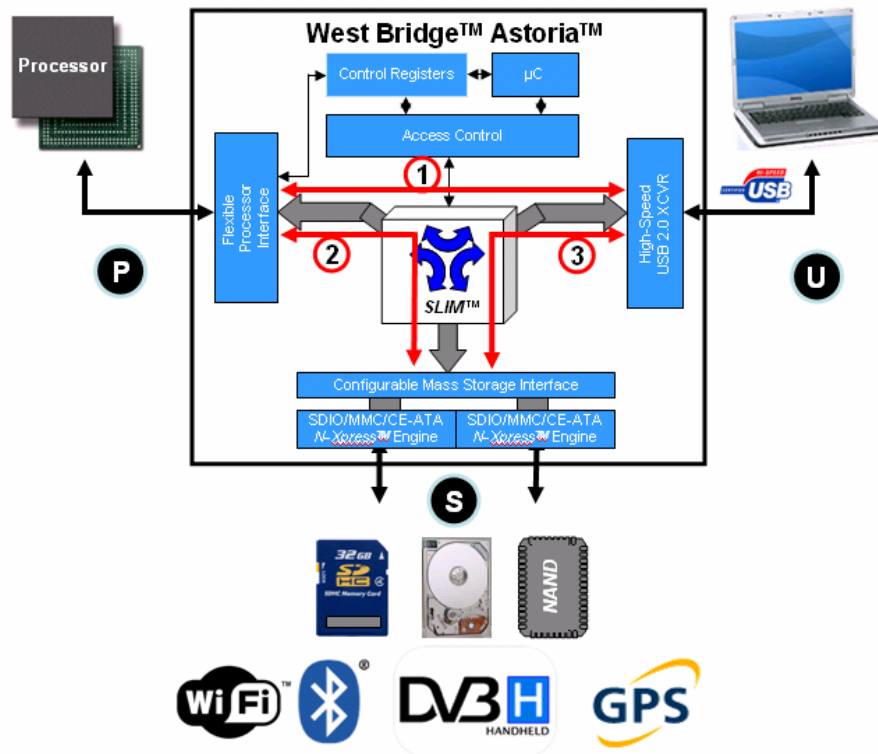
Angesichts der rapiden technologischen Entwicklung steht und fällt der Erfolg eines Anbieters mit seiner Fähigkeit, den sich rasch wandelnden Wünschen der Konsumenten zügig nachzukommen. Es gilt, den eigenen Markennamen auf dem Markt stets im Bewusstsein zu halten, indem man immer wieder neue Produkte vorstellt. Ebenso wichtig ist es, ein ganzes Produkt-Portfolio für unterschiedliche Kundenkreise im Angebot zu haben. Dabei kommt es nicht allein darauf an, Produkte rasch auf den Markt zu bringen. Überlebenswichtig ist es auch, dies möglichst effizient zu tun. Systemdesigner müssen deshalb auf Bauelemente setzen, die sowohl flexibel als auch erweiterbar sind und auf wiederverwendbaren Design-Architekturen basieren, um die Kosten senken und die Designzyklen verkürzen zu können.

## **Kosten**

Gemeinsames Ziel aller Anbieter von Consumer-Elektronik ist es, die Material- und Herstellungskosten zu minimieren. Da jedes einzelne Produktmodell für eine große Stückzahl konzipiert wird, können selbst kleinste Kostenunterschiede über die Profitabilität und den Markterfolg eines Produkts entscheiden.

## **Das West Bridge™ Konzept und seine besondere Architektur**

In dem Bestreben, sich den soeben skizzierten Herausforderungen zu stellen, präsentierte Cypress Semiconductor im Dezember 2006 das revolutionäre West Bridge Konzept. Ebenso wie die North Bridge und die South Bridge in der PC-Welt handelt es sich bei der West Bridge um eine Familie von Bausteinen, die den Hauptprozessor in einem Embedded-System an externe Peripherie anbinden sollen. Die zweite Generation der West Bridge Familie mit dem Namen Astoria umfasst Massenspeicher- und Peripherie-Controller, die speziell für Consumer-Elektronik ausgelegt sind. Da die West Bridge Familie außerdem für portable Applikationen gedacht ist, wurde sie nicht nur besonders kompakt gemacht, sondern verbraucht zudem äußerst wenig Strom. Das Blockschaltbild in Bild 1 illustriert die Astoria-Architektur.



SLIM™ Architecture : Simultaneous Link to Independent Multimedia

**Bild 1. Blockschaltbild der West Bridge™ Astoria™ Architektur**

Das West Bridge Astoria Konzept sieht drei Schnittstellen vor – einen Prozessor-Port (P), einen High-Speed USB-Port (U) und einen Massenspeicher-Port (S). Der P-Port dient dem Anschluss an den Embedded-Prozessor und unterstützt den hardwaremäßigen DMA-Zugriff. Der flexible und konfigurierbare P-Port der Astoria Architektur unterstützt eine ganze Reihe Standard-Schnittstellen verschiedener Prozessoren. Der U-Port stellt eine High-Speed USB-Verbindung gemäß USB 2.0 her, und der S-Port schließlich kann für eine Vielzahl von Massenspeichern wie zum Beispiel SD/SDHC, SDIO, MMC, CE-ATA und SLC/MLC NAND konfiguriert werden.

Die roten Pfeile in Bild 1 deuten die möglichen Wege an, die die Daten zwischen den drei Ports nehmen können – unterstützt durch die revolutionäre SLIM™-Architektur (Simultaneous Link to Independent Multi-Media) der West Bridge Astoria. Die SLIM™-Architektur macht gleichzeitige Transfers auf allen drei Datenpfaden möglich und schafft damit die Voraussetzungen für den Multitasking-Betrieb von Massenspeicher- und Peripherie-Funktionen.

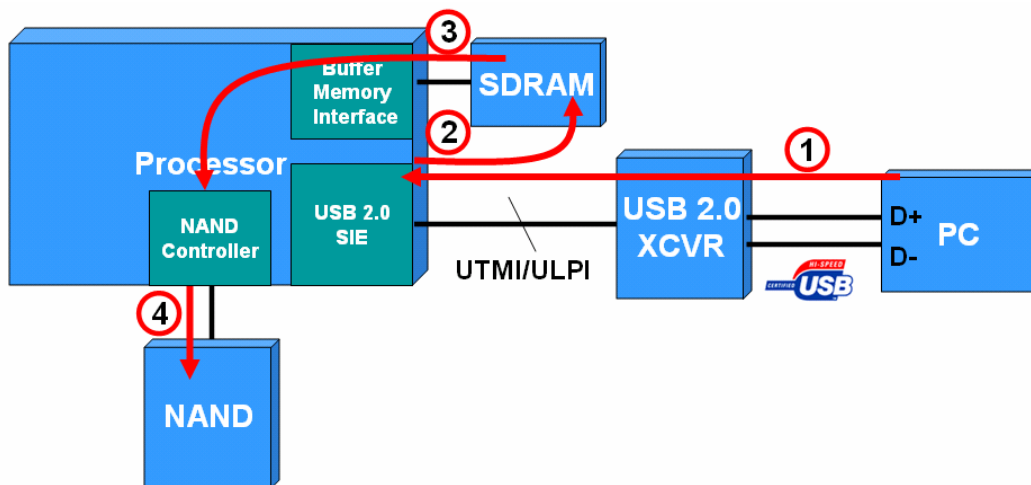
### **Unterstützung für neueste Standards**

Wie bereits erwähnt, bieten die Embedded-Prozessoren auf dem heutigen Markt allenfalls eingeschränkte Unterstützung für neueste Massenspeicher- und Peripherie-Standards. Die West Bridge dagegen wartet mit aktuellen Peripherie-Anschlussmöglichkeiten wie beispielsweise USB 2.0 High-Speed auf und unterstützt neue Massenspeicher-Standards wie SLC/MLC NAND, SD2.0 SDHC/SDIO, MMC4.2 und CE-ATA. Hinzu kommt, dass der Designzyklus für West Bridge Bausteine

wesentlich kürzer ist als bei vollwertigen Prozessoren. Ähnlich wie bei den North Bridge und South Bridge Lösungen der PC-Welt ist also zu erwarten, dass die West Bridge Produkte die Prozessoren in Embedded-Systemen ergänzen werden, um Unterstützung für neueste Technologie-Standards zu bieten.

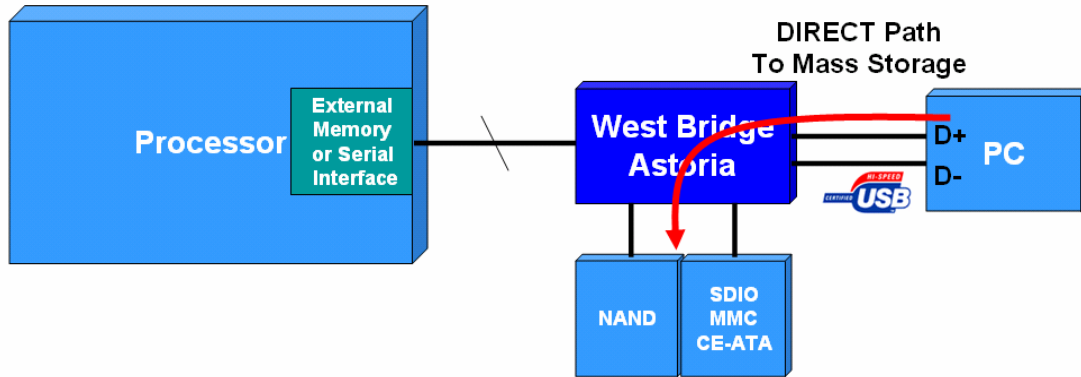
### **Optimierte High-Speed-USB- und Massenspeicher-Performance**

Bild 2 zeigt ein typisches Beispiel einer USB 2.0 High-Speed-Implementierung, in der der Embedded-Prozessor über eine integrierte High-Speed USB SIE verfügt und mit einem externen Transceiver verbunden ist. Die Daten aus dem PC durchlaufen zunächst die USB 2.0 High-Speed Pipe und werden anschließend im SDRAM gepuffert. Der Prozessor wiederum liest die Daten aus dem SDRAM und schreibt sie in den Massenspeicher. Diese Abfolge verschiedener Übertragungen hindert das System nicht nur daran, die Geschwindigkeit der USB-2.0-Verbindung in vollem Umfang zu nutzen, sondern das System als ganzes kann drastisch an Performance einbüßen, wenn die Software nicht sorgfältig optimiert wird. Eine solche Architektur zu implementieren, ist für den Konsumenten deshalb oft nicht besonders attraktiv.



**Bild 2. Datenfluss bei Systemen mit integriertem High-Speed USB-Controller**

Ganz anders als der in Bild 2 gezeigte Ablauf stellen sich die Verhältnisse bei der West Bridge Architektur in Bild 3 dar. Hier sind die Massenspeicher direkt an die West Bridge angeschlossen, und der Prozessor wird vollständig von den Datentransfer-Aufgaben entlastet, da er kein Bestandteil des Datenpfads mehr ist. Dies stellt Prozessorbandbreite für wichtigere Aufgaben frei.



**Bild 3. Die West Bridge richtet einen direkten Weg zwischen PC und Massenspeicher ein**

Eine drastische Zunahme des effektiven Durchsatzes ist das Resultat dieser Direktverbindung zwischen PC und Massenspeicher. Cypress hat in einer kontrollierten Umgebung den USB-Durchsatz verschiedener Consumer-Elektronik-Geräte auf dem heutigen Markt gemessen. Die Ergebnisse sind in Tabelle 1 aufgeführt, wobei die Namen der Produkte aus Diskretionsgründen ungenannt bleiben.

**Tabelle 1 Vergleich der USB-Übertragungsraten zwischen PC und Massenspeicher**

| Gerät                       | USB-Typ    | Architektur                             | Massen-speicher-Typ        | Gemessener Durchsatz |
|-----------------------------|------------|---|----------------------------|----------------------|
| Cypress West Bridge Astoria | High-Speed | West Bridge                             | 1GB SanDisk Extreme III SD | 17,1 MBit/s          |
|                             |            |   | 60GB Seagate CE-ATA HDD    | 26,9 MBit/s          |
| Smartphone „R“              | Full-Speed | Siehe Bild 3, jedoch mit Full-Speed USB | 1GB PNY MicroSD            | 1,0 MBit/s           |
| Musik-Handy „M“             | High-Speed | Siehe Bild 2                            | 1GB SanDisk Extreme III SD | 5,7 MBit/s           |
| MP3 Player „A“              | High-Speed | Siehe Bild 3                            | 8GB Built-In NAND          | 4,3 MBit/s           |

Tabelle 1 zeigt eindeutig, wie deutlich die West Bridge Architektur den effektiven Durchsatz zwischen PC und Massenspeicher erhöht. Das West Bridge Konzept ist damit hervorragend für Performance-kritische Systeme geeignet, denn es macht das Produkt für den Konsumenten erheblich attraktiver.

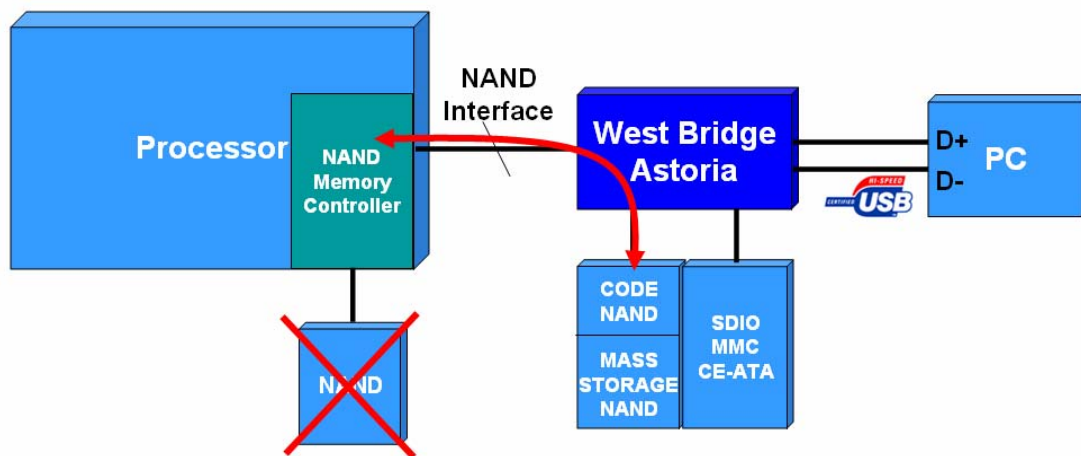
## Äußerst flexibel und erweiterungsfähig

Ein weiterer Vorteil, der sich durch den Einsatz der West Bridge einstellt, ist die erhöhte Design-Flexibilität und Erweiterungsfähigkeit. Im Fall des Astoria-Bausteins gestatten die zwei SDIO-Ports einen nahtlosen Anschluss von Peripheriefunktionen (z. B. WiFi, Bluetooth, GPS und viele mehr). Designer haben dank der zwei SDIO-Ports die Möglichkeit, in rascher Folge neue Produktvarianten auf den Markt zu bringen. Zum Beispiel bereitet es keine Schwierigkeiten, einen existierenden MP3-Player durch ein DVB-H-Modul zu ergänzen, um einen für den mobilen Fernsehempfang geeigneten PMP zu konfigurieren.

## Senkung der Material- und Herstellungskosten

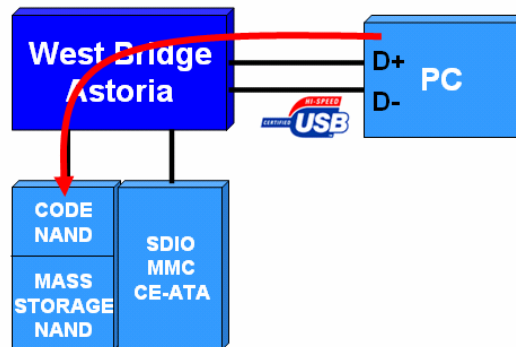
Für besonders kostensensible Anwendungen ist relevant, dass die West Bridge Astoria die neueste MLC NAND-Technologie unterstützt. Die Kosten für MLC NAND-Speicher betragen nur ungefähr ein Drittel der Preise von SLC NAND-Produkten, und außerdem sind MLC NAND-Speicher mit wesentlichen größeren Dichten verfügbar. Wenn also beispielsweise in PMP-Applikationen oder digitalen Bilderrahmen nichtflüchtiger Speicher hoher Kapazität benötigt wird, fällt der Kostenvorteil von MLC-Speichern gegenüber SLC NAND stark ins Gewicht.

Weiter reduzieren lassen sich die Materialkosten, wenn die West Bridge Astoria das Booten des Prozessors unterstützt. Ein typisches Embedded-Design besitzt nämlich zwei nichtflüchtige Flash-Speicher: einen NAND-Speicher hoher Dichte als Massenspeicher und einen NOR-Speicher bzw. einen kleineren NAND-Bereich zum Ablegen des Boot-Codes. Die West Bridge Astoria bietet die Möglichkeit zur Konsolidierung dieser Speicherbereiche, indem der Prozessor die Möglichkeit erhält, direkt aus dem an den Astoria-Chip angeschlossenen NAND-Bereich zu booten (Bild 4). Durch die Übertragung des Boot-Codes für den Prozessor in das Astoria-NAND kann auf einen separaten Flash-Bereich verzichtet werden. Da der P-Port des Astoria-Bausteins bereits für die Unterstützung eines NAND-Interface konfiguriert ist, kann diese Migration reibungslos und für den Prozessor völlig transparent erfolgen. Das Astoria-NAND ist in zwei Partitionen untergliedert: die eine für den Prozessor-Bootcode und die andere als Massenspeicher. Dies reduziert die Materialkosten und senkt den Platzbedarf auf der Leiterplatte.



**Bild 4. Booten des Prozessors über den Astoria-Chip (NAND Booting)**

Von den Materialkosten abgesehen, kann mit der West Bridge auch der Herstellungsprozess eines Produkts rationalisiert werden. Gerade die Effizienz des Produktionsprozesses wird immer wichtiger, da jede Produktvariante im Bereich der Consumer-Elektronik in Millionenstückzahlen produziert wird. Zeit ist auch hier Geld, und zu den zeitraubendsten Arbeitsgängen gehört das Einprogrammieren des Prozessor-Bootcodes in den NAND-Speicher. In der Vergangenheit wurden diese NAND-Bausteine mit Gang Programmern programmiert und anschließend auf der Leiterplatte montiert. Nachteilig an dieser Methode ist die geringe Programmiergeschwindigkeit, dauert die Programmierung eines Satzes NAND-Bausteine doch typisch 20 Minuten. Anders ist es bei der West Bridge Architektur: hier kann die Programmierung im System über einen USB-Host wie z. B. einen PC erfolgen (Bild 5). Der Code lässt sich somit nach der Montage des NAND-Speichers auf der Leiterplatte per High-Speed USB direkt in den Speicher übertragen. Dies geschieht mit dem ‚Manufacturing Mode‘ des Astoria-Bausteins, in dem eine Enumeration des NAND-Speichers im PC für das Herunterladen des Boot-Codes erfolgt. Bei diesem direkten Download wird ein deutlich größerer Durchsatz sowie eine höhere Zuverlässigkeit erzielt als mit Gang Programmern.



**Bild 5. Herunterladen des Boot-Codes im Manufacturing Mode**

Die West Bridge unterstützt die neuesten Massenspeicher- und Peripheriestandards im Bereich der Embedded-Prozessoren. Mit der revolutionären SLIM™-Architektur wird die klassenbeste Massenspeicher-Performance erzielt, während die immense Flexibilität und Erweiterbarkeit gleichzeitig den Zeitaufwand für das Design des Produkts verringert. Die Boot-Unterstützung und der Manufacturing Mode resultieren ferner in einer gravierenden Senkung der Gesamtkosten, was den mit der West Bridge ausgestatteten Produkten einen enormen Wettbewerbsvorteil verschafft. Einfach ausgedrückt, wird die West Bridge damit zu einer idealen Massenspeicher- und Peripherie-Lösung für tragbare Consumer-Elektronik-Produkte von heute und morgen.



Cypress Semiconductor  
198 Champion Court  
San Jose, CA 95134-1709  
Phone: 408-943-2600  
Fax: 408-943-4730  
<http://www.cypress.com>

© Cypress Semiconductor Corporation, 2007. The information contained herein is subject to change without notice. Cypress Semiconductor Corporation assumes no responsibility for the use of any circuitry other than circuitry embodied in a Cypress product. Nor does it convey or imply any license under patent or other rights. Cypress products are not warranted nor intended to be used for medical, life support, life saving, critical control or safety applications, unless pursuant to an express written agreement with Cypress. Furthermore, Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress products in life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

PSoC Designer™, Programmable System-on-Chip™, and PSoC Express™ are trademarks and PSoC® is a registered trademark of Cypress Semiconductor Corp. All other trademarks or registered trademarks referenced herein are property of the respective corporations.

This Source Code (software and/or firmware) is owned by Cypress Semiconductor Corporation (Cypress) and is protected by and subject to worldwide patent protection (United States and foreign), United States copyright laws and international treaty provisions. Cypress hereby grants to licensee a personal, non-exclusive, non-transferable license to copy, use, modify, create derivative works of, and compile the Cypress Source Code and derivative works for the sole purpose of creating custom software and or firmware in support of licensee product to be used only in conjunction with a Cypress integrated circuit as specified in the applicable agreement. Any reproduction, modification, translation, compilation, or representation of this Source Code except as specified above is prohibited without the express written permission of Cypress.

Disclaimer: CYPRESS MAKES NO WARRANTY OF ANY KIND, EXPRESS OR IMPLIED, WITH REGARD TO THIS MATERIAL, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE. Cypress reserves the right to make changes without further notice to the materials described herein. Cypress does not assume any liability arising out of the application or use of any product or circuit described herein. Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress' product in a life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

Use may be limited by and subject to the applicable Cypress software license agreement.