



## Una Panoramica sul Mercato SRAM

By (Jayasree Nayar, Staff Applications Engineer, Cypress Semiconductor Corp.)

### Sommario

Le SRAM sono offerte secondo numerose architetture, ciascuna orientata a un particolare tipo di applicazione. Lo scopo di questo articolo è di fornire una panoramica sulle SRAM disponibili in commercio e di descrivere brevemente quali sono più adatta alle varie applicazioni.

### Introduzione

Che siano embedded, discrete o utilizzate per configurare un FPGA, le memorie rappresentano un componente critico praticamente in tutti i sistemi più moderni. Nella maggior parte delle applicazioni, le SRAM (Static Random Access Memories) vengono utilizzate principalmente per immagazzinare i dati soggetti più frequentemente a delle modifiche.

### Classificazione di alto livello delle SRAM

Ad alto livello, le SRAM possono essere classificate in due categorie: sincrone e asincrone.

Le SRAM asincrone sono sul mercato da più tempo e devono il loro nome al fatto di non utilizzare un clock in ingresso. Le transazioni (letture e scritture) sono eseguite man mano che il dispositivo riconosce le istruzioni. Le SRAM asincrone sono utilizzate normalmente in applicazioni a bassa velocità (sotto i 100MHz).

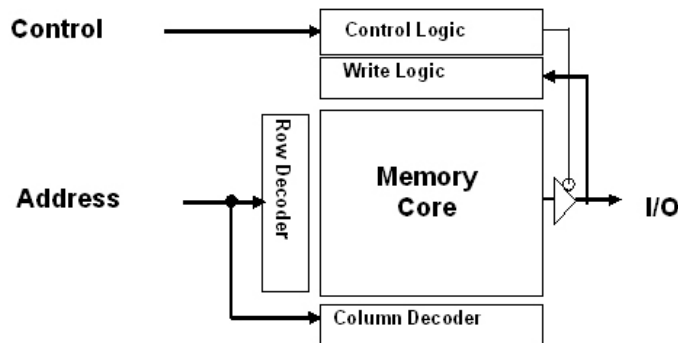
Nelle SRAM sincrone viene invece utilizzato un segnale di clock come riferimento per tutte le transazioni. Con questo clock le transazioni di una SRAM sincrona possono essere messe in sequenza, raggiungendo così velocità molto più elevate e rapporti banda/prestazioni maggiori.

La scelta della SRAM più adatta a una particolare applicazione dipende da vari fattori, tra i quali i consumi, le specifiche di banda, la densità e il profilo di lettura/scrittura. Raggiungere delle prestazioni di sistema ottimali può dipendere dalla scelta della SRAM più adeguata all'applicazione. Per soddisfare le specifiche imposte dai sistemi sono perciò disponibili i vari tipi di SRAM - sia asincrone sia sincrone - descritti nella parte successiva di questo articolo.

### SRAM Asincrone

Come descritto in precedenza, le SRAM asincrone non utilizzano un clock d'ingresso. Le transazioni (lettura, scrittura e deselect) vengono avviate man mano che il dispositivo le individua. Questi dispositivi sono normalmente utilizzati in applicazioni dove non è critico disporre di bande elevate. Uno dei vantaggi legati all'uso delle SRAM asincrone è legato al fatto che questi dispositivi sono sul mercato da decenni e sono pertanto ben conosciuti. La logica di controllo per questi prodotti è comune per la maggior parte dei sistemi che richiedono un supporto di memoria di tipo discreto. Lo schema a blocchi semplificato di una SRAM asincrona è riportato in figura 1.

Figura 1: schema a blocchi semplificato di una SRAM asincrona

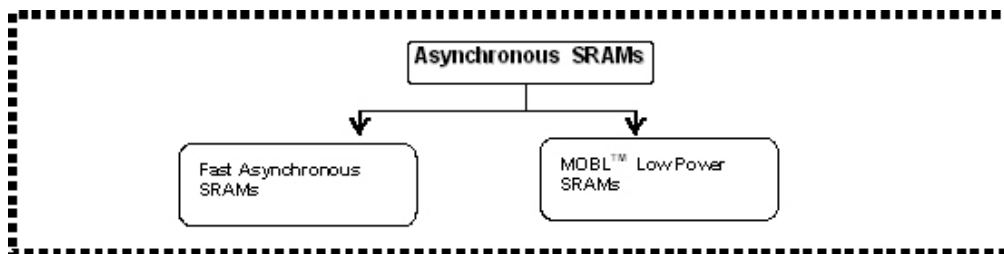


Esistono 2 tipi di SRAM asincrona (Figura 2):

Le SRAM asincrone veloci – con tempi di accesso di 10-35ns

LE SRAM asincrone a basso consumo – con tempi di accesso di 45 – 200ns

Figura 2: Classificazione delle SRAM asincrone



### **SRAM asincrone veloci**

Le SRAM asincrone veloci – che hanno cioè tempi di accesso di 35 ns o anche meno – sono utilizzate in sistemi che richiedono prestazioni ragionevolmente elevate. Queste memorie sono diffuse nei sistemi di vecchia generazione e consumano una quantità di energia relativamente alta (la norma è 1/2 Watt o più). Le applicazioni tipiche per questa architettura sono relative – per esempio - ai sistemi di memoria cache L2 dei PC, alla memoria dello scratch pad e alle memorie buffer nelle applicazioni industriali. Fornitori quali Cypress offrono prodotti con densità a partire tra 4Kb e 32Mb e secondo un vasto spettro di package adatti a qualsiasi applicazione.

Le Fast SRAM prodotte in volumi maggiori sono le versioni da 1Mb e 4Mb.

### **SRAM asincrone a basso consumo**

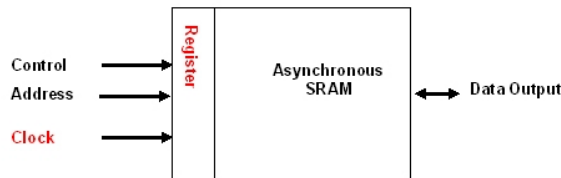
Le SRAM a basso consumo hanno normalmente tempi di accesso tra 45ns e 200ns. Queste SRAM sono di solito utilizzate in applicazioni che richiedono consumi contenuti. A causa di questo vincolo, fornitori quali Cypress hanno introdotto delle famiglie di SRAM che offrono consumi estremamente ridotti. La linea MoBL (More Battery Life) di SRAM asincrone Cypress per esempio prevede dispositivi con tempi di accesso tipici nel range dei 45 ns e con assorbimenti ottimizzati per il basso consumo. In standby, l'energia tipica può essere anche inferiore a 10 µW, mentre l'energia attiva può essere al di sotto dei 30mW. Questi dispositivi sono utilizzati normalmente in applicazioni di tipo wireless o portatili alimentate a batteria che richiedono densità intorno al Mb. Cypress offre anche dispositivi con densità da 64Kb a 16Mb.

### **SRAM sincrone**

Le SRAM sincrone sono memorie che utilizzano un segnale di clock per sincronizzare tutte le transazioni. Le SRAM sincrone sono utilizzate normalmente in applicazioni ad alte prestazioni che richiedono frequenze di clock elevate e tempi di accesso

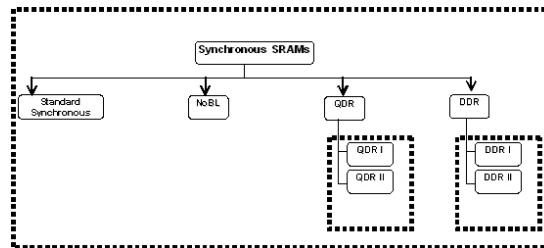
ridotti. Queste SRAM sono particolarmente indicate per essere utilizzate in apparati quali router e switch di rete, oltre che in sistemi di memoria cache L2. Le SRAM sincrone possono essere pensate come delle SRAM asincrone dotate di ingresso di clock. Di solito questo clock viene inviato a un registro d'ingresso. Lo schema a blocchi semplificato di una SRAM sincrone è riportato in Figura 3.

**Figura 3: schema a blocchi semplificato di una SRAM sincrone**



Come illustrato in figura 4 esistono numerose varianti delle memorie sincrone.

**Figura 4: Classificazione delle SRAM sincrone**

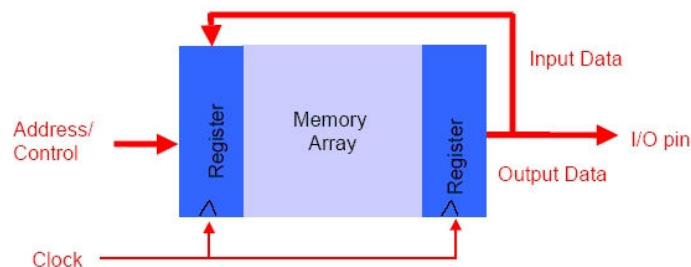


### **SRAM sincrone standard**

Le SRAM sincrone standard sono state le prime memorie di questo tipo adottate dalle applicazioni di massa. Questi dispositivi sono orientati principalmente alle applicazioni di cache L2 dei PC, ma hanno trovato sfogo anche in applicazioni non-PC legate al networking, alle telecomunicazioni, al digital signal processing (DSP) e agli apparati medicali e di test. Queste SRAM sono ottimizzate per eseguire lunghe sequenze di letture e scritture. Tipicamente, nell'ambito della stessa applicazione, queste SRAM possono raddoppiare le prestazioni offerte da una SRAM asincrona. Lo schema a blocchi semplificato di una SRAM sincrone standard è riportata in figura 5.

Le densità più comuni per questo tipo di SRAM sono 4Mb e 18Mb. Cypress – per soddisfare qualsiasi tipo di applicazione - offre anche delle famiglie di prodotti da 72Mb e oltre.

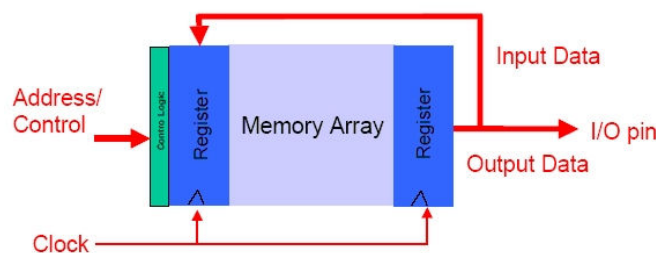
**Figura 5: schema a blocchi semplificato di una SRAM sincrone Standard**



### SRAM NoBL™ (No Bus Latency)

L'architettura NoBL è stata ideata al fine di migliorare la banda rispetto alle SRAM sincrone standard. L'architettura di una SRAM sincrona standard implica un ciclo "morto" – o stato di wait – durante il passaggio dalla fase di scrittura a quella di lettura. Questo può limitare le prestazioni delle SRAM sincrone standard soprattutto nelle applicazioni che hanno frequenti transizioni da scrittura a lettura. L'incremento di prestazioni dell'architettura NoBL è ottenuto eliminando gli stati di "wait", garantendo così un livello totale di utilizzazione del bus indipendentemente al profilo di READ/WRITE. Ciò è possibile in quanto i dati sono trasferiti a ogni ciclo di clock. NoBL significa No Bus Latency. Queste SRAM sono utilizzate normalmente nelle applicazioni di networking per sostenere varie funzioni, per esempio di buffering dei pacchetti di linea, statistiche eccetera. Lo schema a blocchi semplificato di una SRAM NOBL è riportato in Figura 6. La maggior parte delle applicazioni che ricorrono a SRAM NOBL richiede densità di 18Mb o superiori. Cypress offre densità fino a 72Mb.

**Figura 6: schema a blocchi semplificato di una SRAM NOBL SRAM**



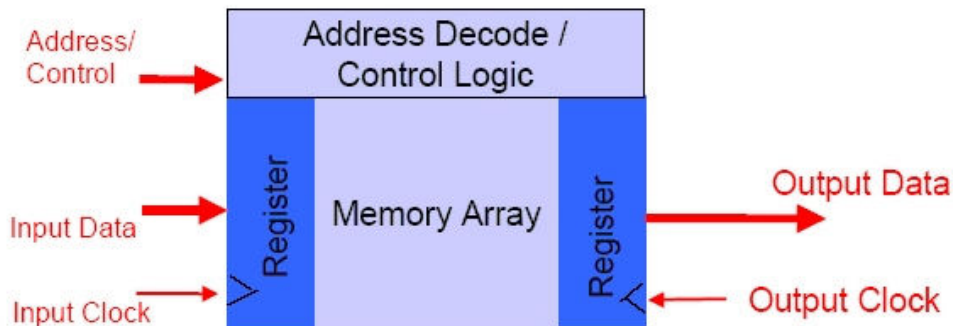
### SRAM QDR™ (Quad Data Rate)

Nonostante l'introduzione dell'architettura NoBL, alcuni sistemi richiedono prestazioni ancora maggiori. Proprio per questo, Cypress, Renesas, IDT, NEC e Samsung si sono unite per dare vita alle SRAM QDR™. L'obiettivo dell'architettura QDR è di soddisfare i sistemi più affamati di banda che richiedono livelli di latenza e velocità notevolmente superiori a quelli che l'architettura NoBL è in grado di fornire. Per aumentare significativamente la banda della memoria sono stati necessari numerosi cambiamenti.

Una delle differenze più significative tra SRAM QDR e NoBL è che le QDR dispongono di porte di Read e Write separate. Queste porte operano in modo indipendente e supportano transazioni di lettura e scrittura concorrenti. Separando le porte, il rischio di conflitti viene totalmente eliminato. Un'altra differenza riguarda il fatto che le SRAM QDR consentono di eseguire transazioni di READ e WRITE nell'ambito dello stesso ciclo di clock. I dispositivi QDR sono in grado di minimizzare il numero di pin moltiplicando gli indirizzi sia per la porta di lettura sia per quella di scrittura sugli stessi segnali di ingresso. Le SRAM QDR offrono anche interfacce Double Data Rate. Questo consente di trasferire i dati sul fronte di clock sia in salita sia in discesa. Come risultato, le SRAM QDR sono in grado di supportare due transazioni che si verificano nello stesso periodo di tempo (2X), a velocità di trasferimento DDR (2X): da qui il nome **Quad Data Rate (QDR)**. Questa efficienza è mantenuta anche se le porte di Read e Write sono occupate al 100 per cento del tempo.

La famiglia QDR è disponibile in versioni sia QDR I sia QDR II. I dispositivi QDR II possono contare su una fonte aggiuntiva di temporizzazione sincrona (Source Synchronous), che permette di operare a velocità superiori. L'interfaccia Source Synchronous richiede - insieme ai dati - l'invio del clock da parte del dispositivo trasmittente (in questo caso la SRAM QDR) al dispositivo ricevente. Questo clock sincrono può essere utilizzato per aiutare la cattura dei dati. Le frequenze di funzionamento più elevate vengono ottenute con l'ausilio di un chip DLL (Delay Lock Loop). Il DLL garantisce una finestra "dati validi" più ampia, caratteristica che permette di raggiungere velocità maggiori. Oltre a questo, se confrontati con i dispositivi QDR, i QDR II hanno mezzo ciclo di clock di latenza. Lo schema a blocchi semplificato di una SRAM QDR è riportato in Figura 7. Fornitori quali Cypress offrono prodotti QDR da 18Mb a 72Mb per soddisfare le specifiche dei sistemi ad alte prestazioni. Nell'immediato futuro è prevista la migrazione verso densità ancora più elevate, per esempio verso prodotti a 144M e 288Mb.

**Figura 7: schema a blocchi semplificato di una SRAM QDR**



#### SRAM DDR (Double Data Rate)

DDR significa Double Data Rate. Queste SRAM sono simili alle memorie NoBL e alle sincrone standard per quanto riguarda l'architettura di I/O.

Le SRAM DDR sono anche simili alle QDR, in quanto trasferiscono i dati sul fronte sia di salita sia di discesa del clock: da qui il nome Double Data Rate.

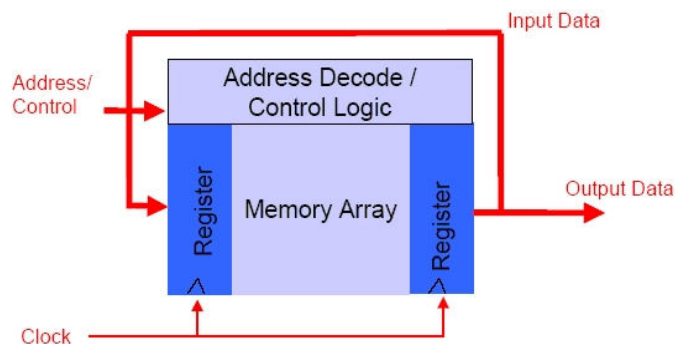
Similmente ai prodotti QDR, la famiglia DDR è disponibile in versioni DDRI e DDRII. La differenza tra DDRI e DDRII ricalca quella tra QDR e QDRII. I dispositivi DDRII dispongono anche di un DLL interno che permette di raggiungere frequenze più elevate (167MHz- 250MHz), offrono una finestra dati validi più ampia e hanno un mezzo ciclo di clock aggiuntivo di latenza. Sia i dispositivi DDRI sia i DDRII hanno un clock di eco.

L'architettura delle SrAM DDR è orientata principalmente alle applicazioni che implicano il trasferimento di lunghe sequenze di dati (per esempio molte letture seguite da molte scritture) e che richiedono una quantità di banda superiore a quella delle possono fornire le SRAM sincrone o i dispositivi NoBL. Quando i dati sono messi in sequenza, il bilancio a breve termine tra le letture e le scritture può essere sbilanciato al 100 percento su una o sull'altra operazione. Il rapporto READ/WRITE a lungo termine è irrilevante per le prestazioni del sistema. Quando si verificano questi casi, ricorrere alle SRAM QDR può comportare che una delle porte (e dei pin dati associati) può risultare libera quando viene selezionata. Questo tipo di utilizzazione del bus ha portato allo sviluppo delle SRAM DDR, dove i dati di ingresso e di uscita condividono il medesimo bus dati (Common I/O). Durante il passaggio dall'operazione di lettura a quella di scrittura sono richiesti dei cicli di inversione del bus che riducono la banda disponibile.

Lo schema a blocchi di una SRAM DDR è illustrato in figura 8.

Cypress offre prodotti DDR da 18Mb a 72Mb destinati ai sistemi ad alte prestazioni. In futuro è prevista la migrazione verso densità ancora più elevate, con il lancio di prodotti a 144M and 288Mb.

**Figura 8: Schema a blocchi semplificato di una SRAM DDR**



### **Conclusioni**

Le SRAM sono disponibili secondo varie architetture, varie densità e varie configurazioni. Tutte queste SRAM sono caratterizzate da differenti compromessi. Utilizzare una SRAM QDR in un'applicazione mobile – dove il contenimento dei consumi ha la massima priorità – non avrebbe senso. Proprio per questo, è estremamente importante conoscere le varie opzioni SRAM disponibili sul mercato, così da scegliere il dispositivo più adatto per ottenere prestazioni di sistema ottimizzate.



Cypress Semiconductor  
198 Champion Court  
San Jose, CA 95134-1709  
Phone: 408-943-2600  
Fax: 408-943-4730  
<http://www.cypress.com>

© Cypress Semiconductor Corporation, 2007. The information contained herein is subject to change without notice. Cypress Semiconductor Corporation assumes no responsibility for the use of any circuitry other than circuitry embodied in a Cypress product. Nor does it convey or imply any license under patent or other rights. Cypress products are not warranted nor intended to be used for medical, life support, life saving, critical control or safety applications, unless pursuant to an express written agreement with Cypress. Furthermore, Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress products in life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

PSoC Designer™, Programmable System-on-Chip™, and PSoC Express™ are trademarks and PSoC® is a registered trademark of Cypress Semiconductor Corp. All other trademarks or registered trademarks referenced herein are property of the respective corporations.

This Source Code (software and/or firmware) is owned by Cypress Semiconductor Corporation (Cypress) and is protected by and subject to worldwide patent protection (United States and foreign), United States copyright laws and international treaty provisions. Cypress hereby grants to licensee a personal, non-exclusive, non-transferable license to copy, use, modify, create derivative works of, and compile the Cypress Source Code and derivative works for the sole purpose of creating custom software and or firmware in support of licensee product to be used only in conjunction with a Cypress integrated circuit as specified in the applicable agreement. Any reproduction, modification, translation, compilation, or representation of this Source Code except as specified above is prohibited without the express written permission of Cypress.

Disclaimer: CYPRESS MAKES NO WARRANTY OF ANY KIND, EXPRESS OR IMPLIED, WITH REGARD TO THIS MATERIAL, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE. Cypress reserves the right to make changes without further notice to the materials described herein. Cypress does not assume any liability arising out of the application or use of any product or circuit described herein. Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress' product in a life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

Use may be limited by and subject to the applicable Cypress software license agreement.