

차세대 시스템 디자인에서의

싸이프레스 고성능 풀플렉스 (FullFlex) 듀얼-포트 인터커넥트

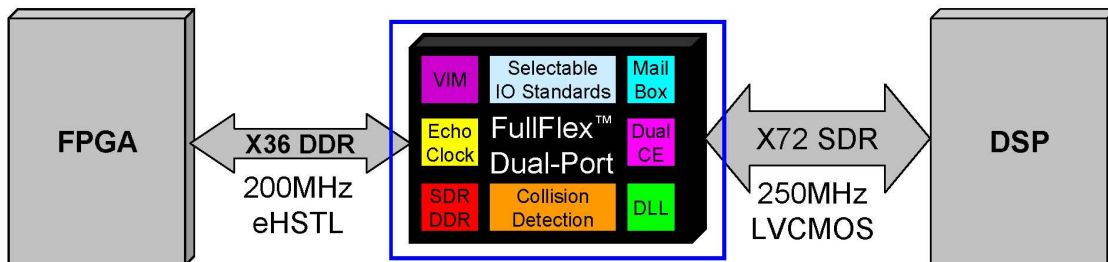
By (Danny Tseng, Senior Applications Engineer, Cypress Semiconductor Corp. and
Sohin Chinoy, Product Manager, Cypress Semiconductor Corp.)

개요

싸이프레스 풀플렉스 (FullFlex) 듀얼-포트 인터커넥트 제품군의 많은 특징은 설계자들에게 시스템 디자인에서 아주 특별한 유연성을 제공할 것이다. 풀플렉스 인터커넥트는 경쟁하고 있는 제품들과 비교하여 150% 더 높은 250 MHz 의 최대 속도를 제공한다. 풀플렉스 제품군은 SDR 작동에서 초당 36Gb, DDR 작동에서 초당 28.8 Gb 의 최대 출력을 제공하며, DLL (Delay Lock Loop)의 사용을 통해 우수한 타이밍 마진을 제공한다. 어떠한 표준 SRAM 인터페이스와도 작업할 수 있는 풀플렉스 부품은 0.5M 에서 36M 에 이르는 집적도가 가능하며, x18, x 36 혹은 x72 bus-width 구성에서도 활용할 수 있다. 이 기사에 있는 상세한 제품 특징들과 함께 구성 가능한 많은 옵션들은 풀플렉스 제품군을 시스템 인터커넥트로 선택할 수 있도록 해 준다.

풀플렉스 듀얼-포트 인터커넥트는 인터프로세서 커뮤니케이션 메모리와 싱글-프로세서 컴패니언 메모리 모두로 활용할 수 있다. 인터프로세서 커뮤니케이션 메모리로서 풀플렉스의 풍부한 built-in 특징들은 보드 디자인을 간단하게 해 주며, 그림 1 에서 보는 것처럼 프로세싱 요소들 간의 고대역폭 데이터율을 가능하게 해 준다. 또한, 컴패니언 메모리로서 풀플렉스는 초당 36 Gb 의 메모리 대역폭을 제공한다.

그림 1. 서로 다른 표준을 가진 두개의 프로세서간의 인터커넥트로 활용되고 있는 풀플렉스(FullFlex)



플플렉스의 특징과 장점

Deterministic Access Control

동시에 동일한 메모리 위치로 쓰고자 하는 2 개 프로세서간의 데이터 충돌의 경우 인터커넥터는 성공적으로 쓰여지는 것에 실패한 프로세서로 하드웨어 인터럽트 시그널을 보낸다. 이 인터럽트(interrupt)는 실질적인 충돌 후 5 사이클이 항상 발생하며, 충돌 어드레스는 on-chip 레지스터에 저장된다. 하드웨어 인터럽트는 각 어드레스 충돌에 대한 싱글 클럭 사이클로 분류된다. 다중 충돌의 경우, 이 핀은 다중 클럭 사이클로 분류되며, 첫번째 충돌 어드레스는 듀얼-포트에 저장된다.

이러한 인터럽트 체계의 예측성은 충돌 트래킹에 있어서의 불확실성을 없애주며, 설계자들의 작업을 간단하게 해 준다. 이로써, 시스템 디버그 시간은 물론 소프트웨어 설계 공정 모두를 단축시켜 준다.

Variable Impedance Marching

고속 디지털 디자인에서, 키 시그널은 시그널 리플렉션을 줄이고 시그널 통합을 유지하기 위해 적절히 종료되는 것이 필요하다. 변화하는 임피던스 매칭 회로는 온도 변화와 같은 환경 변화의 균형을 잡기 위해 출력 드라이브 세기를 자동으로 조절할 수 있게 한다. 라인 임피던스의 범위는 20Ω to 55Ω 인 반면 각 측정 레지스터는 5x 라인 임피던스 이다 (100Ω to 275Ω).

종료 레지스터를 사용함으로써 매칭 라인 임피던스는 각각의 시그널 라인에 대한 하나의 레지스터를 사용해야 한다는 것을 의미한다. 72-bit 데이터 버스와 같은 울트라-와이드 인터페이스를 가진 시스템에서, 이는 144 개의 레지스터를 잠정적으로 의미할 수 있다. 변화하는 임피던스 매칭과 함께 포트당 2 개인 단 4 개의 분리 레지스터만을 필요로 한다. 이러한 수치는 BOM (bill of material)을 줄여줄 뿐만 아니라 인쇄회로기판 (PCB)을 줄여주기도 한다.

에코 클럭 (Echo Clocks)

고속 디지털 디자인에서 타이밍 예산은 5 ns 이하의 클럭 기간과 함께 부족할 수 있다. 일반적인 시스템에서 “송신 디바이스”의 clock-to-data 시간은 보통 약 2ns 에서 3ns 이며, “수신 디바이스”의 셋업 시간은 약 1ns 이다. 수신 프로세서가 마스터 클럭만을 사용하여 모든 것을 켜다면, 시그널 전달 지연 및 클럭 스큐(skew) 혹은 지터(jitter) 보전을 위한 작은 마진을 남기게 된다. 에코 클럭은 듀얼-포트 출력 데이터를 위한 컴패니언 클럭이며, 이 에코 클럭은 출력 데이터 타이밍을 맞추기 위해 입력 레퍼런스 클럭을 이동함으로써 내부적으로 생성된다.

프로세서는 듀얼-포트에서 보내진 데이터에 넣기 위해 에코 클록을 사용할 수 있다. 이로써 타이밍 윈도우를 최대화하며, 듀얼-포트에서 읽을 때 클록 사이클이 허비되지 않는다. 시스템 설계자에게 이러한 특징을 사용하는 것은 최적화된 타이밍 예산을 의미하는 것이다.

선택 가능한 I/O 표준

풀플렉스 듀얼-포트 인터커넥트 상의 양 포트는 4 개의 I/O 표준 중 하나를 독자적으로 지원할 수 있다. 지원되는 I/O 표준은 다음과 같다; 3.3V LVTTTL, 2.5V LVCMOS, 1.8V LVCMOS, 그리고 1.4V-1.9V eHSTL. 2 개의 포트 표준 선택 핀은 2 개의 포트 각각에서 활용할 수 있으며, 이들 핀은 4 개의 I/O 표준 중 하나를 선택하기 위해 정전압 수준과 결합된 필요가 있다. 아래 표는 가능한 선택을 보여주고 있다.

표 1. 가용한 포트 표준 선택 핀 및 I/O 표준

Port Standard 1	Port Standard 0	I/O Standard
VSS	VSS	3.3V LVTTTL
VSS	VTTL	eHSTL
VTTL	VSS	2.5V LVCMOS
VTTL	VTTL	1.8V LVCMOS

풀플렉스 듀얼-포트는 외장 level shifter 없이도 서로 다른 전기 인터페이스를 가진 2 개의 프로세서 간의 브리지 역할을 수행할 수 있다. 이러한 특징은 BOM (Bill Of Materials)을 줄일 수 있을 뿐만 아니라 인쇄회로기판(PCB)의 면적도 절약할 수 있다.

Double Data Rate

풀플렉스 인터커넥트의 양 포트는 SDR (Single Data Rate) 혹은 DDR (Double Data Rate) 인터페이스를 지원하기 위해 독자적으로 구성될 수 있다. DDR 선택 핀은 2 개 포트 인터페이스의 각각에서 활용할 수 있다.

풀플렉스 인터커넥트는 서로 다른 data rate 의 인터페이스와 함께 2 개의 프로세서간의 브리지 역할을 수행할 수 있다. DDR 특징을 이용하여 주어진 버스 폭에 대한 처리량을 배가하거나, 동일한 처리량을 유지하는데 필요한 핀의 수를 반으로 할 수 있다. 이러한 특징은 각 여분의 핀이 전체 하드웨어 비용에 더해짐으로써 FPGA 기반의 설계에 특히 유용하다. DDR 메모리 컨트롤러는 싸이프레스의 웹사이트에서 무료로 이용할 수 있다.



90nm 프로세서 기술

폴플렉스 제품군은 싸이프레스의 첨단 90nm 기술로 만들어진다. 90nm 기술은 성능 향상은 물론 경쟁하고 있는 솔루션들보다 더 저렴한 가격을 제공한다.

다양한 코어 전압

폴플렉스 듀얼-포트는 1.8V, 1.5V, 또는 1.2V core voltage supplies 에서도 작동할 수 있다. 이러한 특징은 사소한 성능상의 trade-off 를 만듦으로써 전원 소모를 최소화하기 위한 유연성을 제공한다.

결론

싸이프레스의 새로운 폴플렉스 듀얼-포트 인터커넥트는 간단한 메모리의 활용성과 확장성으로 듀얼-포트 인터커넥트의 속도 및 처리량을 결합함으로써 인터커넥트 업계의 인식을 변화시킬 것이다. 폴플렉스 제품군은 데이터의 흐름을 간단히 처리하고 프로젝트의 다른 영역에 재분배되는 디자인 에너지를 가능하게 함으로써 시스템 설계에서 확실한 가치를 제공한다. 아울러, 폴플렉스 제품군은 무선, 이미지 프로세싱, 기계 및 SAN/WAN 시장 등의 첨단 프로세싱 니즈를 가진 애플리케이션용으로 적합한 제품이다.



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
Phone: 408-943-2600
Fax: 408-943-4730
<http://www.cypress.com>

© Cypress Semiconductor Corporation, 2007. The information contained herein is subject to change without notice. Cypress Semiconductor Corporation assumes no responsibility for the use of any circuitry other than circuitry embodied in a Cypress product. Nor does it convey or imply any license under patent or other rights. Cypress products are not warranted nor intended to be used for medical, life support, life saving, critical control or safety applications, unless pursuant to an express written agreement with Cypress. Furthermore, Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress products in life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

PSoC Designer™, Programmable System-on-Chip™, and PSoC Express™ are trademarks and PSoC® is a registered trademark of Cypress Semiconductor Corp. All other trademarks or registered trademarks referenced herein are property of the respective corporations.

This Source Code (software and/or firmware) is owned by Cypress Semiconductor Corporation (Cypress) and is protected by and subject to worldwide patent protection (United States and foreign), United States copyright laws and international treaty provisions. Cypress hereby grants to licensee a personal, non-exclusive, non-transferable license to copy, use, modify, create derivative works of, and compile the Cypress Source Code and derivative works for the sole purpose of creating custom software and or firmware in support of licensee product to be used only in conjunction with a Cypress integrated circuit as specified in the applicable agreement. Any reproduction, modification, translation, compilation, or representation of this Source Code except as specified above is prohibited without the express written permission of Cypress.

Disclaimer: CYPRESS MAKES NO WARRANTY OF ANY KIND, EXPRESS OR IMPLIED, WITH REGARD TO THIS MATERIAL, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE. Cypress reserves the right to make changes without further notice to the materials described herein. Cypress does not assume any liability arising out of the application or use of any product or circuit described herein. Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress' product in a life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

Use may be limited by and subject to the applicable Cypress software license agreement.