



Interconnessioni “dual port”: un Valido Ausilio per il Progetto di Sistemi

By (Danny Tseng, Senior Application Engineer, Cypress Semiconductor Corp. and
Sohin Chinoy, Product Manager Data Communications, Cypress Semiconductor Corp.)

Sommario

I dispositivi della famiglia FullFlex di Cypress Semiconductor ridefiniscono il ruolo delle interconnessioni dual port, in quanto abbinano elevata velocità e alto throughput con la flessibilità architetturale e la scalabilità delle semplici memorie

Introduzione

L'ampio corredo di caratteristiche della nuova famiglia di interconnessioni “dual port” (a doppia porta) FullFlex di Cypress Semiconductor garantisce la massima flessibilità nella progettazione di sistemi. Tra le specifiche degne di nota si possono annoverare velocità massima di 250 MHz (superiore del 150% rispetto a quella dei migliori prodotti della concorrenza), throughput massimo di 36 Gbps e 28,8 Gbps nel funzionamento in modalità SDR e DDR rispettivamente ed eccellenti margini di temporizzazione grazie all'utilizzo di anelli DLL (Delay Lock Loops). In grado di operare con qualsiasi interfaccia SRAM standard, i componenti la serie FullFlex sono disponibili con livelli di densità compresi tra 0,5 e 36 M in configurazioni x18, x36 o x72.

Un'interconnessione dual port FullFlex può essere utilizzata come memoria di comunicazione interprocessore o come memoria di supporto (companion memory) per un singolo processore. Nel primo caso, le caratteristiche integrate permettono di semplificare il progetto della scheda e consentono il trasferimento dati a elevata ampiezza di banda tra gli elementi di elaborazione, come riportato dal grafico di figura 1. Nel secondo caso, invece, viene messa a disposizione un'ampiezza di banda di memoria dedicata di 36 Gb/s indipendentemente dal rapporto lettura/scrittura del sistema.

Le interconnessioni FullFlex sono realizzate in tecnologia da 90 nm, capace di garantire prestazioni più elevate e prezzi inferiori rispetto ad analoghi prodotti disponibili sul mercato.

Caratteristiche e vantaggi

Nel seguito si analizzano in maggior dettaglio alcune delle caratteristiche principali dell'interconnessione FullFlex.

Controllo di accesso deterministico

Nel caso di collisioni dei dati tra due processori che cercano di effettuare contemporaneamente la scrittura nella medesima locazione di memoria, l'interconnessione invia un segnale di interrupt hardware al processore che non è riuscito a compiere l'operazione. Questo interrupt si verifica sempre 5 cicli dopo la collisione e l'indirizzo di collisione viene memorizzato in un indirizzo on chip. L'interrupt hardware viene abilitato per un singolo ciclo di clock per ogni collisione di indirizzo. Nel caso di più collisioni, questo pin viene abilitato per più cicli di clock e il primo indirizzo di collisione viene memorizzato nella doppia porta.

La prevedibilità di questo schema di interrupt elimina l'incertezza nell'operazione di rilevamento della collisione e semplifica il lavoro di ogni progettista di sistema impegnato nello sviluppo di routine per la gestione delle collisioni. In tal modo è possibile ridurre sia i tempi di progettazione software sia quelli di debug dell'intero sistema.

Adattamento di impedenze variabile

Nella progettazione di sistemi digitali operanti a velocità elevata, i segnali principali devono essere terminati in maniera adeguata al fine di ridurre fenomeni di riflessione e garantire l'integrità dei segnali stessi. Il circuito di adattamento dell'impedenza variabile esegue regolazioni automatiche per fornire un'intensità di pilotaggio tale da controbilanciare le fluttuazioni ambientali, come ad esempio variazioni di temperatura, che potrebbero modificare l'impedenza della pista e provocare riflessioni. Su ciascuna porta, il circuito VIM viene configurato mediante la connessione di due pin dedicati a massa attraverso due resistori di calibrazione discreti. Il valore dei resistori determina il valore dell'impedenza di linea desiderato che deve essere adattato. L'intervallo di impedenza di linea è compreso tra 20 e 55 Ohm, mentre ciascuno dei resistori di calibrazione ha una resistenza pari a 5 volte il valore dell'impedenza di linea (quindi da 100 a 275 Ohm).

L'adattamento dell'impedenza di linea mediante resistori di terminazione implica l'impiego di un resistore per ciascuna linea di segnale. Nei sistemi caratterizzati da interfacce di ampie dimensioni, come quelle con bus dati a 72 bit, ciò si traduce nella presenza di 144 resistori. Grazie all'adattamento di impedenza variabile, sono richiesti solamente 4 resistori, ovvero 2 per ciascuna porta. In questo modo è possibile ridurre considerevolmente sia il numero di componenti necessari sia gli ingombri a bordo della scheda.

Clock di eco

Nei sistemi digitali operanti a elevata velocità, il budget disponibile per quel che concerne la temporizzazione può risultare inadeguato, con periodi di clock uguali o inferiori a 5 ns. In un sistema, il tempo che intercorre tra il segnale di clock e l'invio dei dati da parte del dispositivo di trasmissione è dell'ordine di 2-3 ns, mentre il tempo di setup del dispositivo ricevente è di circa 1 ns. Se il processore addetto alla ricezione esegue la temporizzazione a livello globale impiegando solamente il clock principale (master clock) vi è un margine ridottissimo per tener conto di altri fenomeni quali ritardo di propagazione del segnale, disallineamento del clock (clock skew) o compensazione dello jitter. I clock di eco sono clock di supporto per i dati in uscita dal dispositivo a doppia porta: essi sono generati internamente mediante lo sfasamento del clock di riferimento dell'ingresso in modo da consentire l'adattamento con la temporizzazione dei dati in uscita. Il dispositivo a due porte rende disponibili due coppie di clock di eco complementari, ciascuno dei quali è allineato sul fronte in corrispondenza della metà dei bit di dati. Ciò consente di effettuare una temporizzazione più accurata e garantire il blocco dei dati nell'elemento di elaborazione con il margine di temporizzazione più ampio possibile.

Il processore può utilizzare i clock di eco per bloccare i dati inviati dal dispositivo dual port. Poiché i dati dovrebbero essere sincroni con la sorgente, elementi quali la lunghezza delle piste tendono ad assumere una minore criticità. In questo modo è possibile ottimizzare la finestra di temporizzazione ed evitare lo spreco di cicli di clock durante la lettura del dispositivo dual port. Per il progettista di sistemi ciò significa l'ottimizzazione del budget di temporizzazione.

Standard di I/O selezionabili

Entrambe le porte dell'interconnessione FullFlex possono supportare in maniera indipendente uno dei 4 standard di I/O disponibili: LVTTTL a 3,3 V, LVCMOS a 2,5 V, LVCMOS a 1,8 V e eHSTL a 1,4-1,9 V. Due pin dedicati per ciascuna porta sono preposti alla selezione dello standard. Tali pin devono essere mantenuti a livelli di tensione statici al fine di permettere la selezione di uno dei quattro standard di I/O. Le possibilità di scelta vengono riassunte nella tabella 1. Le due porte di FullFlex costituiscono un ponte tra due processori con interfacce elettriche differenti senza ricorrere a traslatori di livello esterni. Anche in questo caso, ciò comporta una riduzione del numero dei componenti e degli ingombri sulla scheda.

Interfaccia DDR (Double Data Rate)

Entrambe le porte dell'interconnessione FullFlex possono essere configurate in maniera indipendente per supportare un'interfaccia SDR (Single Data Rate) o DDR (Double Data Rate). Un pin di selezione DDR dedicato è disponibile su ciascuna delle interfacce a due porte. Quando questo pin viene abilitato, la porta designata opera in modalità DDR.

Le interconnessioni FullFlex sono in grado di svolgere la funzione di "ponte" tra due processori dotati di interfacce operanti a differenti velocità di trasferimento dati. Mediante la modalità DDR è possibile raddoppiare il throughput per una data ampiezza di bus, oppure dimezzare il numero di pin necessari per mantenere il medesimo throughput. Si tratta di una caratteristica particolarmente utile nel caso di progetti basati su FPGA, poiché ogni pin aggiuntivo va a incidere sul costo complessivo dell'hardware. I controllori di memoria DDR sono disponibili a titolo gratuito sul sito Web di Cypress Semiconductor.

In definitiva, FullFlex abbina la velocità e il throughput propri delle interconnessioni dual port con la flessibilità architetturale e la scalabilità delle semplici memorie. A proposito di flessibilità, non va dimenticato che le interconnessioni FullFlex possono operare con tensioni di alimentazione del core di 1,8, 1,5 o persino 1,2 V, in modo da minimizzare i consumi senza dover ricorrere a troppi compromessi in termini di prestazioni. L'adozione di FullFlex rappresenta un valido ausilio in quanto consente di gestire con semplicità i flussi di dati, lasciando al progettista la possibilità di concentrare la propria attenzione su altre parti del progetto.

Fig. 1 – FullFlex può essere utilizzata come interconnessione tra due processori con standard differenti

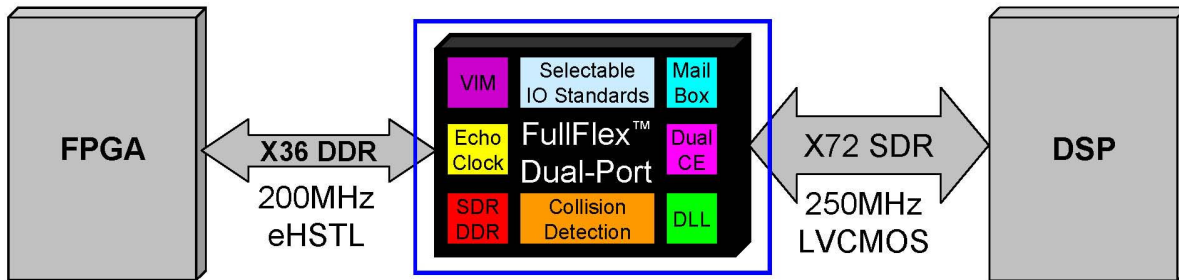


Tabella 1 – Pin di selezione e standard di I/O

Standard porta 1	Standard porta 0	Standard I/O
VSS	VSS	LVTTLL a 3,3 V
VSS	VTTL	EHSTL
VTTL	VSS	LVCOMOS a 2,5 V
VTTL	VTTL	LVCMOS a 1,8 V



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
Phone: 408-943-2600
Fax: 408-943-4730
<http://www.cypress.com>

© Cypress Semiconductor Corporation, 2007. The information contained herein is subject to change without notice. Cypress Semiconductor Corporation assumes no responsibility for the use of any circuitry other than circuitry embodied in a Cypress product. Nor does it convey or imply any license under patent or other rights. Cypress products are not warranted nor intended to be used for medical, life support, life saving, critical control or safety applications, unless pursuant to an express written agreement with Cypress. Furthermore, Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress products in life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

PSoC Designer™, Programmable System-on-Chip™, and PSoC Express™ are trademarks and PSoC® is a registered trademark of Cypress Semiconductor Corp. All other trademarks or registered trademarks referenced herein are property of the respective corporations.

This Source Code (software and/or firmware) is owned by Cypress Semiconductor Corporation (Cypress) and is protected by and subject to worldwide patent protection (United States and foreign), United States copyright laws and international treaty provisions. Cypress hereby grants to licensee a personal, non-exclusive, non-transferable license to copy, use, modify, create derivative works of, and compile the Cypress Source Code and derivative works for the sole purpose of creating custom software and or firmware in support of licensee product to be used only in conjunction with a Cypress integrated circuit as specified in the applicable agreement. Any reproduction, modification, translation, compilation, or representation of this Source Code except as specified above is prohibited without the express written permission of Cypress.

Disclaimer: CYPRESS MAKES NO WARRANTY OF ANY KIND, EXPRESS OR IMPLIED, WITH REGARD TO THIS MATERIAL, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE. Cypress reserves the right to make changes without further notice to the materials described herein. Cypress does not assume any liability arising out of the application or use of any product or circuit described herein. Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress' product in a life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

Use may be limited by and subject to the applicable Cypress software license agreement.