

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

Excelon-LP 2Mビット (256K × 8)
シリアル (SPI) F-RAM**特長**

- 256K×8論理構成として設計された2Mビット強誘電体RAM (F-RAM)
 - 1000兆回(10^{15})の読み出し/書き込みサイクルの無限の耐久性
 - 151年のデータ保持 (データ保持期間とアクセス可能回数表を参照)
 - NoDelay™書き込み
 - 先端の高信頼性強誘電体プロセス
- 高速SPI
 - 最大50MHzの周波数
 - SPIモード0 (0, 0)およびモード3 (1, 1)をサポート
- 洗練された書き込み保護スキーム
 - 書き込み保護(WP)ピンを使用したハードウェアによる保護
 - 書き込みディセーブル命令(WRDI)を使用したソフトウェアによる保護
 - アレイの1/4、1/2または全体を対象としたソフトウェアブロック保護
- デバイスIDとシリアル番号
 - デバイスIDはメーカーIDと製品IDを含む
 - 固有ID
 - 連番機能
- 専用256バイト特殊セクタF-RAM
 - 専用特殊セクタの書き込みと読み出し
 - 保存コンテンツは最大3回の標準はんだリフローサイクルに耐え得る
- 低消費電力
 - 40MHzでの2.4mA (Typ)のアクティブ電流
 - 2.3μA (Typ)のスタンバイ電流
 - 0.70μA (Typ)のディープパワーダウンモード電流
 - 0.1μA (Typ)のハイバネートモード電流
- 低電圧動作
 - CY15V102QN: $V_{DD} = 1.71\text{ V} \sim 1.89\text{ V}$
 - CY15B102QN: $V_{DD} = 1.8\text{ V} \sim 3.6\text{ V}$
- 産業用動作温度範囲: $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$
- パッケージ
 - 8ピン小型集積回路(SOIC)パッケージ
 - 8ピンの薄型デュアルフラットノーリード(DFN)パッケージ
 - 8ピンプラスチックデュアルインライン (PDIP) パッケージ
- RoHS準拠

機能説明

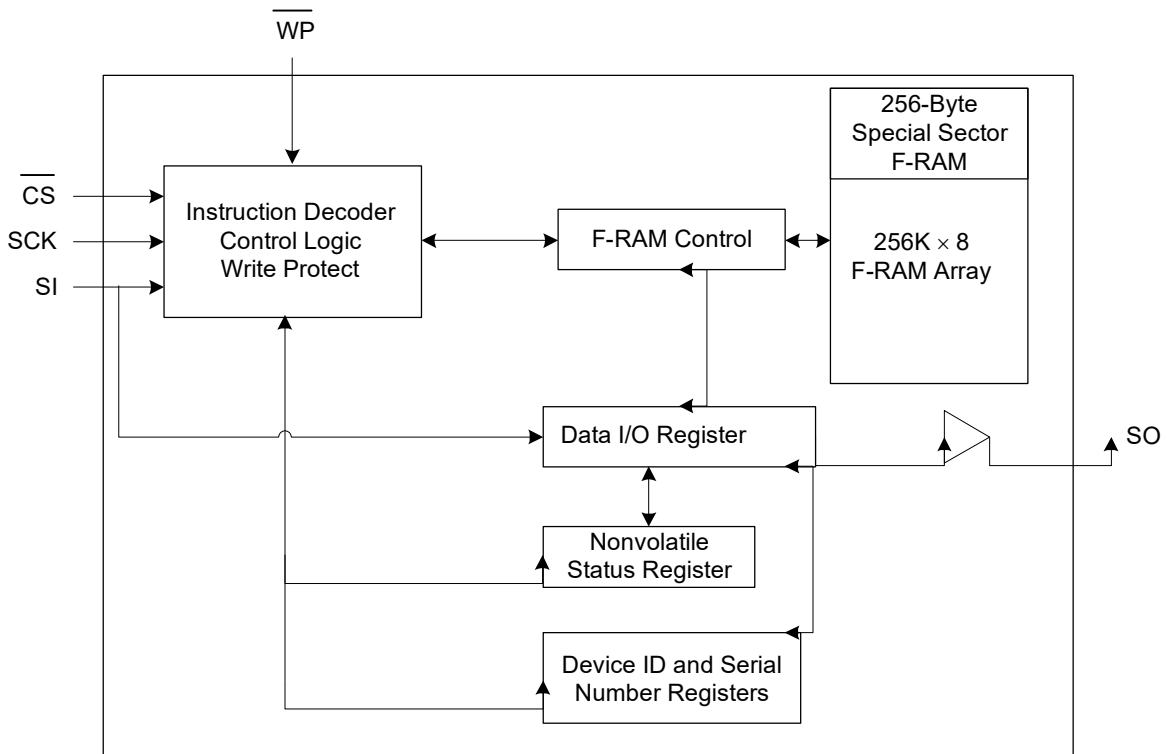
Excelon-LP CY15X102QNは高度な強誘電体プロセスを適用した低消費電力の2Mビット不揮発性メモリです。強誘電体ランダムアクセスメモリまたはF-RAMは不揮発性であり、RAMと同様に読み出しと書き込みを実行します。シリアルフラッシュ、EEPROM、およびその他の不揮発性メモリによって引き起こされる複雑さ、オーバーヘッド、およびシステムレベルの信頼性の問題を排除しながら、151年間の信頼性の高いデータ保持を提供します。

シリアルフラッシュやEEPROMと異なり、CY15X102QNはバス速度で書き込み動作を実行します。書き込み遅延は発生しません。データは各バイトがデバイスに正常に転送された直後にメモリアレイに書き込まれます。次のバスサイクルはデータポーリングを必要とせず開始できます。また、本製品は他の不揮発性メモリと比べ多くの書き換え回数を提供しています。CY15X102QNは、 10^{15} 回の読み出し/書き込みサイクル、またはEEPROMに比べ10億倍の書き込みサイクルに対応できます。

これらの能力により、CY15X102QNは頻繁で急速書き込みを必要とする不揮発性メモリの用途に理想的なものになります。用途例は、書き込み回数を重視するデータ収集から、シリアルフラッシュやEEPROMを使った長い書き込み時間に起因してデータを損失する可能性がある厳しい産業用制御まで及びます。

CY15X102QNはハードウェア置き換えができるため、シリアルEEPROMやフラッシュを使用するユーザに大幅な利点を提供します。CY15X102QNは、F-RAM技術の高速な書き込み機能を強化する高速SPIバスを使用します。本デバイスには読み出し専用のデバイスIDと固有ID機能が組み込まれており、ホストがメーカー、メモリ容量、レビジョンおよび固有IDを判断できます。本製品はまた、基板またはシステムを特定するために使用できる書き込み可能な8バイトシリアル番号レジスタを備えています。

論理ブロック図



目次

端子配置	4	ACテスト条件	18
端子機能	4	スイッチングのAC特性	18
機能概要	5	パワー サイクル タイミング	20
メモリアーキテクチャ	5	注文情報	21
SPIバス	5	注文コード定義	21
SPIプロトコルで使用される用語	5	パッケージ外形図	22
SPIモード	6	略語	25
電源投入時から最初のアクセスまで	6	本書の表記法	25
機能説明	7	測定単位	25
コマンドの構成	7	改訂履歴	26
最大定格	16	セールス、ソリューションおよび法律情報	27
動作範囲	16	ワールドワイド販売と設計サポート	27
DC電気的特性	16	製品	27
データ保持期間とアクセス可能回数	17	PSoC®ソリューション	27
静電容量	17	サイプレス開発者コミュニティ	27
熱抵抗	17	テクニカルサポート	27

端子配置

図 1. 8ピンSOIC/PDIP端子配置

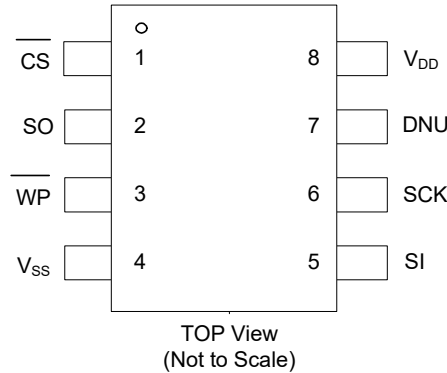
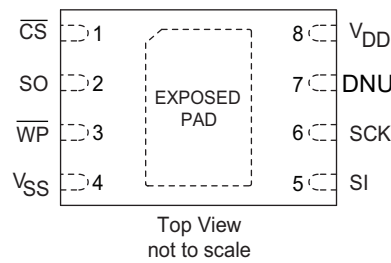


図 2. 8ピンDFN端子配置



端子機能

端子名	入出力	説明
CS	入力	チップセレクト。 このアクティブLOW入力でデバイスを起動させます。HIGHになった場合、デバイスは低消費電力のスタンバイモードに移行し、他の入力を無視し、出力をトライステートにします。LOWになった場合、デバイスがSCK信号を内部でアクティブにします。CSの立ち下りエッジは、すべてのオペコードの発行前に発生させてください。
SCK	入力	シリアルクロック。 入出力はシリアルクロックに同期されます。入力はシリアルクロックの立ち上りエッジでラッチされ、出力は立ち下りエッジで駆動されます。クロック周波数は0MHz~50MHzの範囲内であり、同期特性のためいつでも割り込まれる可能性があります。
SI ^[1]	入力	シリアル入力。このピンからデバイスにデータを入力します。入力はSCKの立ち上りエッジでサンプリングされ、それ以外では無視されます。電源 (I _{DD}) 仕様を満たすために、常に有効な論理レベルに駆動する必要があります。
SO ^[1]	出力	シリアル出力。 データ出力ピンです。読み出し中に駆動され、そのとき以外ではトライステートのままになります。データ遷移はシリアルクロックSCKの立ち下りエッジで駆動されます。
WP	入力	書き込み保護。 このアクティブLOWピンはWPENが「1」にセットされる際ステータスレジスタへの書き込み動作は無効となります。その他の書き込み保護機能はステータスレジスタによって制御されるため、このことは重要です。書き込み保護の詳細は表 2と表 5を参照してください。このピンは内部で弱プルアップ抵抗に接続され、開放(基板上で未接続)状態の場合この抵抗によってHIGHに維持されます。このピンを使用しない場合、V _{DD} に接続することも可能です。
DNU	使用禁止	未使用: このピンは開放(基板上で未接続)またはV _{DD} に接続します。
V _{SS}	電源電圧	デバイス用のグラウンド。システムのグラウンドに接続する必要があります。
V _{DD}	電源電圧	デバイス電源入力
エクスポーズドパッド	未接続	8ピンDFNパッケージのEXPOSEDはダイに接続されていません。EXPOSEDPADはPCBにはんだ付けしないでください。

注:

1. SIをSOと接続し1本のデータインターフェースとして利用されることがあります。

機能概要

CY15X102QNはシリアルF-RAMメモリです。メモリ アレイは262,144×8ビットに論理構成され、業界標準SPIバスを介してアクセスされます。F-RAMの機能動作は、シリアルフラッシュおよびシリアルEEPROMと同様です。CY15X102QNとシリアルフラッシュや同じピン配置のEEPROMとで違う点は、F-RAMの優れた書き込み性能、高アクセス可能回数、低消費電力です。

メモリアーキテクチャ

CY15X102QNのアクセスには、8データビットごとの256K箇所の位置をアドレス指定します。これら8個のデータビットは順次シフトイン/シフトアウトされます。アドレスは、チップセレクト(バス上で複数デバイスを許可する)とオペコード、3バイトのアドレスを含むSPIプロトコルを使ってアクセスされます。アドレス範囲の上位5ビットは「ドント ケア」値です。18ビットのアドレスで、一意的に各バイト アドレスを指定します。

CY15X102QNのほとんどの機能は、SPIインターフェースにより制御されるか、または基板に搭載された回路によって処理されます。メモリ動作のためのアクセス時間は基本的にシリアルプロトコルに必要な時間以外は0です。すなわちメモリはSPIバスの速度で読み書きされます。シリアルフラッシュやEEPROMと異なり、書き込み処理がバス速度で行われるので、デバイスの書き込み準備を知るためにポーリングする必要はありません。新しいバストランザクションがデバイスに送り込まれるまでに書き込み動作は完了します。これはインターフェースの節で詳しく説明されます。

SPIバス

CY15X102QNはSPIスレーブデバイスであり、最大50MHzの速度で動作します。この高速シリアルバスにより、SPIマスターとの間で高性能のシリアル通信が可能です。多くの一般的なマイクロコントローラは、直接インターフェースが可能なハードウェアSPIポートを持ちます。この機能を持たないマイクロコントローラで、通常のポート ピンを使用してSPIポートをエミュレートすることは容易です。CY15X102QNはSPIモード0および3で動作します。

SPI概要

SPIは、チップセレクト(\overline{CS})、シリアル入力 (SI)、シリアル出力 (SO)およびシリアル クロック(SCK)ピンから成る4ピンインターフェースです。

SPIは、メモリアクセスにクロックとデータピンを使用し、データバス上の複数デバイスをサポートする同期シリアルインターフェースです。SPIバス上のデバイスは、CSピンを使用してアクティブにされます。

チップセレクト、クロック、データの相互関係はSPIモードにより異なります。このデバイスは、SPIモード0および3をサポートしています。これらの両モードで、CSがアクティブになった後の最初の立ち上りエッジから始まるSCKの立ち上りエッジで、データがFRAMにクロック入力されます。

SPIプロトコルはオペコードによって制御されます。これらのオペコードは、バスマスターからスレーブデバイスへのコマンドを指定します。CSがアクティブ化された後、バスマスターから転送される最初のバイトがオペコードです。オペコードに続いて、任意のアドレスとデータが転送されます。動作完了後、新しいオペコードが発行される前に、CSが非アクティブ化される必要があります。

SPIプロトコルで使用される用語

SPIプロトコルで一般的に使用される用語は以下のとおりです。

SPIマスター

SPIマスター デバイスはSPIバス上の動作を制御します。SPIバスは、複数のスレーブ デバイスを制御する1つのマスターを持っている場合があります。すべてのスレーブが同じSPIバスラインを共有し、マスターはCSピンを使用してスレーブ デバイスのいずれかを選択できます。すべてのオペレーションは、マスターがスレーブのCSピンをLOWにプルダウンすることによってスレーブ デバイスをアクティブにして開始する必要があります。また、マスターはSCKを生成し、SIとSOライン上のすべてのデータ送信はこのクロックと同期されます。

SPIスレーブ

SPIスレーブデバイスは、チップセレクトラインを介してマスターによってアクティブにされます。スレーブデバイスは、SPIマスターからの入力としてSCKを取得し、すべての通信はこのクロックに同期されます。SPIスレーブはそれ自体としてSPIバス上で通信を開始することはなく、マスターからの命令に従ってのみ動作します。

CY15X102QNはSPIスレーブとして動作し、他のSPIスレーブデバイスとSPIバスを共有する場合があります。

チップセレクト(\overline{CS})

全てのスレーブデバイスを選択するためには、マスターは対応するCSピンをプルダウンする必要があります。CSピンがLOWの間だけ、命令をスレーブデバイスに発行することができます。デバイスが選択されていない場合、SIピン経由のデータは無視され、シリアル出力ピン(SO)は高インピーダンス状態が保持されます。

注: 新しい命令は \overline{CS} の立ち下りエッジで開始する必要があります。したがって、アクティブなチップセレクト サイクルごとに1個のオペコードのみが発行されます。

シリアルクロック(SCK)

シリアルクロックはSPIマスターによって生成され、 \overline{CS} がLOWになった後、通信はこのクロックと同期されます。

CY15X102QNはデータ通信のためにSPIモード0と3をサポートします。これらの両モードにおいて、入力はSCKの立ち上りエッジでスレーブ デバイスによってラッチされ、出力は立ち下りエッジで発行されます。そのため、SCKの最初の立ち上りエッジが、SPI命令の最上位ビット(MSb)がSIピンに到着したことを意味します。さらにすべてのデータの入力と出力はSCKと同期されます。

データ転送 (SI/SO)

SPIデータバスは、シリアルデータ通信用にSIとSOの2線で構成されます。SIはマスターアウト スレーブイン(MOSI)、SOはマスターイン スレーブアウト(MISO)とも呼ばれます。マスターはSIピンを介してスレーブに命令を発行し、スレーブはSOピンを介して応答します。複数のスレーブデバイスは、前述のようにSIとSOラインを共有する場合があります。

CY15X102QNには図 3に示すようにマスターと接続することができるSIとSO用の2つの独立したピンがあります。専用SPIバスを持たないマイクロコントローラでは、汎用ポートが使用されることもあります。コントローラのハードウェアリソースを削減するために、2つのデータピン(SI、SO)を相互に接続し、

WPピンをタイオフ (HIGH) することができます。図 4に3個のピンだけを使用するコンフィギュレーションを示します。

図 3. SPIポートによるシステム コンフィギュレーション

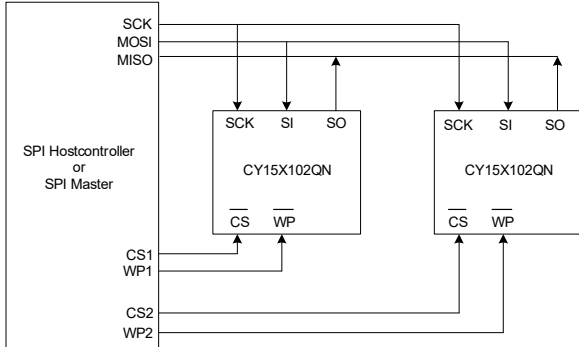
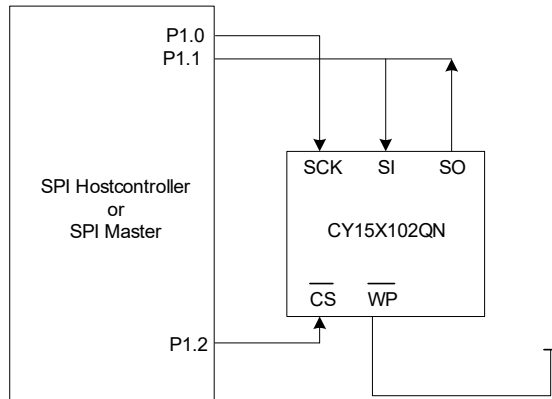


図 4. SPIポートの無いシステム コンフィギュレーション



最上位ビット(MSb)

SPIプロトコルでは、送信される最初のビットがMSbである必要があります。これはアドレスとデータ転送共に該当します。

2Mビット シリアルF-RAMは、すべての読み出しまたは書き込み動作に対応して3バイトのアドレスを必要とします。アドレスは18ビットであるため、入力された最初の6ビットはデバイスによって無視されます。これらの6ビットは「ドントケア」ですが、より高密度メモリへの円滑な移行を可能にするために、これらを0に設定することをサイプレスは推奨します。

シリアル オペコード

CSがLOWになる状態でスレーブデバイスが選択された後、最初に受信されたバイトは、意図されているオペレーションのオペコードとして扱われます。CY15X102QNは、メモリアクセスに標準オペコードを使用します。

無効なオペコード

無効なオペコードが受信されるとそのオペコードは無視され、デバイスは次のCSの立ち下りエッジまでSIピン上にある追加

のシリアル データを無視し、SOピンはトライステートのままとなります。

ステータスレジスタ

CY15X102QNには8ビットのステータスレジスタがあります。ステータスレジスタ内のビットはデバイス動作を設定するために使用されます。これらのビットは表 3で説明されます。

SPIモード

CY15X102QNは、SPIペリフェラルが次の2つのモードのいずれかで動作しているマイクロコントローラによって駆動できます。

- SPIモード0 (CPOL = 0, CPHA = 0)
- SPIモード3 (CPOL = 1, CPHA = 1)

これらの両モードで、CSがアクティブ化された後の最初の立ち上りエッジから始まるSCKの立ち上りエッジで入力データがラッチされます。クロックがHIGH状態から起動される場合(モード3)では、入力データはクロック トグル後の最初の立ち上りエッジでラッチされます。出力データはSCKの立ち下りエッジで利用可能となります。2つのSPIモードは図 5と図 6に示されます。バスマスターがデータを転送していない時のクロックの状態は以下のとおりです。

- モード0では、SCKが0のままです。
- モード3では、SCKが1のままです。

CSピンをLOWにすることによりデバイスが選択された時、デバイスはSCKピンの状態からSPIモードを検出します。デバイス選択時に、SCKピンがLOWならデバイスはSPIモード0で動作し、SCKピンがHIGHならデバイスはSPIモード3で動作します。

図 5. SPIモード0

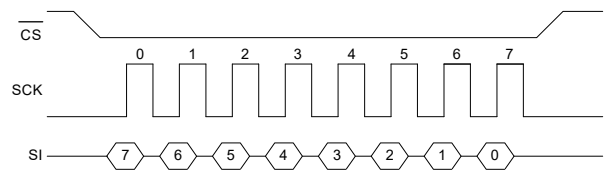
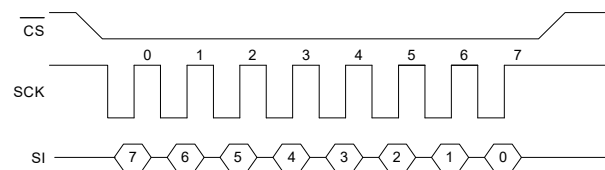


図 6. SPIモード3



電源投入時から最初のアクセスまで

電源投入後の t_{PU} の間、CY15X102QNへはアクセスできません。ユーザはタイミングパラメータ、 $t_{PU}(V_{DD}(\min))$ からCSが初めてLOWになる時までの最短期間)に従わねばなりません。詳細については、[パワーサイクルタイミング](#)を参照してください。

機能説明

コマンドの構成

バスマスターがCY15X102QNに発行するコマンド(オペコードと呼ばれる)は15個あります(表 1を参照してください)。これらのオペコードはメモリが実行する機能を制御します。

表 1. オペコードコマンド

名称	説明	オペコード		最大周波数(MHz)
		16進数	2進数	
書き込みイネーブル制御				
WREN	書き込みイネーブルラッチを設定	06h	0000 0110b	50
WRDI	書き込みイネーブルラッチをリセット	04h	0000 0100b	50
レジスタのアクセス				
RDSR	ステータス レジスタの読み出し	05h	0000 0101b	50
WRSR	ステータスレジスタの書き込み	01h	0000 0001b	50
メモリ書き込み				
WRITE	メモリ データの書き込み	02h	0000 0010b	50
メモリ読み出し				
READ	メモリ データの読み出し	03h	0000 0011b	40
FSTRD	メモリ データの高速読み出し	0Bh	0000 1011b	50
特殊セクタ メモリ アクセス				
SSWR	特殊セクタの書き込み	42h	0100 0010b	50
SSRD	特殊セクタの読み出し	4Bh	0100 1011b	40
識別およびシリアル番号				
RDID	デバイスIDの読み出し	9Fh	1001 1111b	50
RUID	固有IDの読み出し	4Ch	0100 1100b	50
WRSN	シリアル番号の書き込み	C2h	1100 0010b	50
RDSN	シリアル番号の読み出し	C3h	11000 011b	50
低消費電力モードコマンド				
DPD	ディープ パワーダウン開始	BAh	1011 1010b	50
HBN	ハイバネートモード開始	B9h	1011 1001b	50
予約済み				
予約済み	予約済み	未使用オペコードは、将来の使用のために予約されます。		-

書き込みイネーブル制御コマンド

書き込みイネーブル ラッチ設定(WREN、06h)

CY15X102QNは、書き込みが無効の状態です。WRENコマンドを書き込み動作の前に発行する必要があります。WREN オペコードを送信することにより、ユーザは書き込み動作に次のオペコードを発行できます。これには、ステータスレジスタ書き込み(WRSR)、メモリ書き込み(WRITE)、特殊セクタ書き込み(SSWR)、シリアル番号書き込み(WRSN)が含まれます。

WRENオペコードを発行すると、内部書き込みイネーブルラッチが設定されます。WELと呼ばれるステータスレジスタ内のフラグビットはラッチの状態を示します。WEL=「1」は、書き込みが許可されることを示します。ステータスレジスタのWELビットに書き込んでこのビットの状態に影響を与えません。WREN オペコードのみがこのビットをセットできます。WELビットは、WRDI、WRSR、WRITE、SSWRまたはWRSN動作の後に続くCSの立ち上がりエッジで自動的にクリアされます。これにより、別のWRENコマンドなしでステータスレジスタまたはF-RAMアレイにそれ以上書き込むことができなくなります。図 7にWRENコマンドバス コンフィギュレーションを示します。

図 7. WRDIバス コンフィギュレーション

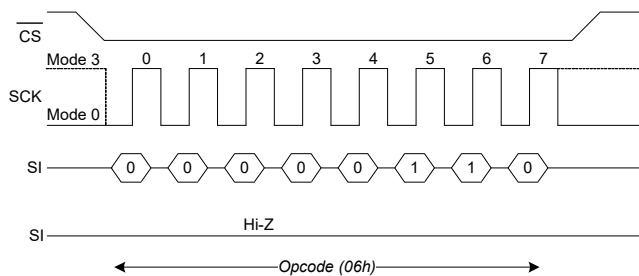


表 2. ステータスレジスタ

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
WPEN (0)	X (1)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEL (0)	X (0)

表 3. ステータスレジスタのビット定義

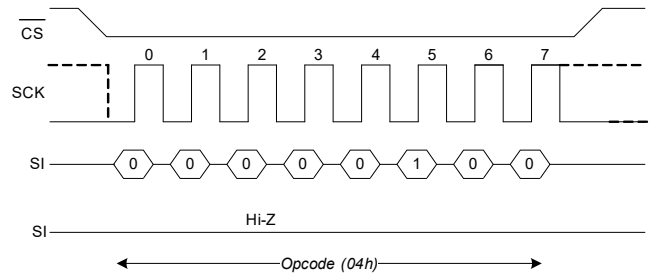
ビット	定義	説明
ビット0	ドントケア	このビットは書き込み不可であり、読み出すと常に「0」を返します。
ビット1 (WEL)	書き込みイネーブル	WELはデバイスの書き込みが有効かどうかを示します。電源投入時の初期値は「0」(無効)です。 WEL = 1 = 書き込みが有効 WEL = 0 = 書き込みが無効
ビット2 (BP0)	ブロック保護ビット「0」	ブロック保護のために使用される。詳細は、表 4を参照してください。
ビット3 (BP1)	ブロック保護ビット「1」	ブロック保護のために使用される。詳細は、表 4を参照してください。
ビット4-5	ドントケア	これらのビットは書き込み不可であり、読み出すと常に「0」を返します。
ビット6	ドントケア	このビットは書き込み不可であり、読み出し時に常に「1」を返します。
ビット7 (WPEN)	書き込み保護イネーブルビット	書き込み保護ピンの機能をイネーブルにするために使用されます(WP)。詳細は、表 5を参照してください。

ビット0と4~5は「0」に、ビット6は「1」に固定され、これらのビットは修正できません。F-RAMはリアルタイムで書き込まれビジー-のときがないので、ビット0(シリアルフラッシュやEEPROMでの「Ready or Write in progress (待機または書き込み中)」の状態を示すビット)は不要であり、「0」として読み出されます。この例外は、デバイスがディープパワーダウン

書き込みイネーブル ラッチ リセット(WRDI、04h)

WRDIコマンドは、書き込みイネーブルラッチをクリアすることにより、すべての書き込み動作を無効にします。ステータスレジスタのWELビットを読み出して書き込みが無効になっていることを確認し、WELが「0」に等しいことを確認します。図 8にWRDIコマンドバス コンフィギュレーションを示します。

図 8. WRENバス コンフィギュレーション



ステータス レジスタと書き込み保護

CY15X102QNの書き込み保護機能は多層的であり、ステータスレジスタを介してイネーブルされます。ステータスレジスタは以下のように構成されています。(工場出荷時の初期値は、WEL、BP0、BP1、ビット4~5、WPENは「0」、ビット6は「1」です)。

ンモード(DPD、BAh)またはハイバネートモード(HBN、B9h)のいずれかからウェイクアップしている場合です。BP1およびBP0はソフトウェアの書き込み保護機能を制御する不揮発性ビットです。WELフラグは、書き込みイネーブルラッチの状態を示します。ステータス レジスタのWELビットに直接書き込んで

状態は変わりません。このビットは内部でそれぞれWREN、WRDIコマンドを介してセット、クリアされます。

BP1とBP0はメモリブロックの書き込み保護ビットです。それらは表 4で示すように書き込み保護されるメモリ領域を指定します。

表 4. ブロックメモリへの書き込み保護

BP1	BP0	保護されるアドレス範囲
0	0	無し
0	1	30000h~3FFFFh (上位1/4)
1	0	20000h~3FFFFh (上位1/2)
1	1	00000h~3FFFFh (全て)

BP1とBP0ビットと書き込みイネーブルラッチは、メモリが書き込まれないように防ぐ唯一のメカニズムです。残りの書き込み保護機能は、ブロック保護ビットへの不用意な変更を防止します。

ステータスレジスタの書き込み保護イネーブルビット(WPEN)は、ハードウェア書き込み保護(WP)ピンの効果を制御します。WPピンのタイミング図については、図 24を参照してください。WPENビットが「0」にセットされると、WPピンの状態は無視されます。WPENビットが「1」にセットされる時、WPピンがLOWになるとステータスレジスタへの書き込みは防止されます。そのため、ステータスレジスタは、WPEN=1およびWP=0の場合のみ書き込み保護されます。表 5に書き込み保護条件をまとめます。

表 5. 書き込み保護

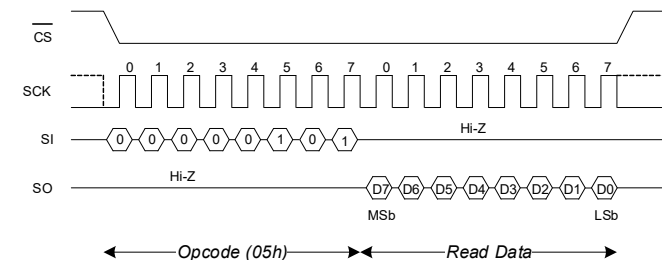
WEL	WPEN	WP	保護ブロック	非保護ブロック	ステータスレジスタ
0	X	X	保護	保護	保護
1	0	X	保護	未保護	未保護
1	1	0	保護	未保護	保護
1	1	1	保護	未保護	未保護

レジスタアクセスのコマンド

ステータスレジスタ読み出し(RDSR、05h)

RDSRコマンドでは、バスマスターはステータスレジスタの内容を検証することができます。ステータスレジスタを読み出すことで、書き込み保護機能の現時点の状態に関する情報を得ます。RDSRオペコードに続いて、CY15X102QNIはステータスレジスタの内容を持つ1バイトを返します。

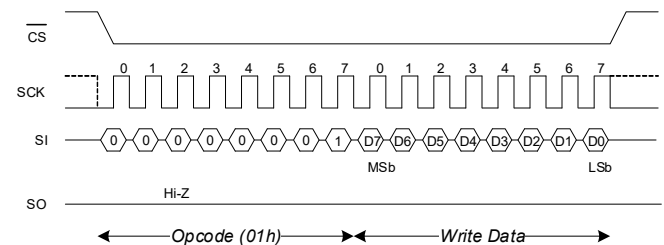
図 9. RDSRバスコンフィギュレーション



ステータスレジスタ書き込み(WRSR、01h)

WRSRコマンドを使って、SPIバスマスターがステータスレジスタへ書き込み、WPEN、BP0、BP1ビットを必要に応じて設定することで書き込み保護の設定を変更できます。WRSRコマンドを発行する前には、WPピンがHIGHまたは非アクティブである必要があります。CY15X102QNでは、WPがメモリアレイではなくステータスレジスタのみへの書き込みを防止することに注意してください。WRSRを送信する前にWRENコマンドを送信して書き込みを有効にする必要があります。WRSRコマンドの実行は書き込み動作のため、書き込みイネーブルラッチがクリアされます。

図 10. WRSRバスコンフィギュレーション(WRENが非表示)



メモリの動作

高いクロック周波数で動作が可能なSPIインターフェースは、F-RAM技術の高速書き込み機能を際立たせます。シリアルフラッシュやEEPROMと違って、CY15X102QNIはバス速度でシーケンシャルに書き込みを実行します。ページレジスタは不要であり、シーケンシャルな書き込みは何回でも実行できます。

メモリ書き込み動作コマンド

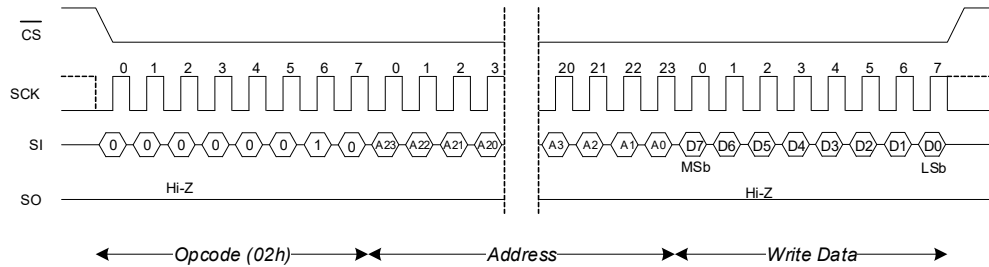
書き込み動作(WRITE、02h)

メモリへのすべての書き込みは、アサートおよびデアサートされているCSを伴いWRENオペコードで始まります。次のオペコードはWRITEです。WRITEオペコードに続き、メモリへ書き込む最初のデータバイトを指定する18ビットアドレス(A17~A0)を含む3バイトアドレスが続きます。3バイトアドレスの上位6ビットは無視されます。後続のバイトは順次に書き込まれるデータバイトです。バスマスターがクロックを送り、CSをLOWに維持している限り、アドレスは内部でインクリメントされます。3FFFFhの最終アドレスに達すると、カウンタは00000hに戻ります。書き込まれるすべてのデータバイトは、MSbファースト、LSbラスト方式で8クロックサイクルでSIに転送されます。CSの立ち上りエッジで書き込み動作が終了します。CY15X102QNの書き込み動作を図 11に示します。

注:

- バースト書き込みが保護されたブロックに達すると、アドレスの自動インクリメントは停止し、書き込み用に受信された後続のデータバイトのすべてがデバイスに無視されます。EEPROMはページバッファを使用して書き込みスループットを上げます。ページバッファは、書き込み動作が遅いという本来の特性を補完するものです。F-RAMメモリは、各データバイトが(8番目のクロックの後)クロック入力された直後にF-RAMアレイに書き込まれるため、ページバッファを持っていません。そのためページバッファの遅延なしにバイトをいくつも書き込むことができます。
- 書き込み動作中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。

図 11. メモリ書き込み動作 (WRENが非表示)



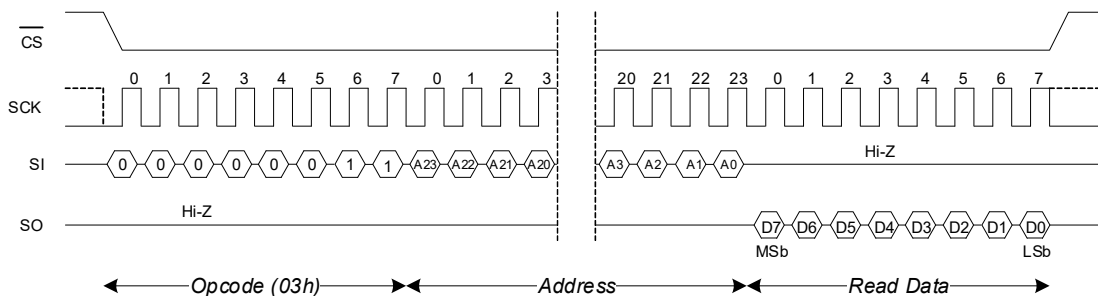
メモリ読み出し動作コマンド

読み出し動作 (READ、03h)

CSの立ち下がリエッジの後に、バス マスターはREADオペコードを発行できます。READコマンドの後には、読み出し動作の開始アドレスを指定する18ビット アドレス(A17~A0)を含む3バイトのアドレスが続きます。アドレスの上位6ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の8つのクロックで読み出しデータを出力します。SI入力は読み出しデータバイトの出力中には無視されます。後続のバ

イトは順々に読み出されるデータバイトです。バスマスターがクロックを送り、CSがロー レベルである限り、アドレスは内部でインクリメントされます。3FFFFhの最終アドレスに達すると、カウンタは00000hに戻ります。本製品はまた、基板またはシステムを特定するために使用できる書き込み可能な8バイト シリアル番号レジスタを備えています。CSの立ち上リエッジで読み出し動作を停止し、SOピンをトライステートにします。CY15X102QNの読み出し動作を図 12に示します。

図 12. メモリ読み出し動作

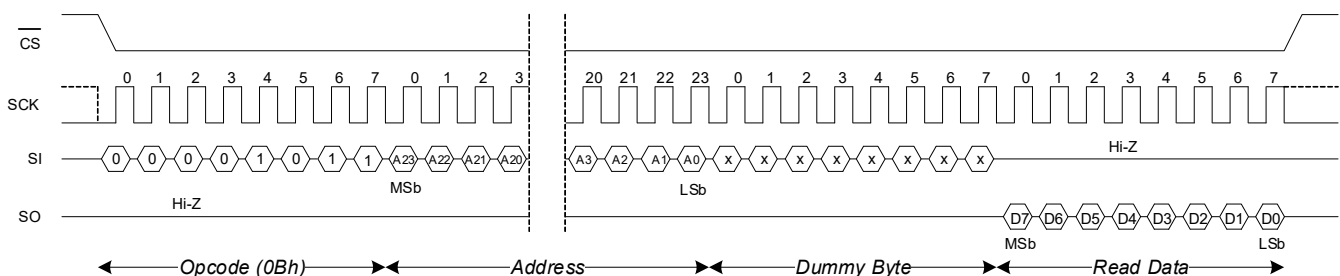


高速読み出し (FAST_READ、0Bh)

CY15X102QNは、シリアル フラッシュ デバイスとのコード互換性のために提供されるFAST READオペコード(0Bh)をサポートします。FASTREADオペコードの後には、読み出し動作の開始アドレスを指定する18ビット アドレス(A17~A0)を含む3個のバイトのアドレスが続き、次はダミーバイトとなります。ダミー バイトは8クロック サイクルの読み出し遅延を入れることです。ダミーバイトを追加することを除き、高速読み出し動作は通常の読み出し動作と同じです。オペコード、アドレス、

ダミーバイトを受信した後、CY15X102QNはSOラインでMSBファーストでデータバイトを出力し始めます。またデバイスが選択されクロックが有効である限り出力を継続します。バルク読み出しの場合、内部アドレスカウンタは自動的にインクリメントされ、最終アドレス3FFFFhに達するとカウンタは00000hに戻ります。デバイスがSOラインでデータを出力している時、SIライン上の遷移は無視されます。CSの立ち上リエッジで高速読み出し動作を停止し、SOピンをトライステートにします。CY15X102QNの高速読み出し動作を図 13に示します。

図 13. 高速読み出し動作



特殊セクタ メモリ アクセス コマンド

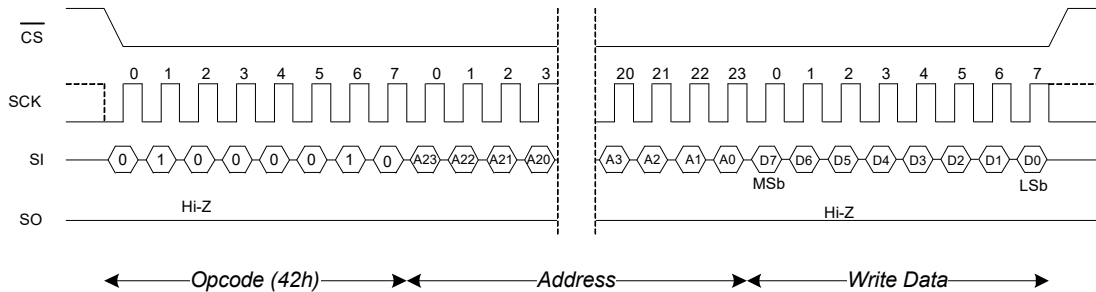
特殊セクタ書き込み(SSWR、42h)

256バイトの特別セクタへのすべての書き込みは、CSがアサートおよびデアサートされている状態でのWRENオペコードで始まります。次のオペコードはSSWRです。SSWRオペコードに続き、特殊セクタメモリへ書き込む最初のデータバイトを指定する8ビット アドレス(A7~A0)を含む3バイト アドレスが続きます。3バイト アドレスの上位16ビットは無視されます。後続のバイトは順次に書き込まれるデータ バイトです。バス マスターがクロックを送り、CSをLOWに維持している限り、アドレスは内部でインクリメントされます。内部アドレスカウンタが自動的にXXX7Fhにインクリメントされると、CSIはSSWR動作の実行を終了するためにHIGHに切り替える必要があります。書き込まれるすべてのデータ バイトは、MSbファースト、LSbラスト方式で8クロック サイクルでSIに転送されます。CSの立ち上がりエッジで書き込み動作が終了します。CY15X102QNの特殊セクタ書き込み動作を図 14に示します。

注:

- 書き込み動作中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。
- 特殊セクタF-RAMメモリは、標準的なハンドリフローの最大3サイクルにわたってデータの完全性を維持することを保証しています。

図 14. 特殊セクタ書き込み動作 (WRENが非表示)



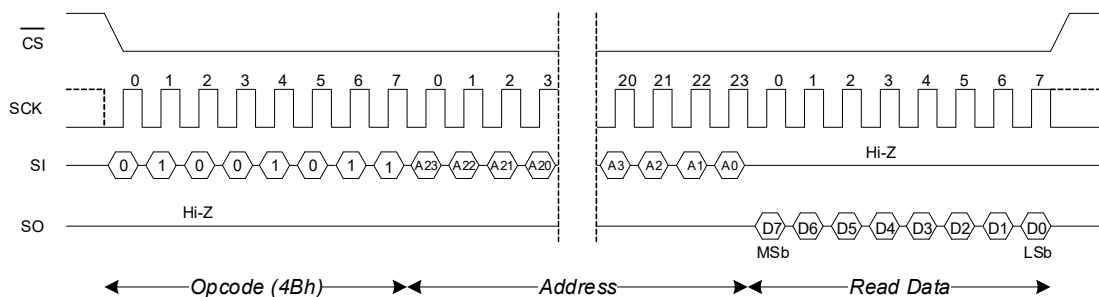
特殊セクタ読み出し(SSRD、4Bh)

CSの立ち下りエッジの後に、バス マスターはSSRDオペコードを発行できます。SSRDコマンドの後には、特殊セクタ読み出し動作の開始アドレスを指定する8ビット アドレス(A7~A0)を含む3バイトのアドレスが続きます。アドレスの上位16ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の8つのクロックで読み出しデータを出力します。SI入力は読み出しデータバイトの出力中には無視されます。後続のバイトは順々に読み出されるデータバイトです。バス マスターがクロックを送り、CSがロー レベルである限り、アドレスは内部でインクリメントされます。内部アドレスカウンタが自動的にXXX7Fhにインクリメントされると、CSIはSSRD動作の

実行を終了するためにHIGHに切り替える必要があります。SOのすべての読み出しデータ バイトは、MSbファースト、LSbラスト方式で8クロック サイクルで駆動されます。CSの立ち上がりエッジで特殊セクタ読み出し動作が終了し、SOピンはトライステートになります。CY15X102QNの特殊セクタの読み出し動作を図 15に示します。

- 注: 特殊セクタF-RAMメモリは、標準的なハンドリフローの最大3サイクルにわたってデータの完全性を維持することを保証します。

図 15. 特殊セクタ読み出し動作



IDおよびシリアル番号コマンド

デバイスID読み出し(RDID、9Fh)

CY15X102QNデバイスは、メーカー、製品ID、ダイの版数について問い合わせを行えます。RDIDオペコード9Fhでは、両方とも読み出し専用バイトであるメーカーIDと製品IDを読むことができます。JEDECから割り当てられたメーカーIDは、バンク7の中にサイプレス(Ramtron)の識別子を配置しています。そのため連続コード7Fhの6バイトとそれに続く1バイトのC2hが

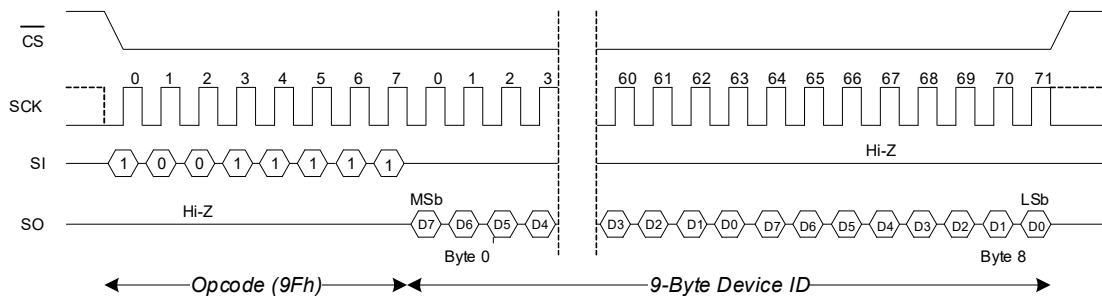
あります。製品IDの2バイトはファミリーコードと容量コード、サブコード、製品リビジョンコードを含みます。表6に、9バイトのデバイスIDフィールドの説明を示します。個々の部品の9バイトのデバイスIDについては、注文情報を参照してください。CY15X102QNのデバイスID読み出し動作を図16に示します。

注: 最下位のデータバイト(バイト0)は最初に、最上位のデータバイト(バイト8)は最後にシフトアウトされます。

表 6. 9バイト デバイスID

デバイスIDフィールドの説明							
メーカーID [71:16]	ファミリー [15:13]	容量 [12:9]	突入電流 [8]	サブタイプ [7:5]	リビジョン [4:3]	電圧 [2]	標準値 [1:0]
56ビット	3ビット	4ビット	1ビット	3ビット	2ビット	1ビット	2ビット

図 16. デバイスID読み出し



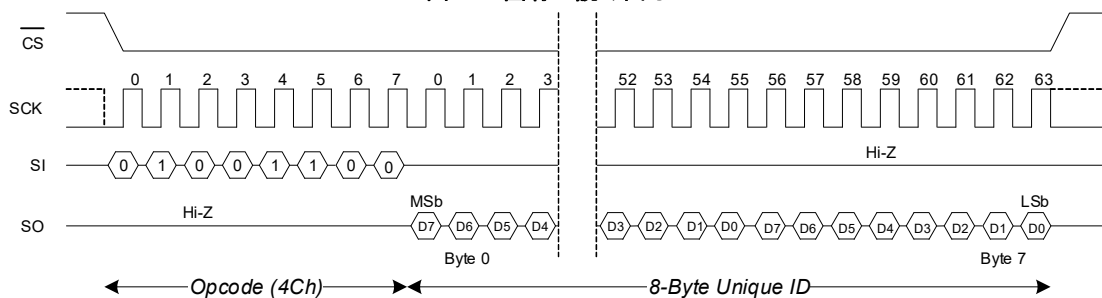
固有ID読み出し(RUID、4Ch)

CY15X102QNデバイスは、工場出荷時にプログラムされた各デバイスに固有の64ビット番号である固有IDについて問い合わせを行えます。RUIDオペコード4Chは、8バイトの読み出し専用固有IDを読み出すことができます。CY15X102QNの固有ID読み出し動作を図17に示します。

注:

- 最下位のデータバイト(バイト0)は最初に、最上位のデータバイト(バイト7)は最後にシフトアウトされます。
- 固有IDレジスタは、標準的なハンドリフローの最大3サイクルにわたってデータ安全性を保証します。

図 17. 固有ID読み出し



シリアル番号書き込み(WRSN、C2h)

シリアル番号は、PC基板またはシステムを一意的に識別するためにユーザに提供される8バイトのワンタイム プログラマブルメモリ空間です。通常、シリアル番号は2バイトのカスタマーID、その後続く固有の5バイトの一義のシリアル番号と1バイトのCRCチェックで構成されます。しかし、エンドアプリケーションでは、8バイトのシリアル番号に独自フォーマットで定義ができます。シリアル番号レジスタへのすべての書き込みは、CSがアサートおよびデアサートされている状態でのWRENオペコードで始まります。次のオペコードはWRSNです。WRSN命令は、シリアル番号の8バイトすべてを書き込むためにバースト

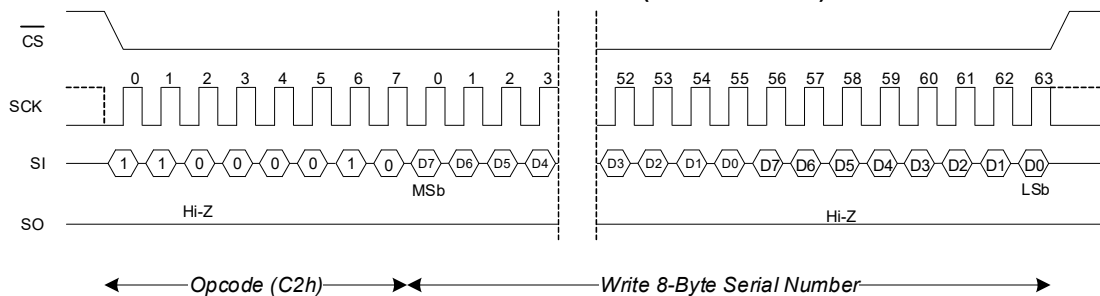
モードで使用できます。シリアル番号の最後のバイトがシフトインされた後、WRSN動作を完了するためにCSをHIGHに駆動する必要があります。CY15X102QNのシリアル番号書き込み動作を図 18に示します。

注: CRCチェックサムはデバイスによって計算されません。システムファームウェアは7バイトの内容のCRCチェックサムを計算し、チェックサムを7バイトのユーザ定義のシリアル番号に付け加えてから、8バイトシリアル番号をシリアル番号レジスタにプログラムする必要があります。8バイトシリアル番号の工場出荷時の初期値は「0000000000000000h」です。

表 7. 8バイトシリアル番号

16ビット カスタマー識別子		40ビット固有番号					8ビットCRC
SN[63:56]	SN[55:48]	SN[47:40]	SN[39:32]	SN[31:24]	SN[23:16]	SN[15:8]	SN[7:0]

図 18. シリアル番号書き込み動作 (WRENが非表示)

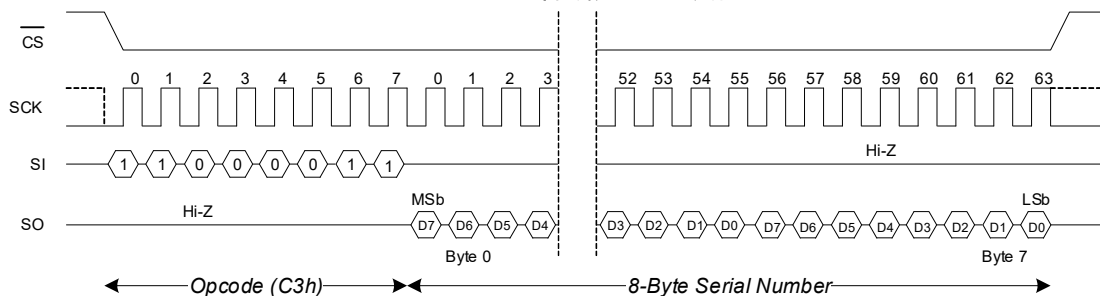


シリアル番号読み出し(RDSN、C3h)

CY15X102QNデバイスはデバイスを一意的に識別するためにユーザに提供される8バイトのシリアル番号のスペースを組み込んでいます。シリアル番号はRDSN命令で読み出されます。シリアル番号読み出しは、バーストモードで実行して一度にすべての8バイトを読み出すことができます。シリアル番号の最後のバイトが読み出された後、デバイスはシリアル番号の最初のバイトにループバックします。CSがLOWになった後、RDSNのオペコードをシフトすることでRDSN命令を発行できます。CY15X102QNのシリアル番号読み出し動作を図 19に示します。

注: 最下位のデータ バイト(バイト0)は最初に、最上位のデータ バイト(バイト7)は最後にシフトアウトされます。

図 19. シリアル番号読み出し動作



低消費電力モードコマンド

ディープパワーダウンモード(DPD、BAh)

CY15X102QNデバイスには省電力のディープパワーダウンモードが実装されています。デバイスは、DPDオペコードBAhがロック入力され、CSの立ち上がりエッジが適用されてから t_{ENTDPD} の時間後にディープパワーダウンモードに入ります。ディープパワーダウンモードでは、SCKとSIピンは無視され、SOはHi-Zになります。デバイスはCSピンの監視を続けます。

t_{CSDPD} のCSパルス幅は、 t_{EXTDPD} 時間後にDPDモードを終了します。CSパルス幅は、ダミーコマンドサイクルを送信するか、またはSCKとI/Oがドントケアになっている間にCSのみをトグルすることによって生成できます。ディープパワーダウンモードからの復帰中は、I/OはHi-Z状態のままです。DPDの開始タイミングについては図20を、DPDの終了タイミングについては図21を参照してください。

図 20. DPD開始タイミング

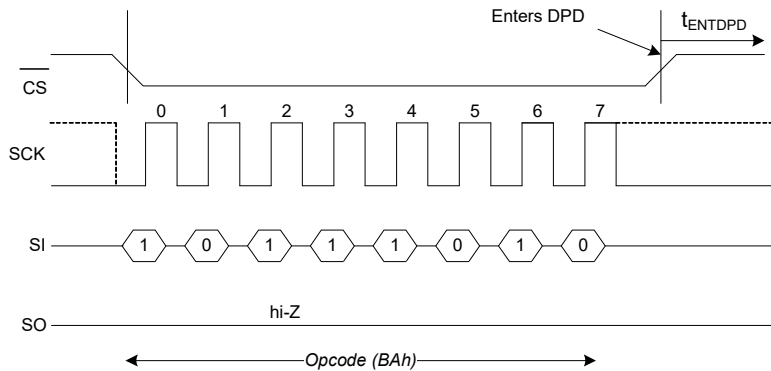
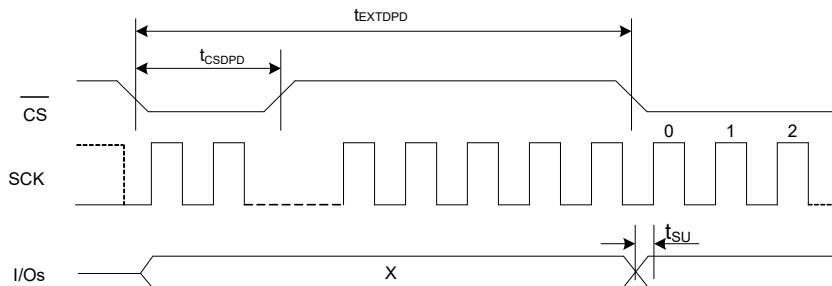


図 21. DPD終了タイミング

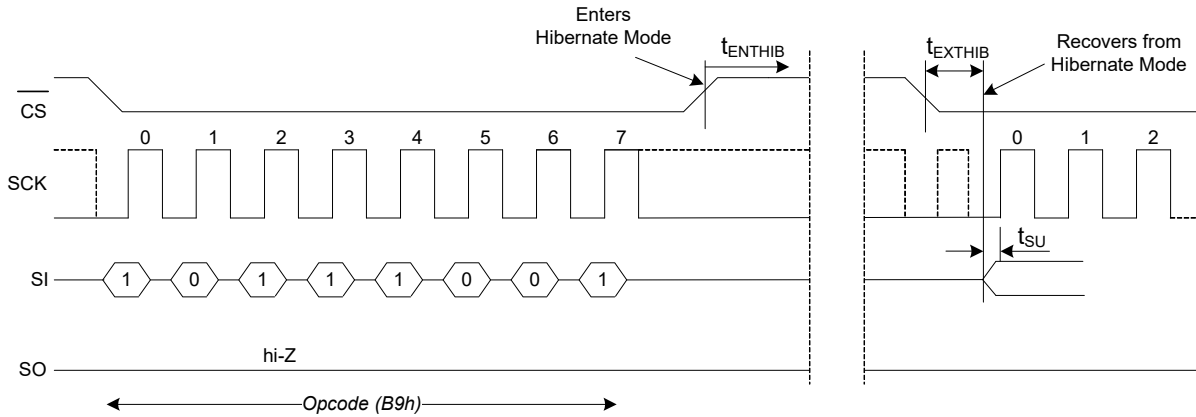


ハイバネートモード(HBN、B9h)

CY15X102QNデバイスには最低消費電力のハイバネートモードが実装されています。デバイスは、HBNオペコードB9hがクロック入力され、CSの立ち上りエッジが適用されてから t_{ENTHIB} の時間後にハイバネートモードに入ります。ハイバネートモードになるとSCKとSIピンは無視され、SOはHi-Zになりますが、デバイスはCSピンの監視を継続します。CSの次の立ち下りエッジで、

デバイス、 t_{EXTHIB} 以内に通常の動作に復帰します。ハイバネートモードからの復帰中は、SOピンはHi-Z状態のままです。デバイスはウェイクアップ期間内でオペコードにตอบสนองする必要はありません。ハイバネートモードを終了するために、コントローラは、例えば「ダミー」読み出しを送信し、残りの t_{EXTHIB} 時間待機することもあります。

図 22. ハイバネートモード動作



アクセス可能回数

CY15X102QNデバイスには 10^{15} 回以上、読み書きを問わずアクセスできます。

F-RAMメモリは読み出しと格納メカニズムを併い動作します。そのため、メモリアレイへのアクセス(読み出し/書き込み)に対して、アクセスサイクルが行単位で適用されます。F-RAMのアーキテクチャは、64ビットの列と32Kの行からなるアレイを基にしています。読み出しまたは書き込みは行単位に行われま

す。1行内のデータのアクセスバイト数に関わらず内部的に行に対するアクセスは1回です。行内の各バイトは、アクセス可能回数の計算では1回だけカウントされます。表 8は、オペコード、開始アドレス、順々の64バイトデータの流れを含む、64バイトの繰り返しループに対応したアクセス可能回数を示します。これはループによって各バイトが1回のアクセス回数を費やしたことになります。

F-RAMの読み出しと書き込み可能回数は、50MHzのクロック速度でも事実上無制限です。

表 8. 64バイトループの繰り返しでアクセス回数が限界に達する期間

SCK周波数(MHz)	アクセス回数(サイクル/秒)	アクセス回数(サイクル/年)	10^{15} 制限到達年数
50	91,900	2.90×10^{12}	345
40	73,040	2.30×10^{12}	43.
20	36,520	1.16×10^{12}	864
10	18,380	5.79×10^{11}	1727
5	9,190	2.90×10^{11}	3454

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザガイドラインはテストは行われていません。

保存温度	-65°C~125°C
最大累積保存時間	
周囲の温度 125°Cの場合	1000時間
周囲の温度85°Cの場合	10年
最大接合部温度	125°C
V_{SS} を基準にした V_{DD} の電源電圧	
CY15V102QN:	-0.5V~+2.4V
CY15B102QN:	-0.5V~+4.1V
入力電圧	$V_{IN} \leq V_{DD} + 0.5V$
High-Z状態の出力に印加されるDC電圧	-0.5V~ $V_{DD} + 0.5V$

グラウンド電位を基準にした任意のピンの過渡電圧(20ns)	-2.0V~ $V_{DD} + 2.0V$
パッケージ許容電力損失($T_A = 25^\circ C$)	1.0W
表面実装はんだ付け温度(3秒)	+260°C
DC出力電流 (出力1本当たり、1秒間)	15mA
静電放電電圧	
人体モデル(JEDEC準拠JESD22-A114-B)	2kV
帯電デバイスモデル (JEDEC準拠JESD22-C101-A)	500V
ラッチアップ電流	> 140mA

動作範囲

デバイス	範囲	周囲温度	V_{DD}
CY15V102QN	産業用	-40°C~+85°C	1.71V~1.89V
CY15B102QN			1.8V~3.6V

DC電気的特性

動作範囲において

パラメータ	説明	テスト条件	Min	Typ ^[2, 3]	Max	単位	
V_{DD}	電源電圧	CY15V102QN	1.71	1.80	1.89	V	
		CY15B102QN	1.80	3.30	3.60	V	
I_{DD}	V_{DD} 電源電流	$V_{DD} = 1.71V \sim 1.89V$ 。 SCKは $V_{DD} - 0.2V$ と V_{SS} 間でトグル。他の入力は V_{SS} または $V_{DD} - 0.2V$ 。SO = 開放; CY15V102QN-50S/LP parts	$f_{SCK} = 40 \text{ MHz}$	-	2.4	3	mA
			$f_{SCK} = 50 \text{ MHz}$	-	3	3.7	mA
		$V_{DD} = 1.8V \sim 3.6V$ 。 SCKは $V_{DD} - 0.2V$ と V_{SS} 間でトグル。他の入力は V_{SS} または $V_{DD} - 0.2V$ 。SO = 開放; CY15B102QN-50S/LP parts	$f_{SCK} = 40 \text{ MHz}$	-	2.4	3	mA
			$f_{SCK} = 50 \text{ MHz}$	-	3	3.7	mA
I_{SB}	V_{DD} スタンバイ電流	$V_{DD} = 1.71V \sim 1.89V$ 。CS= V_{DD} 。 他の入力は V_{SS} または V_{DD}	$T_A = 25^\circ C$	-	2.3	-	μA
			$T_A = 85^\circ C$	-	-	65	μA
		$V_{DD} = 1.8V \sim 3.6V$ 。CS= V_{DD} 。 他の入力は V_{SS} または V_{DD}	$T_A = 25^\circ C$	-	2.6	-	μA
			$T_A = 85^\circ C$	-	-	70	μA
I_{DPD}	ディープパワーダウン電流	$V_{DD} = 1.71V \sim 1.89V$ 。CS= V_{DD} 。 他の入力は V_{SS} または V_{DD}	$T_A = 25^\circ C$	-	0.7	-	μA
			$T_A = 85^\circ C$	-	-	15	μA
		$V_{DD} = 1.8V \sim 3.6V$ 。CS= V_{DD} 。他の入力は V_{SS} または V_{DD}	$T_A = 25^\circ C$	-	0.8	-	μA
			$T_A = 85^\circ C$	-	-	16	μA
I_{HBN}	ハイバネートモード電流	$V_{DD} = 1.71V \sim 1.89V$ 。CS= V_{DD} 。 他の入力は V_{SS} または V_{DD} 。	$T_A = 25^\circ C$	-	0.1	-	μA
			$T_A = 85^\circ C$	-	-	0.9	μA
		$V_{DD} = 1.8V \sim 3.6V$ 。CS= V_{DD} 。他の入力は V_{SS} または V_{DD} 。	$T_A = 25^\circ C$	-	0.1	-	μA
			$T_A = 85^\circ C$	-	-	1.6	μA

- 注:
 2. 標準値は25°C、 $V_{DD} = V_{DD}$ (標準値)でのものです。
 3. このパラメータは特性によって保証され、量産中にテストされていません。

DC電気的特性 (continued)

動作範囲において

パラメータ	説明	テスト条件	Min	Typ ^[2, 3]	Max	単位
I _{LI}	WPピンを除くI/Oピンの入力リーク電流	V _{SS} < V _{IN} < V _{DD}	-1	-	1	μA
	WPピンの入力リーク電流		-100	-	1	μA
I _{LO}	出力漏れ電流	V _{SS} < V _{OUT} < V _{DD}	-1	-	1	μA
V _{IH}	入力電圧HIGHレベル	-	0.7 × V _{DD}	-	V _{DD} + 0.3	V
V _{IL}	入力電圧LOWレベル	-	-0.3	-	0.3 × V _{DD}	V
V _{OH1}	出力電圧HIGHレベル	I _{OH} = -1 mA, V _{DD} = 2.7 V	2.40	-	-	V
V _{OH2}	出力電圧HIGHレベル	I _{OH} = -100 μA	V _{DD} - 0.2	-	-	V
V _{OL1}	出力電圧LOWレベル	I _{OL} = 2 mA, V _{DD} = 2.7 V	-	-	0.40	V
V _{OL2}	出力電圧LOWレベル	I _{OL} = 150 μA	-	-	0.20	V

- 注：
 2. 標準値は25°C、V_{DD} = V_{DD}(標準値)でのものです。
 3. このパラメータは特性によって保証され、量産中にテストされていません。

データ保持期間とアクセス可能回数

パラメータ	説明	テスト条件	Min	Max	単位
T _{DR}	データ保持期間	T _A = 85 °C	10	-	年
		T _A = 70 °C	141	-	年
		T _A = 60 °C	151	-	年
		T _A = 50 °C	160	-	年
NV _C	アクセス可能回数	動作温度範囲内	10 ¹⁵	-	サイクル

静電容量

すべてのパッケージ

パラメータ ^[4]	説明	テスト条件	Max	単位
C _O	出力ピン静電容量(SO)	T _A = 25 °C, f = 1 MHz, V _{DD} = V _{DD} (typ)	8	pF
C _I	入力ピン容量		6	pF

熱抵抗

パラメータ ^[4]	説明	テスト条件	8ピンSOIC パッケージ	8ピン PDIP パッケージ	8リード DFN パッケージ	単位
θ _{JA}	熱抵抗(接合部と周囲間)	テスト条件は、EIA/JESD511による熱インピーダンスを測定するための標準的なテスト方法と手順に従う	44.9	63	36.8	°C/W
θ _{JC}	熱抵抗(接合部とケース間)		20.2	42.5	38.2	°C/W

- 注：
 4. このパラメータは特性によって保証され、量産中にテストされていません。

ACテスト条件

入力パルスレベル..... V_{DD} の10%および90%
 入力の立ち上りと立ち下り時間.....3ns
 入力と出力のタイミング参照レベル..... $0.5 \times V_{DD}$
 出力負荷容量..... 30pF

スイッチングのAC特性

動作範囲において

パラメータ ^[5]		説明	40 MHz		50 MHz		単位
サイプレス パラメータ	代替 パラメータ		Min	Max	Min	Max	
f_{SCK}	-	SCKクロック周波数	0	40	0	50	MHz
t_{CH}	-	クロックHIGH時間	11	-	9	-	ns
t_{CL}	-	クロックLOW時間	11	-	9	-	ns
t_{CLZ} ^[6]	-	クロックLOWから出力Low Zまでの時間	0	-	0	-	ns
t_{CSS}	t_{CSU}	チップセレクトのセットアップ時間	5	-	5	-	ns
t_{CSH}	t_{CSH}	チップセレクトのホールド時間 - モード0	5	-	5	-	ns
t_{CSH1}	t_{CSH1}	チップセレクトのホールド時間 - モード3	10	-	10	-	ns
t_{HZCS}	t_{OD} ^[7, 8]	出力ディセーブル時間	-	12	-	10	ns
t_{CO}	t_{ODV}	出力データ有効時間	-	9	-	8	ns
t_{OH}	-	出力ホールド時間	1	-	1	-	ns
t_{CS}	t_D	選択解除時間	40	-	40	-	ns
t_{SD}	t_{SU}	データセットアップ時間	5	-	5	-	ns
t_{HD}	t_H	データホールド時間	5	-	5	-	ns
t_{WPS}	t_{WHSL}	WPセットアップ時間(CSに対して)	20	-	20	-	ns
t_{WPH}	t_{SHWL}	WPホールド時間(CSに対して)	20	-	20	-	ns

注:

5. テスト条件はACテスト条件に示す3ns以下の信号遷移時間、 $0.5 \times V_{DD}$ のタイミング参照レベル、 V_{DD} の10%~90%の入力パルスレベル、指定の I_{OL}/I_{OH} の出力負荷および30pFの負荷容量を前提にしています。
6. 設計保証です。
7. t_{HZCS} は5pFの負荷容量が付いている状態で測定されています。出力が高インピーダンス状態に入るときに、遷移が測定されます。
8. このパラメータは特性によって保証され、量産中にテストされていません。

図 23. 同期データ タイミング(モード0およびモード3)

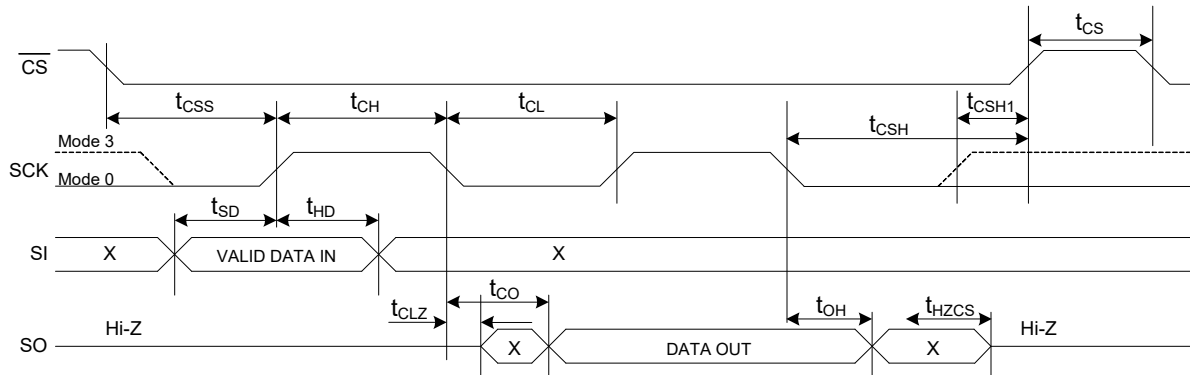
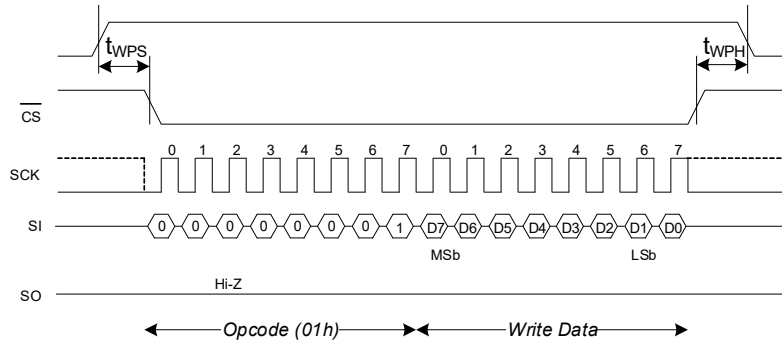


図 24. ステータスレジスタ書き込み(WRSR)中の書き込み保護タイミング動作

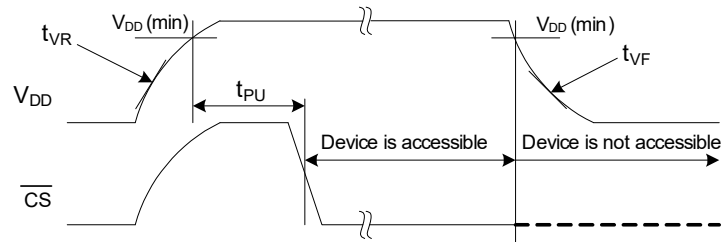


パワー サイクル タイミング

動作範囲において

パラメータ ^[9]		説明	Min	Max	単位
サイプレス パラメータ	代替 パラメータ				
t_{PU}		電源投入時の $V_{DD(min)}$ から最初のアクセス(\overline{CS} LOW)までの時間	450	–	μs
$t_{VR}^{[10]}$		V_{DD} 電源投入時のランプレート	50	–	$\mu s/V$
$t_{VF}^{[10, 11]}$		V_{DD} 電源切断時のランプレート	100	–	$\mu s/V$
$t_{ENTDPD}^{[12]}$	t_{PD}	\overline{CS} HIGHからディープパワーダウンモード開始までの時間 (\overline{CS} HIGHからディープパワーダウンモード電流)	–	3	μs
t_{CSDPD}		ディープパワーダウンモードから復帰するための \overline{CS} パルス幅	0.015	$4 \times 1/f_{SCK}$	μs
t_{EXTDPD}	t_{RPD}	\overline{CS} LOWからディープパワーダウンモード終了までの時間(\overline{CS} LOWからアクセス準備完了までの時間)	–	10	μs
$t_{ENTHIB}^{[13]}$		\overline{CS} HIGHからハイバネート開始までの時間 (ハイバネートモード電流に入るには \overline{CS} HIGH)	–	3	μs
t_{EXTHIB}	t_{REC}	\overline{CS} LOW からハイバネート終了までの時間 (\overline{CS} LOW からアクセス準備完了までの時間)	–	450	μs

図 25. パワー サイクル タイミング



- 注:
9. テスト条件はACテスト条件に示す3ns以下の信号遷移時間、 $0.5 \times V_{DD}$ のタイミング参照レベル、 V_{DD} の10%~90%の入力パルス レベル、指定の I_{OL}/I_{OH} の出力負荷および30pFの負荷容量を前提にしています。
 10. V_{DD} 波形上の任意の点で測定した傾きです。
 11. このパラメータは特性によって保証され、量産中にテストされていません。
 12. 設計保証です。ディープパワーダウンモードのタイミングについては、図 20を参照してください。
 13. 設計保証です。休止状態モードのタイミングについては、図 22を参照してください。

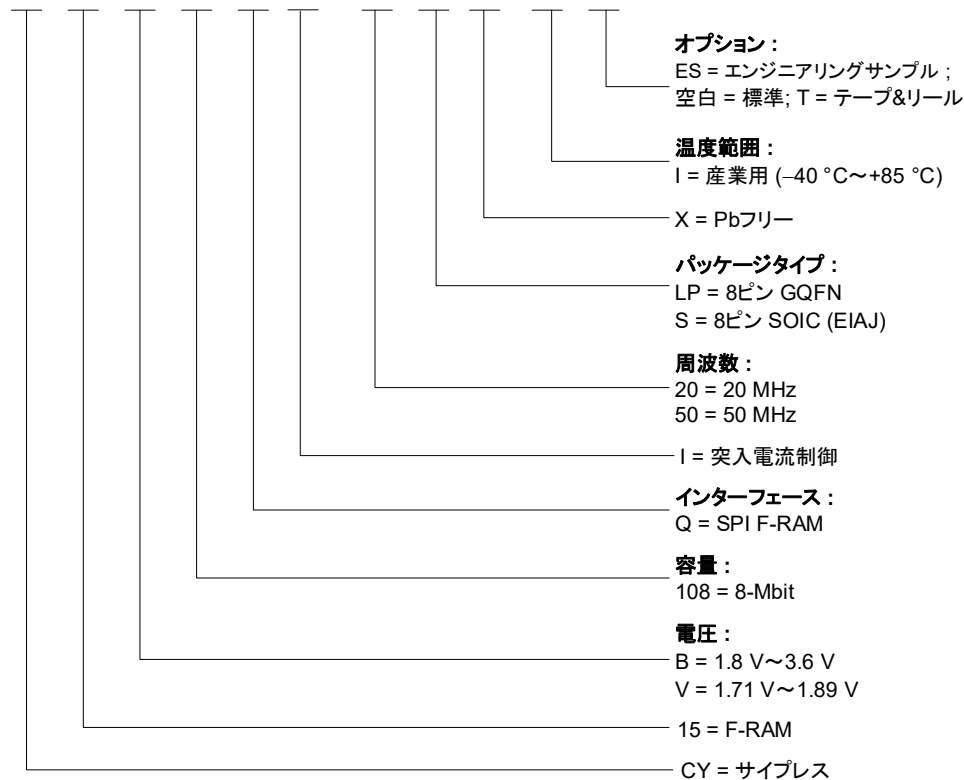
注文情報

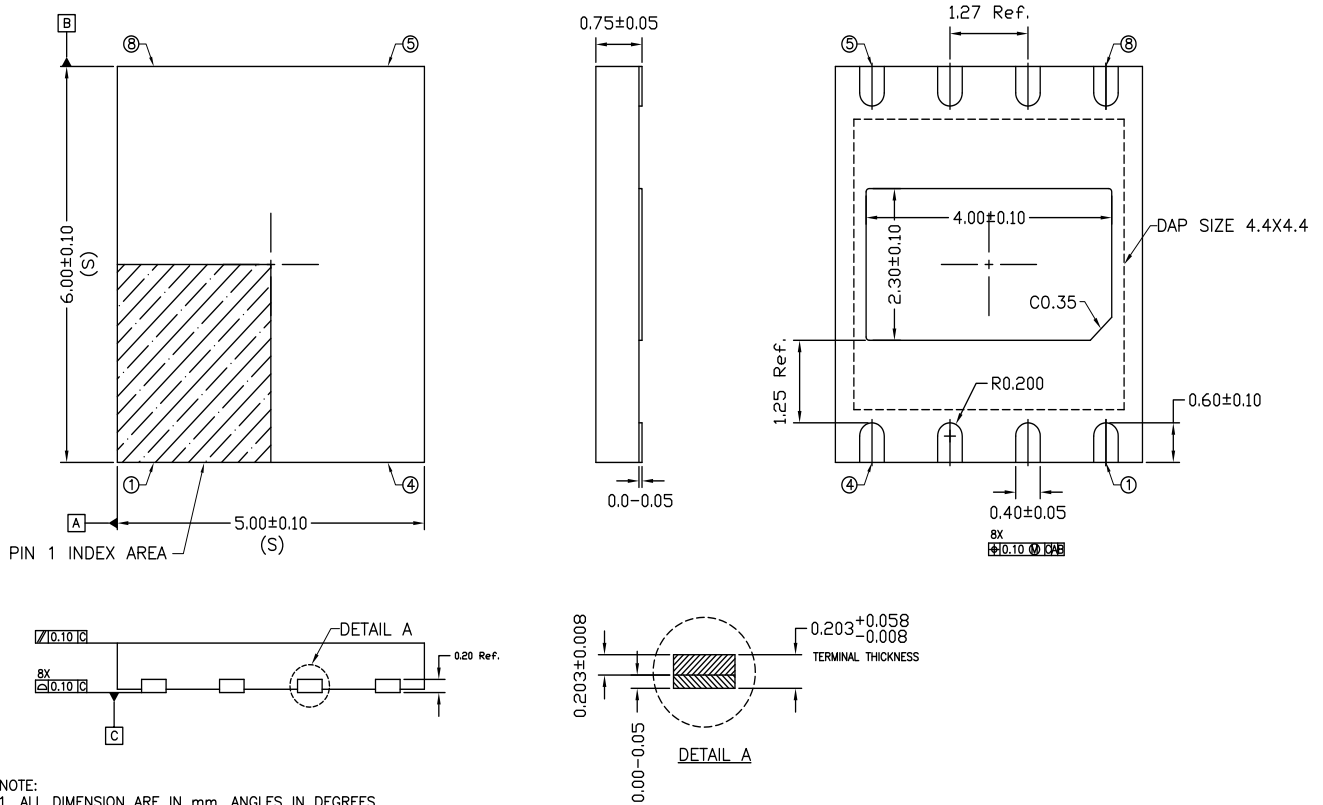
注文コード	デバイスID	パッケージ図	パッケージタイプ	動作範囲
CY15V102QN-50SXI	7F7F7F7F7F7FC22A04	001-85261	8ピンSOIC (EIAJ)	産業用
CY15V102QN-50PZXI	7F7F7F7F7F7FC22A04	51-85075	8ピンPDIP	産業用
CY15V102QN-50LHXI	7F7F7F7F7F7FC22A04	001-85579	8-lead DFN	産業用
CY15B102QN-50SXI	7F7F7F7F7F7FC22A00	001-85261	8ピンSOIC (EIAJ)	産業用
CY15B102QN-50PZXI	7F7F7F7F7F7FC22A00	51-85075	8ピンPDIP	産業用
CY15B102QN-50LHXI	7F7F7F7F7F7FC22A00	001-85579	8-lead DFN	産業用

これらすべての部品は鉛フリーです。在庫状況については、最寄りのサイプレスの販売代理店にお問い合わせください。

注文コード定義

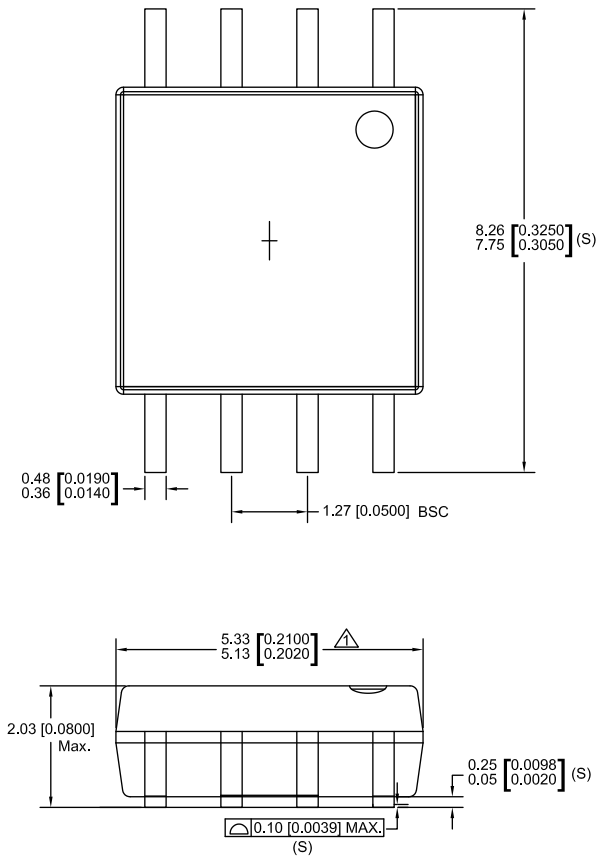
CY 15 B 104 Q N - 50 S X I T



パッケージ外形図
図 26. 8ピンDFN (5mm × 6mm × 0.75mm) パッケージ外形図、001-85579


- NOTE:
1. ALL DIMENSION ARE IN mm. ANGLES IN DEGREES.
 2. COPLANARITY APPLIES TO THE EXPOSED PAD AS WELL AS THE TERMINALS.
COPLANARITY SHALL NOT EXCEED 0.08mm.
 3. WARPAGE SHALL NOT EXCEED 0.10mm.
 4. PACKAGE LENGTH / PACKAGE WIDTH ARE CONSIDERED AS SPECIAL CHARACTERISTICS.(S)
 5. REFER TO JEDEC MO-229.
 6. FRAME STOCK# FL0106 (Ag Ring Plate), UTL PKG CODE TD56G008A OR TD500X600G008A
OR TD500T600G008A OR TD500L600G008A OR TD500U600G008A.
 7. L/F STOCK# FR0221 (Ag Ring), UTL PKG CODE TD500E600G008A OR TD500S600G008A
OR TD500M600G008A OR TD500D600G008A.

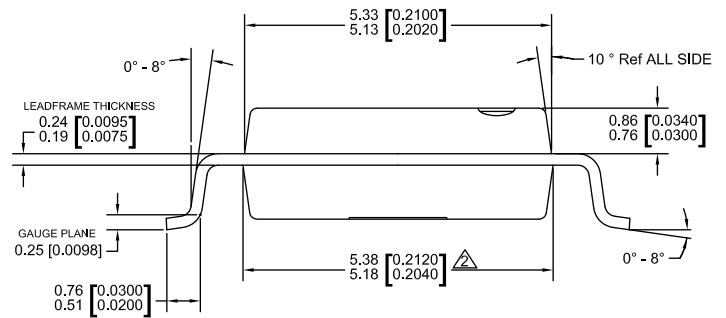
001-85579 *A

図 27. 8ピンSOIC (208mil) パッケージ外形図、001-85261

NOTE:

⚠ DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED 0.006 INCH PER SIDE

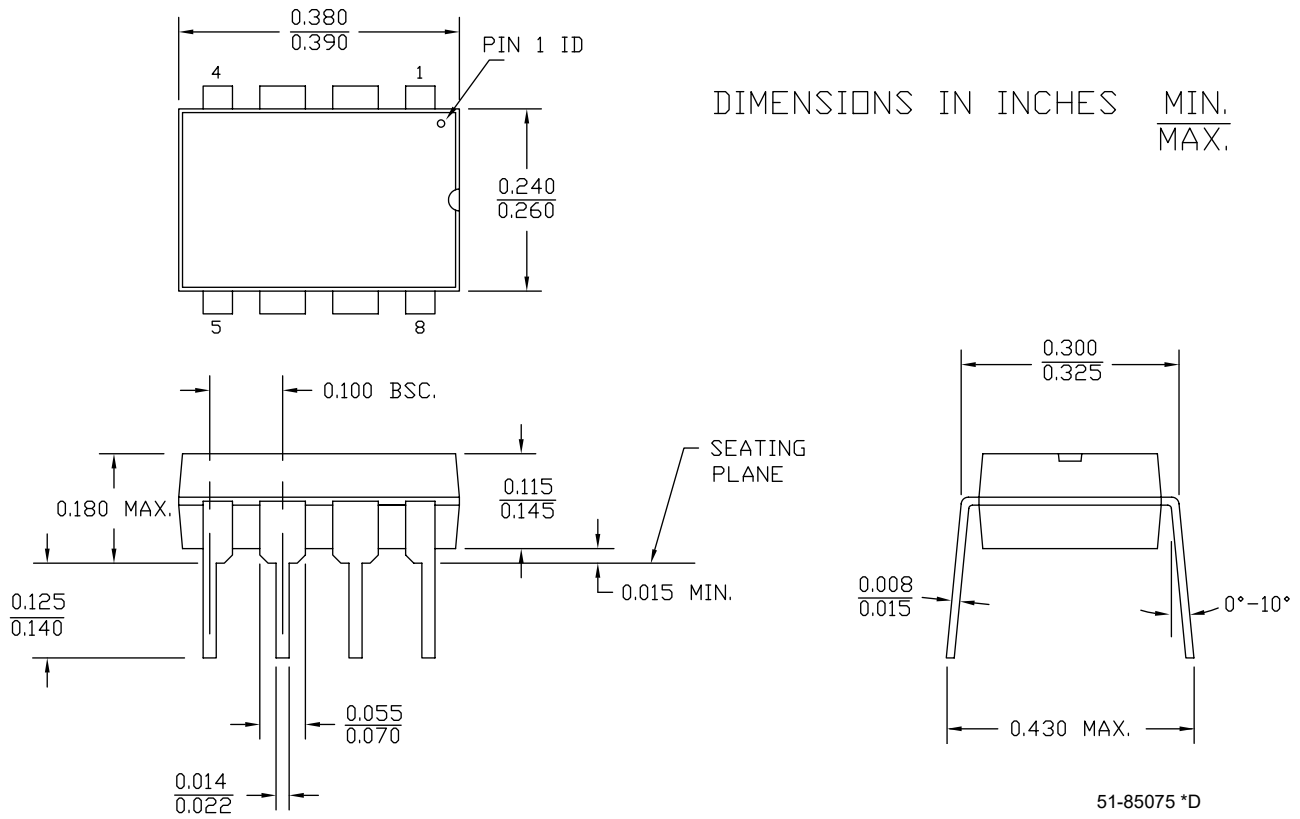
⚠ DOES NOT INCLUDE INTER-LEAD FLASH OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSION SHALL NOT EXCEED 0.010 INCH PER SIDE.

3. THIS PART IS COMPLIANT WITH EIAJ SPECIFICATION EDR-7320
4. LEAD SPAN/STAND OF HEIGHT/COPLANARITY ARE CONSIDERED AS SPECIAL CHARACTER.
5. CONTROLLING DIMENSIONS IN MM. [INCH]



001-85261 **

図 28. 8ピンPDIP (300Mil) パッケージ図、51-85075



略語

表 9. 本書で使用される略語

略語	説明
CPHA	Clock Phase (クロック位相)
CPOL	Clock Polarity (クロック極性)
DFN	Dual Flat No-lead
EEPROM	Electrically Erasable Programmable Read-Only Memory (電氣的消去書き込み可能な読み出し専用メモリ)
EIA	Electronic Industries Alliance (米国電子工業会)
F-RAM	Ferroelectric Random Access Memory (強誘電体ランダムアクセスメモリ)
I/O	Input/Output (入力/出力)
JEDEC	Joint Electron Devices Engineering Council (半導体技術協会)
JESD	JEDEC準拠
LSb	Least Significant bit (最下位ビット)
MSb	Most Significant bit (最上位ビット)
PDIP	プラスチック製デュアルインラインパッケージ
RoHS	Restriction of Hazardous Substances (特定有害物質使用制限指令)
SPI	Serial Peripheral Interface (シリアル周辺機器インターフェース)
SOIC	Small Outline Integrated Circuit (小型集積回路)

本書の表記法

測定単位

表 10. 測定単位

記号	単位
°C	摂氏温度
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
Mビット	メガビット
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
W	オーム
%	パーセント
pF	ピコファラド
V	ボルト
W	ワット

改訂履歴

文書名 : CY15B102QN/CY15V102QN、Excelon-LP 2M ビット (256K × 8) シリアル (SPI) F-RAM 文書番号 : 002-28883			
版	ECN	発行日	変更内容
**	7022324	11/17/2020	これは英語版 002-26764 Rev. *B を翻訳した日本語版 002-28883 Rev. ** です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm [®] Cortex [®] Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC[®] ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

© Cypress Semiconductor Corporation, 2019-2020. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーラットと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。