

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

概要

EZ-PD™ CCG3PA は、最新の USB Type-C および PD 規格に準拠しているサイプレスの高度集積 USB Type-C ポート コントローラーであり、PC 電源アダプタ、モバイル充電器、車載充電器やパワー バンクのアプリケーションに向けて設計されました。そのようなアプリケーションに対し、CCG3PA は追加の機能および BOM 統合のメリットを提供します。CCG3PA は、32 ビット Arm® Cortex®-M0 プロセッサ、64KB フラッシュ メモリ、完全な Type-C USB-PD トランシーバ、Type-C ポートに必要なすべての終端抵抗、電圧 (VBUS) 安定化用の統合フィードバック制御回路、およびシステム レベルの ESD 保護にサイプレス独自の MOS8 技術を採用しています。24 ピン QFN および 16 ピン SOIC のパッケージで提供されています。

特長

Type-C および USB-PD のサポート

- ? プログラマブルな電源モードを含む USB PD3.0 バージョン 1.1 仕様に対応
- ? コンフィギュレーション可能な R_P と R_D
- ? 1 個の USB Type-C ポートと 1 個の Type-A ポートに対応

2 個のレガシー/独自の充電ブロック

- ? QC 4.0、Apple 充電 2.4A、AFC、BC 1.2 に対応
- ? DP / DM ライン上ですべての必要な終端抵抗を提供

統合された電圧 (VBUS) 安定化および電流検出アンプ

- ? 二次側フィードバック ノードのアナログ安定化 (ダイレクト フィードバックまたは光カプラ)
- ? VBUS 制御用にシャント レギュレータ機能を統合
- ? 定電流または定電圧モード
- ? 定電流制御用にローサイド電流検出に対応

システム レベル フォールト保護

- ? VBUS から CC への短絡保護
- ? チップ搭載 OVP、OCP、UVP および SCP
- ? 統合 ADC 回路により OTP に対応

32 ビット MCU サブシステム

- ? Arm Cortex-M0 CPU
- ? 64KB フラッシュ
- ? 8KB SRAM

クロックおよび発振器

- ? 内蔵発振器により外部クロックが不要になる

電源

- ? 3.0V ~ 24.5V 動作 (30V 許容)

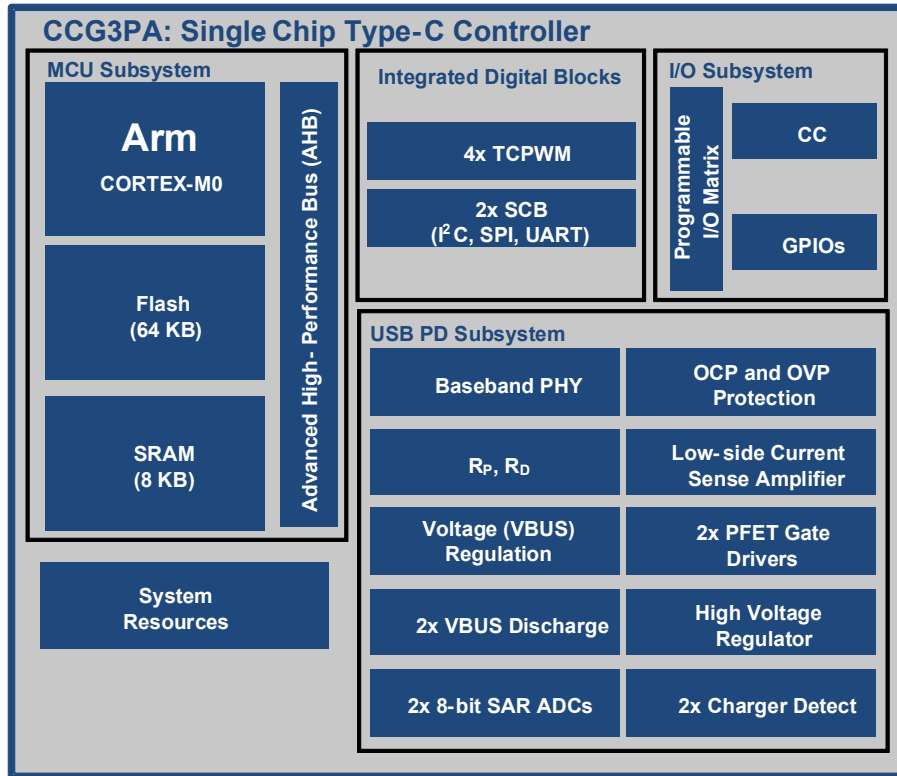
システム レベル ESD 保護

- ? CC、VBUS_C_MON_DISCHARGE、DP0、DM0、P2.2、P2.3 ピンに適用
- ? IEC61000-4-2 レベル 4C に基づいた ±8kV 接触放電および ±15kV 空中放電

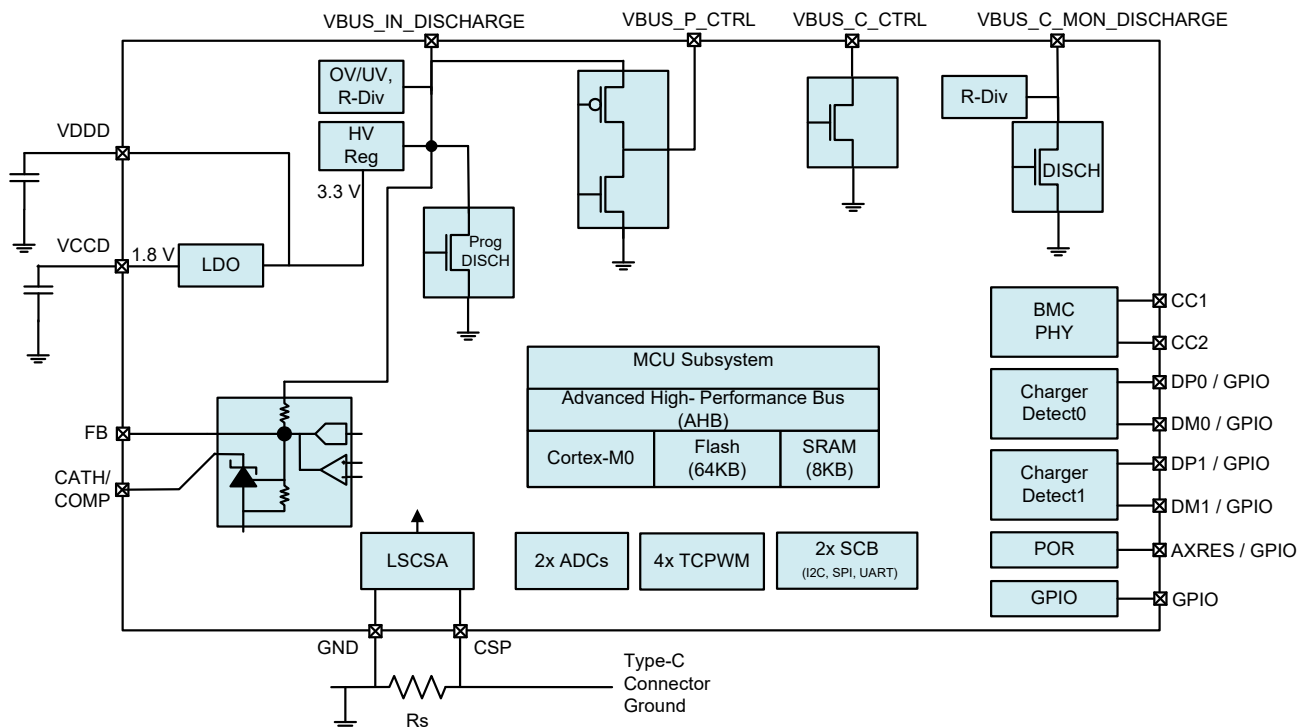
パッケージ

- ? 24 ピン QFN と 16 ピン SOIC
- ? 産業用拡張温度範囲 (-40°C ~ +105°C) に対応

論理ブロックダイアグラム



内部ブロックダイアグラム



目次

機能概要	4	注文情報	29
MCUサブシステム	4	注文コードの定義	29
USB-PDサブシステム (SS)	4	パッケージ	30
内蔵デジタル ブロック	5	略語	33
I/Oサブシステム	5	本書の表記法	35
電源システム概要	6	測定単位	35
ピン配置	7	改訂履歴	36
CCG3PAのプログラミングとブートロード	10	セールス、ソリューションおよび法律情報	37
SWDインターフェースを使用したデバイス フラッシュの		ワールドワイド販売と設計サポート	37
プログラミング	10	製品	37
アプリケーション図	12	PSoC®ソリューション	37
電氣的仕様	17	サイプレス開発者コミュニティ	37
絶対最大定格	17	テクニカル サポート	37
デバイス レベルの仕様	17		
デジタル ペリフェラル	21		
システム リソース	23		

機能概要

MCU サブシステム

CPU

EZ-PD CCG3PA 内の Cortex-M0 CPU は 32 ビット MCU サブシステムの一部であり、広範なクロックゲーティングに対応した低消費電力動作に最適化されています。

また、CPU は 2 線式の JTAG であるシリアルワイヤデバッグ (SWD) インターフェースも備えています。EZ-PD CCG3PA に使用するデバッグコンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

フラッシュ

EZ-PD CCG3PA デバイスは、フラッシュブロックからの平均アクセス時間を改善するために CPU に密結合されたフラッシュアクセラレータと、1 つの 64KB バンクを備えたフラッシュモジュールを持っています。

SRAM

ブートおよびコンフィギュレーションルーチンを含んでいる監視 ROM が提供されています。

USB-PD サブシステム (SS)

USB-PD サブシステムは Type-C USB ポートへのインターフェースを提供します。このサブシステムは電流検出アンプ、高電圧レギュレータ、OVP、OCP および電源スイッチブロックから成ります。また、Type-C ポート上でサポートされているすべての必要な ESD も含まれています。

USB-PD 物理層

USB-PD 物理層は、PD 3.0 規格に従って CC チャンネルを介して BMC 符号化データを通信するトランスミッタとレシーバから成ります。すべての通信は半二重です。物理層 (PHY) はチャンネル上の通信エラーを最小限に抑えるために衝突回避を実行します。

USB-PD ブロックは USB-PD 仕様に従って必要とされるすべての終端抵抗 (R_P と R_D) およびそれらのスイッチを含みます。 R_P と R_D 抵抗は、接続検出、プラグ方向検出および USB DFP / UFP 役割確立のために必要です。 R_P 抵抗は電流源として実装されています。

USB Type-C 仕様によると、CCG3PA などの Type-C コントローラーは電源が供給されていない状態での役割に応じて、特定の終端抵抗を用意する必要があります。パワーバンクアプリケーションでのシンクの役割は、CC ピン上で R_D 抵抗が必要ですが、電源アダプタなどのアプリケーションでの DFP の役割は、両方の CC ラインが開放であることが必要です。このようなアプリケーション用に柔軟性を持たせるため、CCG3PA は電源が供給されていない状態で個別のパッドまたはピン上で必要な抵抗を提供します。デッドバッテリー R_D 抵抗は個別のパッド上で利用可能です。デッドバッテリー R_D は、パワーバンクアプリケーション向けのデバイスで接続オプションとして実装されています。これらのデバイスでは、各 CC ピンはその対応する R_D 抵抗に接続されています。DFP アプリケーション向けのデバイスでは、CC ピンはデッドバッテリー R_D に接続されていません。

ADC

ADC はチップ上の汎用 AD 変換のアプリケーションに利用できる小フットプリントの 8 ビット SAR ADC です。この ADC はチップ搭載アナログマルチプレクサを介してすべての GPIO お

よび DP / DM ピンからアクセスできます。CCG3PA は 2 個の ADC インスタンスを含みます。ADC の電圧リファレンスは、VDDO 電源または内部バンドギャップから生成されます。ADC で GPIO ピン電圧を検知する場合、ピン電圧は VDDIO 電源電圧の値を超えられません。

充電器検出

2 対の DP / DM ピンに接続された 2 個の充電器検出ブロックにより、CCG3PA は BC 1.2 に準拠した従来のバッテリー充電器および Apple、Qualcomm の QuickCharge 4.0 と Samsung AFC の独自の充電器仕様を検出できます。

VBUS 過電流と過電圧保護

CCG3PA チップは、Type-C ポート上で VBUS 過電圧保護 (OVP) と過電流保護 (OCP) 用の、閾値と応答時間が設定可能な統合ハードウェアブロックを備えています。

VBUS 短絡保護

CCG3PA には、CC1、CC2、P2.2 および P2.3 の 4 つの VBUS 短絡保護ピンを提供します。これらのピンは、誤って高電圧 VBUS と短絡しないように保護されています。CC1 と CC2 ピンが USB Type-C コネクタの VBUS ピンの隣に配置されているので、不慮の短絡が発生することがあります。高電圧 VBUS 短絡保護を備えないパワーデリバリーコントローラーは、偶発的な短絡の発生で損傷します。保護回路がトリガされると CCG3PA は、OVT ピン上の VDC が 17V 未満の場合は永久に、17V ~ 22V の場合は 1000 時間動作できます。CC ピンで VBUS 短絡イベントが発生すると、USB Type-C ケーブルの RLC 素子によって発生した一時的な高リングング電圧が観測できます。CCG3PA の接続なしでは、このリングング電圧は最大 VBUS 電圧 (21.5V) の 2 倍 (44V) になることがあります。しかし、CCG3PA が接続されている場合、一時的な高リングング電圧をクランプし、IEC ESD 保護ダイオードを使用して CC ピンを保護できます。

ローサイド電流検出アンプ (CSA)

CCG3PA チップはまた、5mΩ の外付け抵抗を介して数百 mA の電流を検出できる統合ローサイド電流検出アンプを備えています。さらに、電源アダプタのアプリケーションではプロバイダとして定電流動作モードに対応しています。

VBUS パス上の PFET ゲートドライバー

CCG3PA は、VBUS のプロバイダとコンシューマのパス上で外部 PFET を駆動するための 2 個の統合 PFET ゲートドライバーを備えています。VBUS_P_CTRL ゲートドライバーはアクティブなプルアップ抵抗に接続されており、HIGH、LOW または High-Z の駆動が可能です。

VBUS_C_CTRL ゲートドライバーは LOW または High-Z の駆動のみが可能であり、外付けプルアップ抵抗が必要です。これらのピンは VBUS 電圧に耐えられます。

VBUS 放電 FET

CCG3PA はまた、取り外し時に USB-PD 仕様のタイミングを満たすように VBUS を放電するための 2 個の統合 VBUS 放電 FET を備えています。プロバイダ側の VBUS 放電 FET は、二次側でのデフォルトの 5V VBUS への下降を加速させるために使用できます。

電圧 (VBUS) 安定化

CCG3PA は、Type-C 経由でピアデバイスから取得した VBUS ピンの適切な電圧を得るために、二次側制御用の統合フィード

バック制御回路 (AC / DC のアプリケーション向け) およびフィードバック/カソード ピンのアナログ安定化を備えています。

内蔵デジタル ブロック

シリアル通信ブロック (SCB)

EZ-PD CCG3PA は、I²C、SPI または UART インターフェースを実装するように設定できる 2 個の SCB を内蔵しています。ハードウェア I²C ブロックは、マルチマスター アービトレーションが可能なフル マルチ マスターおよびスレーブ インターフェースを実装します。SPI モードでは、SCB ブロックはマスターまたはスレーブとして動作するようにコンフィギュレーションができます。

I²C モードでは、SCB ブロックは最大 1Mbps (ファースト モード プラス) で動作でき、CPU の割込みオーバヘッドとレイテンシを削減するためにバッファリング オプションを柔軟に選択できます。これらのブロックはまた、EZ-PD CCG3PA のメモリにメールボックス アドレス範囲を作る I²C に対応しており、メモリ アレイへの読み書きをする I²C 通信を効果的に縮小します。さらに、このブロックは送受信の深さ 8 の FIFO にも対応しています。これは、CPU がデータを読み出す時間の増加によって、時間どおりに読み出しデータを持たない CPU に起因したクロック ストレッチの必要性を大幅に縮小します。

I²C ペリフェラルは NXP I²C バス仕様とユーザー マニュアル (UM10204) で定義されたとおりに I²C 標準モード、ファーストモードおよびファースト モード プラスのデバイスと互換性があります。I²C バス I/O は、オープンドレイン モードの GPIO で実装されます。

以下の点では、EZ-PD CCG3PA の SCB ブロック上の I²C ポートは I²C 仕様に完全に準拠していません。

- ? SCB 1 の I²C ポート用の GPIO セルは、過電圧耐性がないため、他の I²C システムから独立してホットスワップや電源投入できません。
- ? ファースト モード プラスは 0.4V の V_{OL} で 20mA の I_{OL} 仕様があります。GPIO セルが吸い込めるのは最大 0.6V の V_{OL} で最大 8mA の I_{OL} です。
- ? ファースト モードとファースト モード プラスは、GPIO セルで満たせない最小立ち下り時間の仕様があります。低速スロング モードはバス負荷によってはこの仕様を満たすことがあります。

タイマー/カウンター/ PWM (TCPWM) ブロック

EZ-PD CCG3PA には 4 個の TCPWM ブロックがあります。各 TCPWM ブロックは、16 ビットタイマー、カウンター、パルス幅変調器 (PWM)、直交デコーダ機能を実装します。ブロックは入力信号の周期とパルス幅の測定 (タイマー) や特定のイベン

トが発生する回数のカウント (カウンター)、PWM 信号の生成、直交信号の復号に使用されます。

I/O サブシステム

EZ-PD CCG3PA は最大 12 の GPIO を持っており、その一部は SCB の機能 (I²C、UART、SPI) をサポートするように使用できます。GPIO ピン P0.0 および P0.1 は、過電圧耐性 (OVT) (最大 7 V) です。

GPIO ブロックは以下を実装します。

- ? 7 つの駆動強度モード
 - ? 入力のみ
 - ? 弱プルアップ、強プルダウン
 - ? 強プルアップ、弱プルダウン
 - ? オープンドレイン、強プルダウン
 - ? オープンドレイン、強プルアップ
 - ? 強プルアップ、強プルダウン
 - ? 弱プルアップ、弱プルダウン
- ? 入力閾値選択 (CMOS または LVTTTL)
- ? 駆動強度モード以外に、入力と出力バッファのイネーブル/ディセーブルの個別制御
- ? 前の状態をラッチするための保持モード (ディープスリープモードで I/O 状態を維持するため)
- ? EMI を改善するための dV/dt 関連のノイズ制御用の選択可能なスルーレート

電源投入とリセットの間、入力に過電流を与えず、過剰なターンオン電流を発生させないために、I/O ピンは無効状態にされます。高速 I/O マトリックスとして知られている多重化ネットワークが、1 本の I/O ピンに接続され得る複数の信号間を多重化するために使用されます。

ポート ピン P1.0 と P1.1 は OCP / SCP / OVP / UVP 状態のフォールトを示すよう設定できます。任意の 2 つのフォールト状態は 2 つの GPIO にマッピングできるか、または全 4 つのフォールト状態は論理和が取られ 1 つの GPIO にマッピングできます。

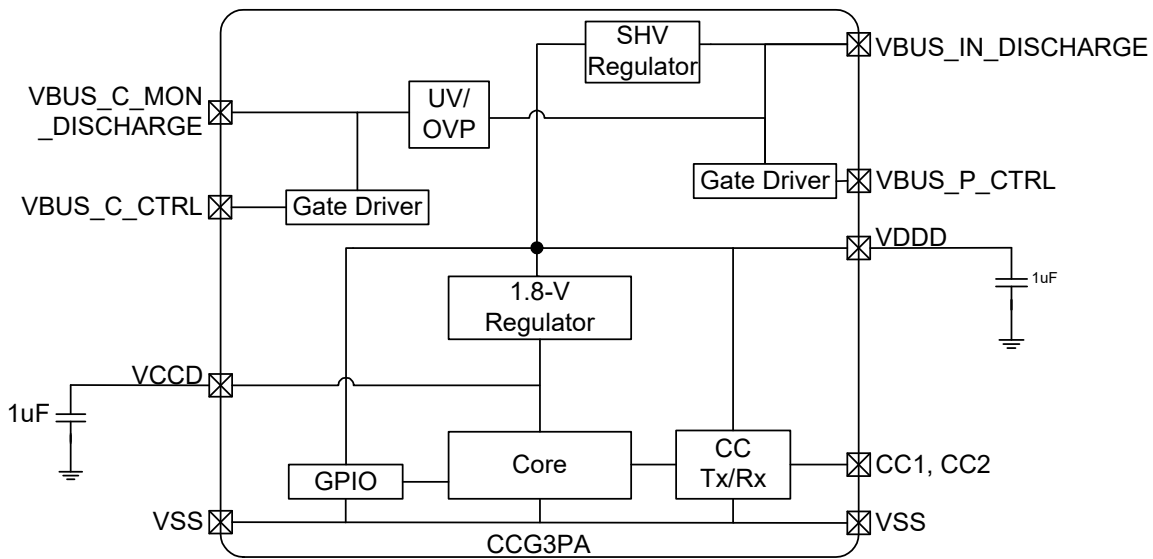
電源システム概要

CCG3PA は VBUS_IN_DISCHARGE (3.0V ~ 24.5V) または VDDD (2.7V ~ 5.5V) の外部電源から動作できます。VBUS_IN_DISCHARGE を介して電源供給される場合、内部レギュレータはチップ動作のために 3.3V の VDDD を生成します。安定化された電源 VDDD は、いくつかのアナログブロック内で直接使用されるか、またはレギュレータを使用して、コアの大部分に電源を供給する VCCD (1.8V) にさらに降圧されます。CCG3PA は 3 つの電力モードがあります。アクティブ、スリープ、ディープスリープ。これらの電力モード間の遷移は電力システムによって管理されます。VBUS_IN_DISCHARGE ピンを介した電源供給の場合、VDDD は外部デバイスに電源を供給するために使用できず、レギュレータの安定化のみを目的として 1μF コンデンサに接続する必要があります。これらのピンは電源としてサポートされていません。コンデンサの接続については、アプリケーション図を参照してください。

表 1. CCG3PA 電力モード

モード	説明
パワーオン リセット (POR)	電源が有効、内部リセット ソースがアサートされたか、またはスリープ コントローラーがシステムをリセット状態から起動している
アクティブ	電源が有効、CPU が命令を実行している
スリープ	電源が有効、CPU が命令を実行していない。電力節約のために、動作中でないすべてのロジックはクロックゲートされる
ディープスリープ	主レギュレータおよびほとんどのブロックがオフにされる。ディープスリープ レギュレータがロジックに電源を供給するが、低速クロックのみ利用可能

図 1. 電力システム要件のブロックダイアグラム



ピン配置

表 2. CCG3PA ピンの説明

24ピン QFN	16ピン SOIC	ピン名	説明
1	-	P1.0	ポート 1 ピン 0: GPIO / UART_1_CTS / I2C_SDA_1 ^[1] / TCPWM_line_0 ^[2] 、プログラマブル SCP / OCP / OVP / UVP フォールド表示
2	-	P1.1	ポート 1 ピン 1: GPIO / UART_1_RTS / I2C_SCL_1 ^[1] / TCPWM_line_1 ^[3] 、プログラマブル SCP / OCP / OVP / UVP フォールド表示
3	5	VBUS_P_CTRL	プロバイダ (PMOS) FET 制御 (30V 許容) 0: パスがオン 1: パスがオフ
4	-	VBUS_C_CTRL	VBUS コンシューマ (PMOS) FET 制御 (30V 許容) 0: パスがオン Z: パスがオフ
5	-	DP1 / P1.2	USB D+ / ポート 1 ピン 2: GPIO / UART_1_TX1 / AFC / QC / BC 1.2 / Apple 充電 / IEC 非準拠
6	-	DM1 / P1.3	USB D- / ポート 1 ピン 3: GPIO / UART_1_RX1 / AFC / QC / BC 1.2 / Apple 充電 / IEC 非準拠
7	6	SWD_DAT_0 / P0.0	ポート 0 ピン 0: GPIO / OVT / I2C_SDA_0 / TCPWM_line_0 / UART_0_CTS
8	7	SWD_CLK_0 / P0.1	ポート 0 ピン 1: GPIO / OVT / I2C_SCL_0 / TCPWM_line_1 / UART_0_RTS
9	8	AXRES / P2.0	ポート 2 ピン 0: GPIO / 代替 XRES ^[4] / TCPWM_line_0 / UART_0_TX0
10	-	P2.1	ポート 2 ピン 1: GPIO / TCPWM_line_1 / UART_0_RX0
11	9	VBUS_C_MON_DIS-CHARGE	内部放電 FET 付き Type C VBUS モニター
12	-	P2.2	ポート 2 ピン 2: ブルアップアシスト付きオープンドレイン付き GPIO。GPIO_20VT/I2C_SDA_1/IEC として構成可能。VBUS ピンとの一時的な短絡を許容
13	-	P2.3	ポート 2 ピン 3: ブルアップアシスト付きオープンドレイン付き GPIO。GPIO_20VT/I2C_SCL_1/IEC として構成可能。VBUS ピンとの一時的な短絡を許容
14	10	CC2	デッド バッテリー Rd 接続オプション付き通信チャネル 2 / IEC 準拠。VBUS ピンとの一時的な短絡を許容
15	11	CC1	デッド バッテリー Rd 接続オプション付き通信チャネル 1 / IEC 準拠。VBUS ピンとの一時的な短絡を許容
16	12	DM0 / P3.1	USB D- / ポート 3 ピン 1: GPIO / UART_1_RX0 / AFC / QC / BC 1.2 / Apple 充電 / IEC 準拠
17	13	DP0 / P3.0	USB D+ / ポート 3 ピン 0: GPIO / UART_1_TX0 / AFC / QC / BC 1.2 / Apple 充電 / IEC 準拠
18	14	VBUS_IN_DIS CHARGE	内部放電 FET 付き VBUS 電源入力 (3.0V ~ 24.5V)
19	16	CSP	CS+: 電流検出入力
20	1	FB	電圧調整フィードバック ピン
21	2	CATH / COMP	他のアプリケーションの電圧調整および補正のカソード
22	15	GND	グラウンド
23	3	VDDD	電源入力: 2.7V ~ 5.5V
24	4	VCCD	1.8V コア電圧ピン (電源として使用するものではない)
-	-	EPAD	グラウンド

注:

- 2 個の SCB ブロック (SCB0 と SCB1) のうち、SCB0 の I²C 機能は P0.0 / P0.1 の GPIO ピンにマッピングする一方、SCB1 の I2C 機能は P1.0 / P1.1 または P2.2 / P2.3 の GPIO ピンにマッピングできる柔軟性があります。
- TCPWM_line_0 はポート ピン P1.0、P0.0、P2.0 または P2.2 にマッピングできます。
- TCPWM_line_1 はポート ピン P1.1、P0.1、P2.1 または P2.3 にマッピングできます。
- AXRES ピンは電源投入時の I/O 初期化時間 (詳細は表 6 を参照してください) の間内部でブルアップされます。
- これらのピンに関する仕様については、表 9 および表 10 を参照してください。

表 3. GPIO ポート、ピンおよびそれらの機能

ポート	24-QFN ピン 番号	16-SOIC ピン 番号	SCB 機能			TCPWM	フォールト インジ ケータ	保護容量		USB 充電信号				IEC4
			UART	SPI	I2C			VBUS 短絡	OVT	AFC	QC	BC1.2	Apple	
P0.0	7	6	UART_0_CTS	SPI_1_M OSI	I2C_0_ SDA	TCPWM_line _0:0	-	-	有	-	-	-	-	-
P0.1	8	7	UART_0_RTS	SPI_1_MI SO	I2C_0_ SCL	TCPWM_line _1:0	-	-	有	-	-	-	-	-
P1.0	1		UART_1_CTS	SPI_0_S EL	I2C_1_ SDA:1	TCPWM_line _2:1	有	-	-	-	-	-	-	-
P1.1	2		UART_1_RTS	SPI_0_MI SO	I2C_1_ SCL:1	TCPWM_line _3:1	有	-	-	-	-	-	-	-
P1.2	5		UART_1_TX1	SPI_0_M OSI	-	-	-	-	-	D+	D+	D+	D+	-
P1.3	6		UART_1_RX1	SPI_0_C LK	-	-	-	-	-	D-	D-	D-	D-	-
P2.0	9	8	UART_0_TX0	SPI_1_S EL	-	TCPWM_line _2:0	-	-	-	-	-	-	-	-
P2.1	10		UART_0_RX0	SPI_1_C LK	-	TCPWM_line _3:0	-	-	-	-	-	-	-	-
P2.2	12		UART_0_TX1	-	I2C_1_ SDA:0	TCPWM_line _0:1	-	有	-	-	-	-	-	有
P2.3	13		UART_0_RX1	-	I2C_1_ SCL:0	TCPWM_line _1:1	-	有	-	-	-	-	-	有
P3.0	17	13	UART_1_TX0	-	-	-	-	-	-	D+	D+	D+	D+	有
P3.1	16	12	UART_1_RX0	-	-	-	-	-	-	D-	D-	D-	D-	有

図 2. 24-QFN パッケージのピン配置 (上面図)

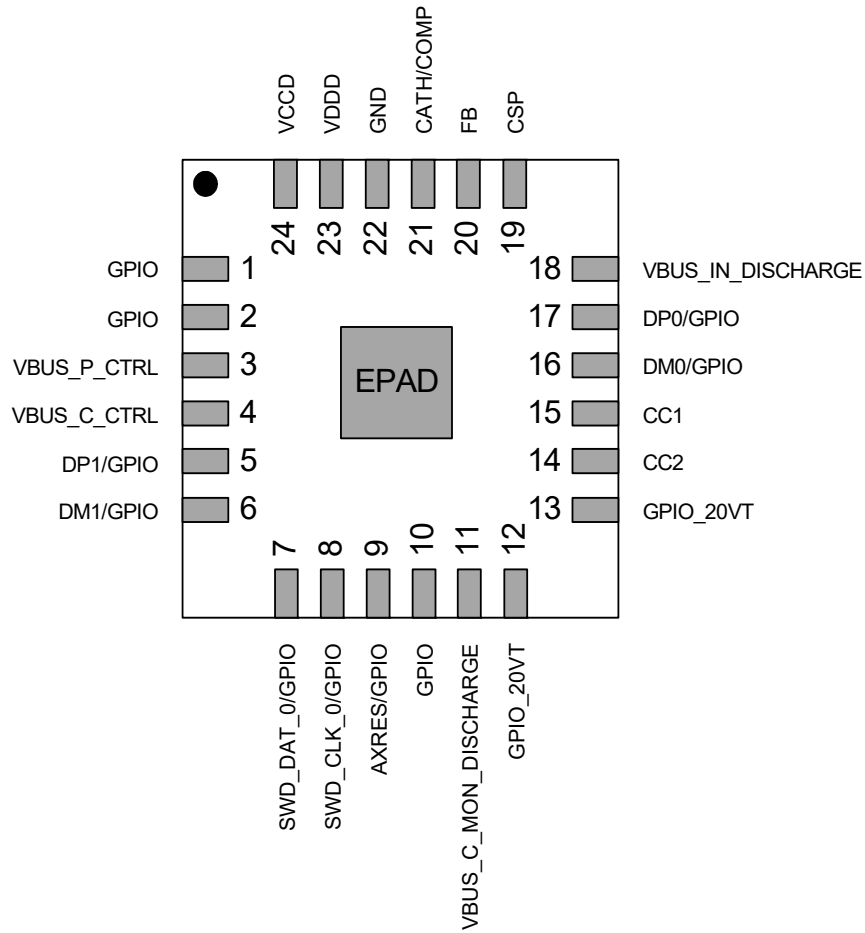
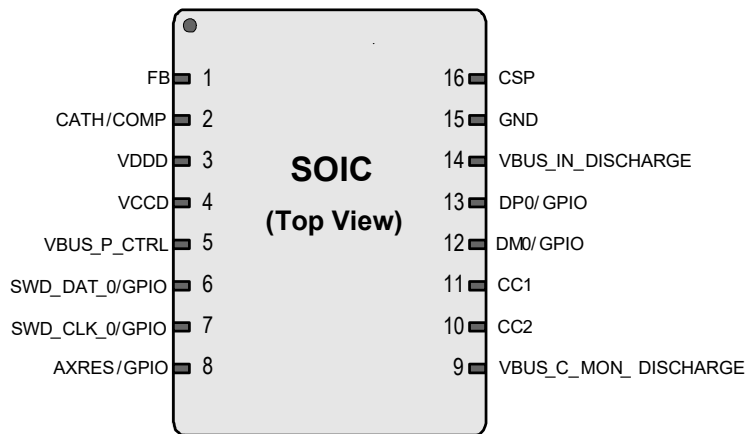


図 3. 16-SOIC パッケージのピン配置 (上面図)



CCG3PA のプログラミングとブートロード

アプリケーション ファームウェアを CCG3PA デバイスにプログラムするには、2つの方法があります。

1. SWD インターフェースを使用したデバイス フラッシュのプログラミング
2. CC インターフェースを使用したアプリケーション ファームウェアの更新

一般に、CCG3PA デバイスは開発中または最終製品の製造プロセス中にのみ、SWD インターフェースを介してプログラムされます。最終製品が製造されると、CC ブートローダ インターフェースを介して CCG3PA デバイスのアプリケーション ファームウェアを更新できます。

SWD インターフェースを使用したデバイス フラッシュのプログラミング

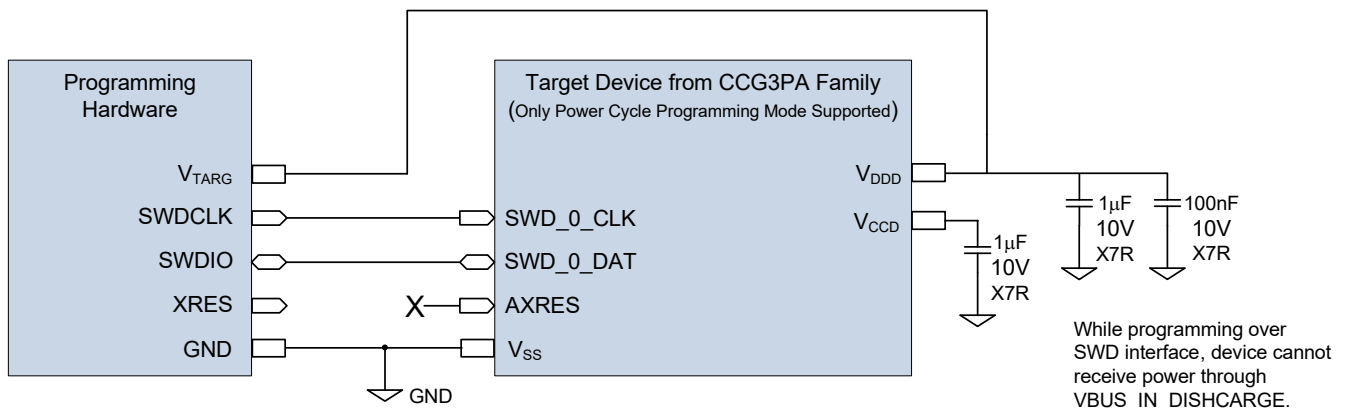
CCG3PA ファミリのデバイスは SWD インターフェースを介してプログラムできます。サイプレスは、フラッシュのプログラミングおよびファームウェアのデバッグに使用できる MiniProg3 と呼ばれるプログラミング キット (CY8CKIT-002 MiniProg3 Kit) と PSoC Programmer ソフトウェアを提供しています。フラッシュは、HEX ファイルから情報をダウンロードすることによってプログラムされます。この HEX ファイルは、

PSoC Creator ソフトウェアでファームウェア プロジェクトをビルドした結果として生成されたバイナリ ファイルです。MiniProg3 プログラマの使用の詳細は [ここ](#) をクリックしてください。製造環境で大量のプログラミングをサポートする多くのサードパーティー製プログラマがあります。

図 4 のブロックダイアグラムに示すように、SWD_0_DAT と SWD_0_CLK のピンは、ホスト プログラマのそれぞれ SWDIO (データ) と SWDCLK (クロック) のピンに接続されています。SWD プログラミング中、ホスト プログラマの VTARG (ターゲット デバイスへの電源) を CCG3PA デバイスの VDDD ピンに接続することで、CCG3PA デバイスはホスト プログラマによって給電される必要があります。SWD インターフェースを介してプログラムしている間は、CCG3PA デバイスは VBUS_IN_DISCHARGE を介して電力供給を受けられません。

CCG3PA デバイス ファミリは XRES ピンを持っていません。そのため、ホスト プログラマからの XRES ラインは未接続となり、リセット モードを使用したプログラミングはサポートされません。つまり、XRES ラインが使用されていないため、CCG3PA デバイスはパワー サイクル プログラミング モードだけがサポートされます。CYPD3XXX プログラミング仕様の詳細はサイプレスにお問い合わせください。

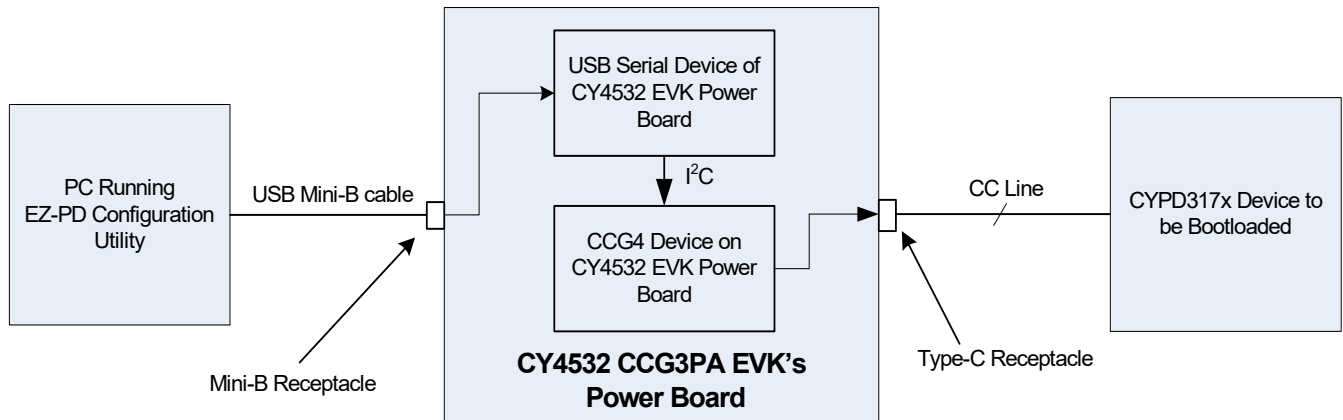
図 4. プログラマと CYPD317x デバイスの接続



CC インターフェイスを使用したアプリケーション ファームウェアの更新

CCG3PA アプリケーションのブートロードでは、CY4532 CCG3PA EVK を使用し、CC ラインを介してプログラミングおよびコンフィギュレーション データをサイプレス固有のベンダ定義メッセージ (VDM) として送信できます。図 5 に示すように、CY4532 CCG3PA EVK の電源基板は、一方の端に CCG3PA デバイスを含むシステムに接続され、もう一方の端に EZ-PD™ コンフィギュレーション ユーティリティを実行する Windows PC に接続され、CCG3PA デバイスをブートロードします。

図 5. CC インターフェイスを使用したアプリケーション ファームウェアの更新



CC インターフェイスを介したアプリケーションファームウェア (FW) の更新機能は、開発および製造中に使用することを目的としています。サイプレスは、EZ-PD Configuration Utility を使用して、大量生産の前に CCG3PA のフラッシュに更新されるファームウェアの CC インターフェイスを介したアプリケーション FW 更新をオフにすることを強く推奨します。これにより、許可されていないファームウェアが現場の CC インターフェイスを介して更新されるのを防ぎます。EZ-PD 構成ユーティリティでこれを構成する方法については、ナレッジベース記事 [KBA230192](#) を参照してください。

オンフィールドファームウェアアップデートのために、CC インターフェイス機能を介したアプリケーションファームウェアアップデートを量産後に保持したい場合は、[弊社営業窓口](#)へ詳細なガイドラインについてお問い合わせください。

アプリケーション図

図 6 と図 7 に、それぞれ 16 ピン SOIC と 24 ピン QFN 製品を使用した光カプラ フィードバック制御付き CCG3PA ベースの PC 電源アダプタのアプリケーション図を示します。光フィードバック電源アダプタでは、CCG3PA はシャント レギュレータを実装しており、プライマリ コントローラーへのフィードバックは光カプラを介して行われます。CATH 経路を流れる電流は、FB ピンと内部バンドギャップ リファレンス電圧の電位差に比例します。デフォルト 5V の VBUS では、FB ピンは内部 VBUS 抵抗分割器によって、バンドギャップ リファレンス電圧でセットされた電圧に保持されます。

VBUS をデフォルトの 5V から変更する必要がある場合、CCG3PA は内部 IDAC と誤差アンプを使用して比例電流を CATH ピンを介して引き出します。したがって、これは光カプラを介してプライマリ コントローラーにカップリングされます。

図 6. 光カプラ フィードバック制御付き CCG3PA ベースの電源アダプタ アプリケーション (16 ピン SOIC デバイス)

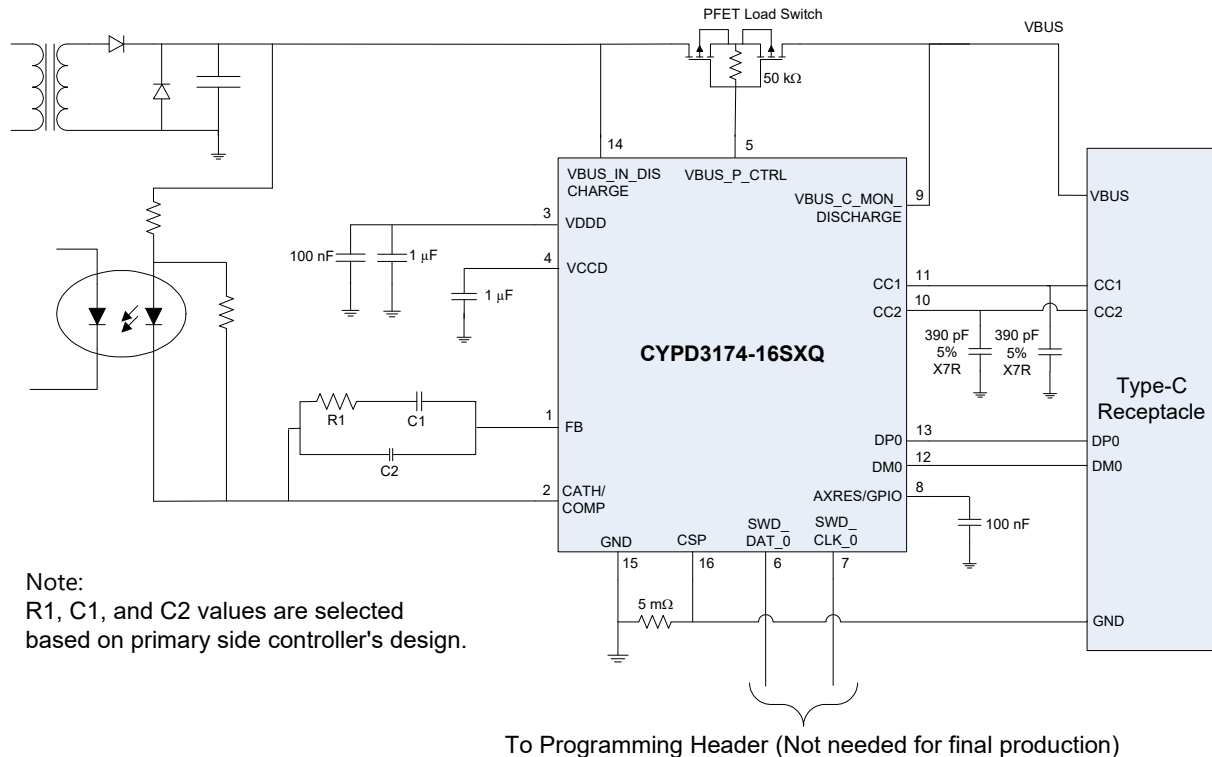


図 7. 光カプラ フィードバック制御付き CCG3PA ベースの電源アダプタ アプリケーション (24 ピン QFN デバイス)

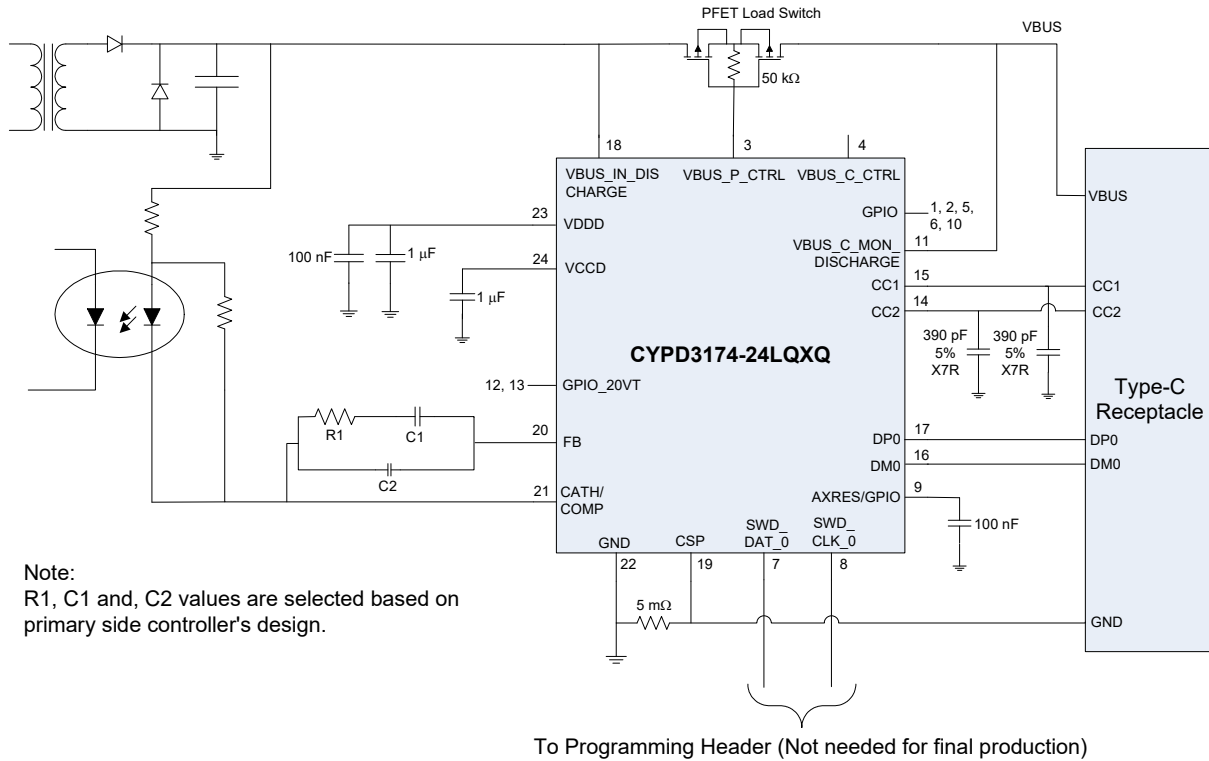


図 8 に、ダイレクト フィードバック制御を備えた CCG3PA ベースの電源アダプタのアプリケーション図を示します。このアプリケーションでは VBUS は一定の電圧に維持されます。電源投入時の VBUS のデフォルト値 (通常は 5V) は、セカンダリ コントローラーが期待する電圧に FB ノードを設定する適切な抵抗分割器を選択することによって設定されます。

フィードバック ノードは、内部 IDAC を使用して調整されます。VBUS 電圧を変更する必要がある時はいつでも、CCG3PA は必要な電圧変化の量に応じてフィードバック ノードで比例電流をソースまたはシンクします。

図 8. ダイレクト フィードバック制御付き CCG3PA ベースの電源アダプタ アプリケーション

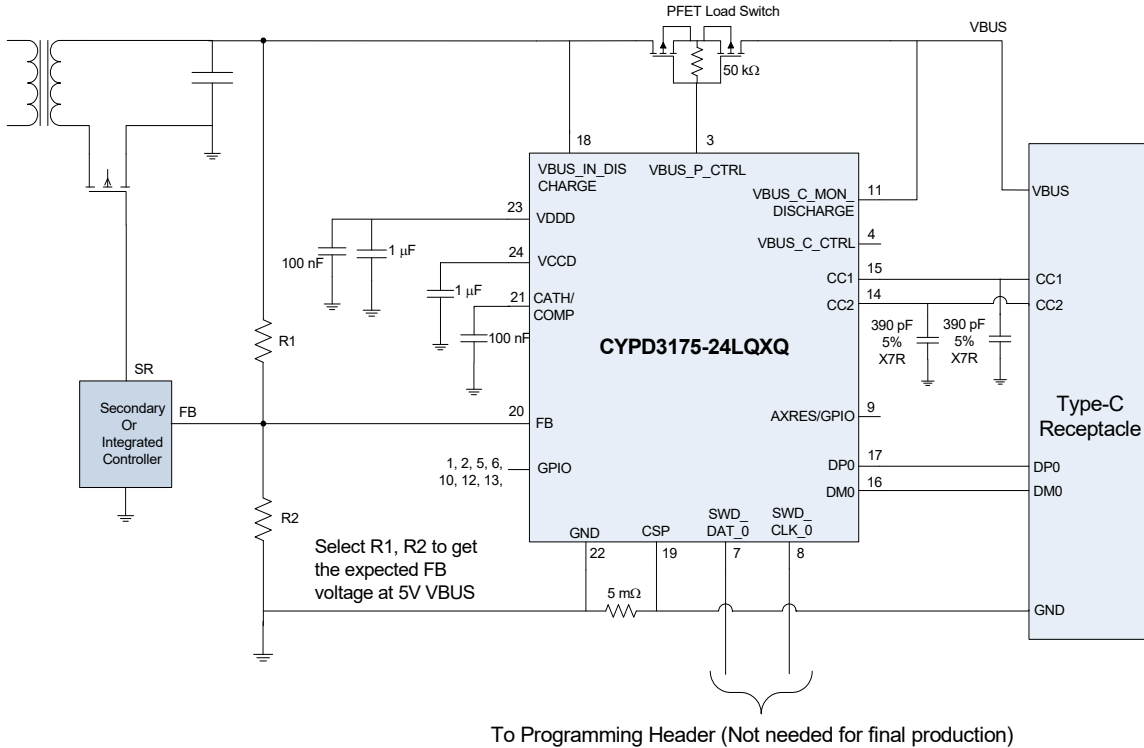


図 9 に、2 ポート車載充電器の直接フィードバック制御を備えた CCG3PA ベースの電源アダプタのアプリケーション図を示します。車載充電器アプリケーションは、Type-C と Type-A ポートに接続されたポータブル デバイスを同時に充電できます。Type-C ポートは USBPD 3.0 QC 4.0、Apple Charging 2.4A および AFC をサポートします。Type-A ポートは QC 3.0、Apple Charging および AFC をサポートします。

図 9. 2 ポート車載充電器用の直接フィードバック制御を備えた CCG3PA ベースの電源アダプタアプリケーション

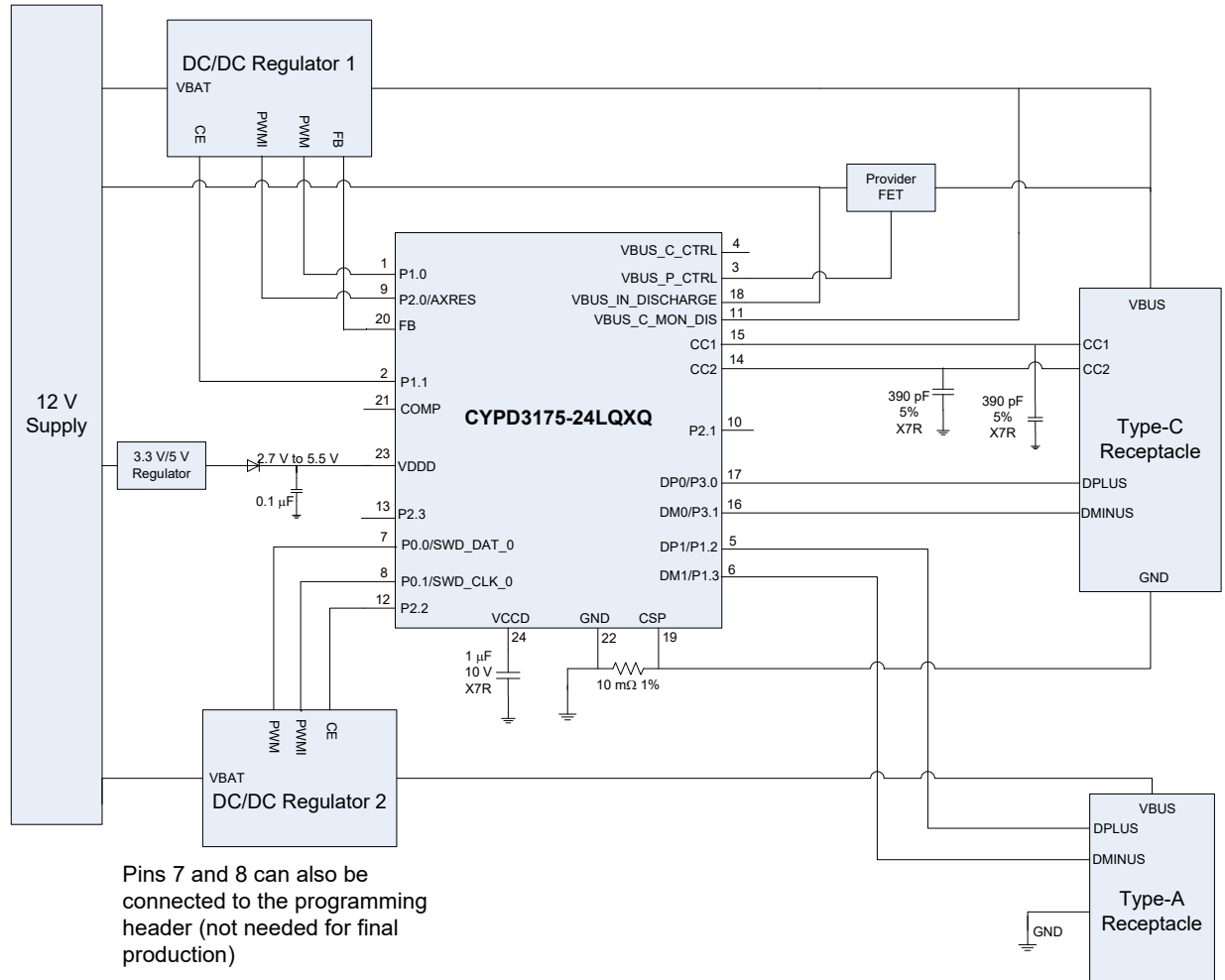
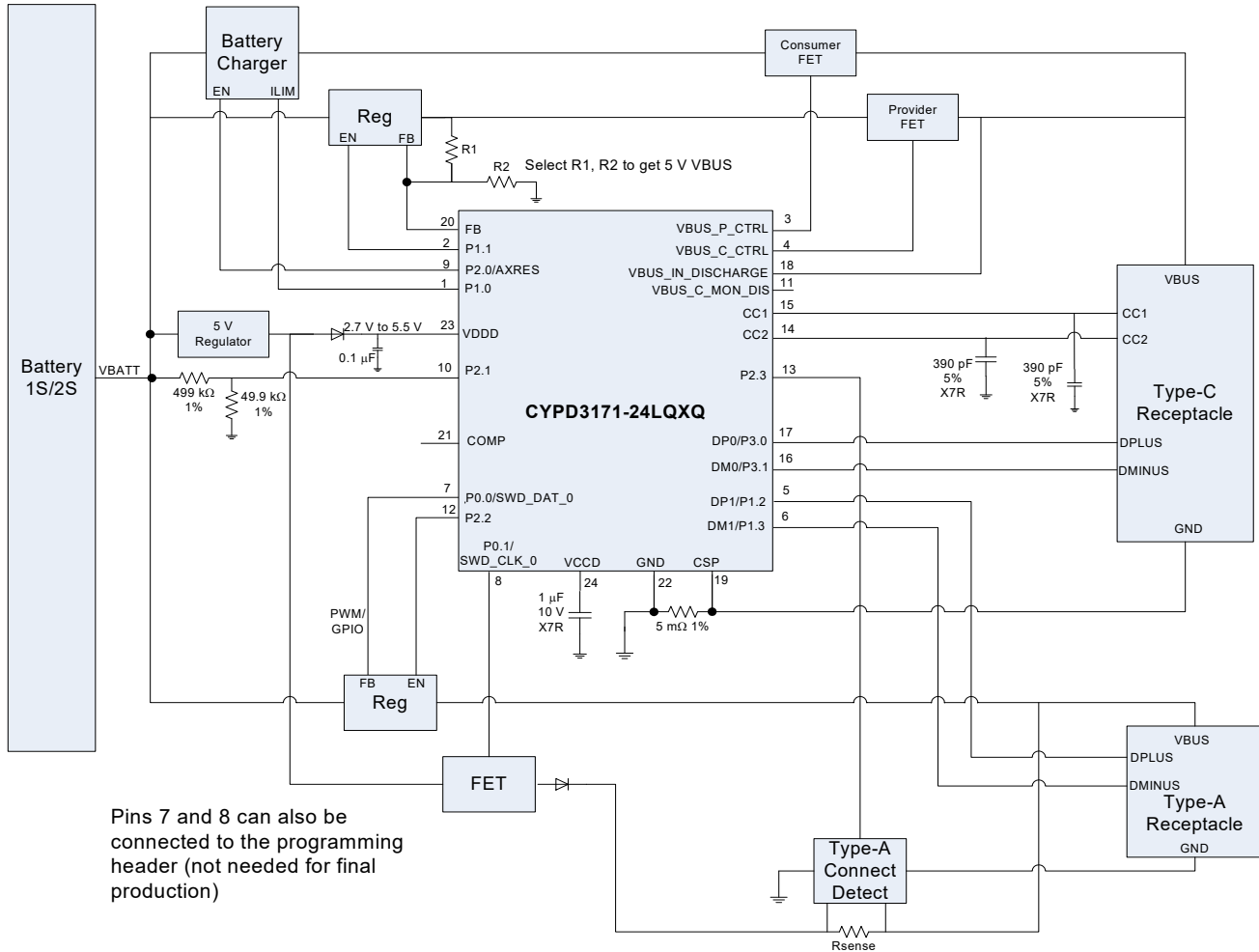


図 10 に、CCG3PA ベースのパワーバンクアプリケーション図を示します。これは CCG3PA デバイスを使用したデュアルポートパワーバンクの実装を示します。パワーバンクアプリケーションは、Type-C と Type-A ポートに接続されたポータブル デバイスを同時に充電できます。Type-C ポートは USBPD 3.0 QC 4.0、Apple Charging 2.4A および AFC をサポートする設定ができます。Type-A ポートは QC3.0、Apple Charging および AFC をサポートする設定ができます。バッテリーは、Type-C および USBPD 電源アダプタまたは BC1.2 電源アダプタから充電できます。

図 10. CCG3PA のパワーバンクアプリケーション図



電氣的仕様
絶対最大定格
表 4. 絶対最大定格

パラメーター	説明	Min	Typ	Max	単位	詳細/条件
V _{BUS_MAX}	VBUS_IN_DISCHARGE と VBUS_C_MON_DISCHARGE ピンの、V _{SS} を基準にした最大電源電圧	-	-	30	V	絶対最大値
V _{DDD_MAX}	V _{SS} を基準にした最大電源電圧	-	-	6	V	
V _{CC_PIN_ABS}	該当デバイスにおける、CC1 と CC2 ピンおよび P2.2 と P2.3 ポート ピンの最大電圧	-	-	22 ^[6]	V	
V _{GPIO_ABS}	GPIO 電圧	-0.5	-	V _{DDD} +0.5	V	
I _{GPIO_ABS}	GPIO ごとの最大電流	-25	-	25	mA	
I _{GPIO_injection}	GPIO 注入電流、V _{IH} >V _{DDD} の場合は Max、V _{IL} <V _{SS} の場合は Min	-0.5	-	0.5	mA	絶対最大値、ピンごとの注入された電流
V _{GPIO_OVT_ABS}	OVT GPIO 電圧	-0.5	-	6	V	P0.0 と P0.1 のポート ピンに適用
ESD_HBM	静電気放電 (人体モデル)	2200	-	-	V	-
ESD_CDM	静電気放電 (デバイス帯電モデル)	500	-	-	V	-
LU	ラッチアップ時のピン電流	-100	-	100	mA	-
ESD_IEC_CON	静電気放電 (IEC61000-4-2)	8000	-	-	V	CC1、CC2、VBUS、P2.2 および P2.3 ピンの接触放電
ESD_IEC_AIR	静電気放電 (IEC61000-4-2)	15000	-	-	V	DPLUS、DMINUS、CC1、CC2、VBUS、P2.2 および P2.3 ピンの空中放電

デバイス レベルの仕様

 特記されていない限り、すべての仕様は -40°C ≤ T_A ≤ 105°C および T_J ≤ 120°C の条件で有効です。

表 5. DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.PWR#2	V _{DDD}	電源入力電圧	2.7	-	5.5	V	シンク モード、-40°C ≤ T _A ≤ 105°C
SID.PWR#2_A	V _{DDD}	電源入力電圧	3.0	-	5.5	V	ソース モード、-40°C ≤ T _A ≤ 105°C
SID.PWR#3	V _{BUS_IN}	電源入力電圧	3.0	-	24.5	V	-40°C ≤ T _A ≤ 105°C
SID.PWR#5	V _{CCD}	コアロジック用の出力電圧	-	1.8	-	V	-
SID.PWR#13	C _{exc}	V _{DDD} 用電源デカップリングコンデンサ	0.8	1	-	μF	X5Rセラミックまたはこれより良質のもの
SID.PWR#14	C _{exv}	VBUS_IN_DISCHARGE 用電源デカップリングコンデンサ	-	0.1	-	μF	X5Rセラミックまたはこれより良質のもの
アクティブ モード。Typ 値は V_{DDD}=5.0V または V_{BUS}=5.0V および T_A=25°C の条件で測定							
SID.PWR#8	I _{DD_A}	V _{BUS} または V _{DDD} からの供給電流	-	10	-	mA	V _{DDD} =5V または V _{BUS} =5V、T _A =25°C。CC1 / CC2 が Tx または Rx、I/O ソース電流なし、2 個の SCB が 1Mbps で動作、EA / ADC / CSA / UVOV がオン、CPU が 24MHz で動作

注

6. USB PD 仕様では、VBUS 最大許容電圧は 21.5V です。

表 5. DC 仕様 (続き)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
スリープモード。Typ 値は $V_{DD}=3.3V$ および $T_A=25^\circ C$ の条件で測定							
SID25A	I_{DD_S}	CC、I ² C、WDT ウェイクアップがオン。IMO が 24MHz	-	3	-	mA	$V_{DDD}=3.3V$ 、 $T_A=25^\circ C$ 、CPU を除くすべてのブロックがオン、CC IO がオン、EA / ADC / CSA / UVOV がオン
ディープスリープモード。Typ 値は $T_A=25^\circ C$ の条件で測定							
SID_PA_DS_UA	$I_{DD_PA_DS_UA}$	$V_{BUS}=4.5 \sim 5.5V$ 。CC 接続、I ² C、WDT ウェイクアップが有効	-	100	-	μA	電源アダプタ/充電器アプリケーション 電源 = $V_{BUS}=5V$ 、 $T_A=25^\circ C$ 、Type-C 接続なし。CC 接続、I ² C、WDT ウェイクアップが有効
SID_PA_DS_A	$I_{DD_PA_DS_A}$	$V_{BUS}=3.0 \sim 24.5V$ 。CC、I ² C、WDT ウェイクアップが有効	-	500	-	μA	電源アダプタ/充電器アプリケーション $V_{BUS}=24.5V$ 、 $T_A=25^\circ C$ 、デバイスがディープスリープモード。接続済、CC I/O がオン、ADC / CSA / UVOV がオン
SID_PB_DS_UA	$I_{DD_PB_DS_UA}$	$V_{DDD}=3.0 \sim 5.5V$ 。CC 接続、I ² C、WDT ウェイクアップが有効	-	100	-	μA	パワーバンクアプリケーション 電源 = $V_{DDD}=5V$ 、 $T_A=25^\circ C$ 、Type-C 接続なし。CC 接続、I ² C、WDT ウェイクアップが有効
SID_P-B_DS_A_SRC	$I_{DD_P-B_DS_A_SRC}$	$V_{DDD}=3.0 \sim 5.5V$ 。CC、I ² C、WDT ウェイクアップが有効	-	500	-	μA	パワーバンクソースアプリケーション $V_{DDD}=5V$ 、 $T_A=25^\circ C$ 、デバイスがディープスリープモード。接続済、CC I/O がオン、ADC / CSA / UVOV がオン
SID_P-B_DS_A_SNK	$I_{DD_P-B_DS_A_SNK}$	$V_{BUS}=4.0 \sim 24.5V$ 。CC、I ² C、WDT ウェイクアップが有効	-	500	-	μA	パワーバンクシンクアプリケーション $V_{BUS}=24.5V$ 、 $T_A=25^\circ C$ 、デバイスがディープスリープモード。接続済、CC I/O がオン、ADC / CSA / UVOV がオン

表 6. AC 仕様 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.CLK#4	F_{CPU}	CPU 入力周波数	DC	-	48	MHz	すべての V_{DDD}
SID.PWR#17	T_{SLEEP}	スリープモードからの復帰時間	-	0	-	μs	-
SID.PWR#18	$T_{DEEPSLEEP}$	ディープスリープモードからの復帰時間	-	-	35	μs	-
SYS.FES#1	T_{PWR_RDY}	電源投入から「I ² C / CC コマンドが受信できる」までの時間	-	5	25	ms	-
SID.PWR#18A	$T_{POR_HIZ_T}$	電源投入時の I/O 初期化時間	-	3	-	ms	-

I/O

表 7. I/O の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.GIO#37	V _{IH_CMOS}	入力電圧 HIGH 閾値	0.7×V _{DDD}	–	–	V	CMOS 入力
SID.GIO#38	V _{IL_CMOS}	入力電圧 LOW 閾値	–	–	0.3×V _{DDD}	V	CMOS 入力
SID.GIO#39	V _{IH_VDDD2.7-}	LVTTL 入力、V _{DDD} <2.7V	0.7×V _{DDD}	–	–	V	–
SID.GIO#40	V _{IL_VDDD2.7-}	LVTTL 入力、V _{DDD} <2.7V	–	–	0.3×V _{DDD}	V	–
SID.GIO#41	V _{IH_VDDD2.7+}	LVTTL 入力、V _{DDD} ≥2.7V	2.0	–	–	V	–
SID.GIO#42	V _{IL_VDDD2.7+}	LVTTL 入力、V _{DDD} ≥2.7V	–	–	0.8	V	–
SID.GIO#33	V _{OH_3V}	出力 HIGH 電圧	V _{DDD} -0.6	–	–	V	V _{DDD} =3V の時、I _{OH} =4mA
SID.GIO#36	V _{OL_3V}	出力 LOW 電圧	–	–	0.6	V	V _{DDD} =3V の時、I _{OL} =10mA
SID.GIO#5	R _{PU}	プルアップ抵抗値	3.5	5.6	8.5	kΩ	+25°C T _A 、すべての V _{DDD}
SID.GIO#6	R _{PD}	プルダウン抵抗値	3.5	5.6	8.5	kΩ	+25°C T _A 、すべての V _{DDD}
SID.GIO#16	I _{IL}	入力リーク電流 (絶対値)	–	–	2	nA	+25°C T _A 、3V V _{DDD}
SID.GIO#17	C _{PIN_A}	ピン最大負荷容量	–	–	22	pF	DP0、DM0、DP1、DMI ピンの容量。特性評価で保証
SID.GIO#17A	C _{PIN}	ピン最大負荷容量	–	3	7	pF	-40°C ~ +85°C T _A 、すべての V _{DDD} 、その他のすべての I/O。特性評価で保証
SID.GIO#43	V _{HYSTTL}	入力ヒステリシス LVTTL、V _{DDD} >2.7V	15	40	–	mV	特性評価で保証
SID.GIO#44	V _{HYSCMOS}	入力ヒステリシス CMOS	0.05×V _{DDD}	–	–	mV	V _{DDD} <4.5V。特性評価で保証
SID69	I _{DIODE}	保護ダイオードを通過して V _{DDD} /V _{SS} に流れる電流	–	–	100	μA	設計で保証
SID.GIO#45	I _{TOT_GPIO}	最大の合計シンク電流	–	–	85	mA	設計で保証
OVT							
SID.GIO#46	I _{IHS}	パッド電圧 >OVT 入力の V _{DDD} の時の入力電流	–	–	10.00	μA	I ² C 仕様による

表 8. I/O の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID70	T _{RISEF}	高速ストロングモードでの立ち上がり時間	2	–	12	ns	3.3V V _{DDD} 、C _{load} =25pF
SID71	T _{FALLF}	高速ストロングモードでの立ち下り時間	2	–	12	ns	3.3V V _{DDD} 、C _{load} =25pF

表 9. GPIO_20VT の DC 仕様 (ポートピン P2.2 と P2.3 のみに適用)

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.GPIO_20VT#4	GPIO_20VT_I_LU	GPIO_20VT ラッチアップ電流制限	-140	-	140	mA	入力または出力、ピン間、ピンと電源間を流れる Max / Min 電流
SID.GPIO_20VT#5	GPIO_20VT_RPU	GPIO_20VT プルアップ抵抗値	1	-	25	kΩ	+25°C T _A 、GPIO_20VT_Voh (Min) が 1.4V
SID.GPIO_20VT#6	GPIO_20VT_RPD	GPIO_20VT プルダウン抵抗値	2.5	-	20	kΩ	+25°C T _A 、V _{DDD} が 1.4V
SID.GPIO_20VT#16	GPIO_20VT_IIL	GPIO_20VT 入力リーク電流 (絶対値)	-	-	2	nA	+25°C T _A 、V _{DDD} が 3V
SID.GPIO_20VT#17	GPIO_20VT_CPIN	GPIO_20VT ピン静電容量	15	-	25	pF	-40°C ~ +85°C T _A 、すべての V _{DDD} 、F=1MHz
SID.GPIO_20VT#36	GPIO_20VT_Vol	GPIO_20VT 出力 LOW 電圧	-	-	0.4	V	I _{OL} =2mA
SID.GPIO_20VT#41	GPIO_20VT_Vih_LVTTL	GPIO_20VT LVTTL 入力 HIGH 電圧	2	-	-	V	V _{DDD} ≥ 2.7V
SID.GPIO_20VT#42	GPIO_20VT_Vil_LVTTL	GPIO_20VT LVTTL 入力 LOW 電圧	-	-	0.8	V	V _{DDD} ≥ 2.7V
SID.GPIO_20VT#43	GPIO_20VT_Vhysttl	GPIO_20VT 入力ヒステリシス LVTTL	15	40	-	mV	V _{DDD} ≥ 2.7V
SID.GPIO_20VT#69	GPIO_20VT_IDIODE	保護ダイオードを通して V _{DDD} / V _{SS} に流れる GPIO_20VT 電流	-	-	100	μA	

表 10. GPIO_20VT の AC 仕様 (ポートピン P2.2 と P2.3 のみに適用)

(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.GPIO_20VT#70	GPIO_20VT_TriseF	高速ストロングモードでの GPIO_20VT 立ち上り時間	1	-	45	ns	すべての V _{DDD} 、C _{load} =25pF
SID.GPIO_20VT#71	GPIO_20VT_TfallF	高速ストロングモードでの GPIO_20VT 立ち下り時間	2	-	15	ns	すべての V _{DDD} 、C _{load} =25pF

デジタル ペリフェラル

次の仕様は、タイマー モードでのタイマー／カウンタ／PWM ペリフェラルに適用されます。

GPIO ピン用のパルス幅変調 (PWM)

表 11. PWM の AC 仕様 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.TCPWM.3	$T_{CPWMFREQ}$	動作周波数	-	-	Fc	MHz	Fc Max=CLK_SYS。 Max=48MHz
SID.TCPWM.4	$T_{PWMENEXT}$	入力トリガ パルス幅	2/Fc	-	-	ns	すべてのトリガ イベント
SID.TCPWM.5	T_{PWMEXT}	出力トリガ パルス幅	2/Fc	-	-	ns	オーバーフロー、アンダーフ ローおよび CC (カウンタ=比 較値) 出力の最小幅
SID.TCPWM.5A	T_{CRES}	カウンタの分解能	1/Fc	-	-	ns	逐次カウント同士間の最小時間
SID.TCPWM.5B	PWM_{RES}	PWM 分解能	1/Fc	-	-	ns	PWM 出力の最小パルス幅
SID.TCPWM.5C	Q_{RES}	直交位相入力分解能	1/Fc	-	-	ns	直角位相入力同士間の最小パル ス幅

I²C

表 12. 固定 I²C の DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID149	I_{I2C1}	100kHz でのブロック消費電流	-	-	100	μA	-
SID150	I_{I2C2}	400kHz でのブロック消費電流	-	-	135	μA	-
SID151	I_{I2C3}	1Mbps でのブロック消費電流	-	-	310	μA	-
SID152	I_{I2C4}	I ² C がディープスリープ モードで有 効の場合	-	1.4	-	μA	-

表 13. 固定 I²C の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID153	F_{I2C1}	ビット レート	-	-	1	Mbps	-

表 14. 固定 UART の DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID160	I_{UART1}	100kbps でのブロック消費電流	-	-	20	μA	-
SID161	I_{UART2}	1000kbps でのブロック消費電流	-	-	312	μA	-

表 15. 固定 UART の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID162	F_{UART}	ビット レート	-	-	1	Mbps	-

表 16. 固定 SPI の DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID163	I _{SPI1}	1Mb/s でのブロック消費電流	–	–	360	μA	–
SID164	I _{SPI2}	4Mb/s でのブロック消費電流	–	–	560	μA	–
SID165	I _{SPI3}	8Mb/s でのブロック消費電流	–	–	600	μA	–

表 17. 固定 SPI の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID166	F _{SPI}	SPI 動作周波数 (マスター、6 倍オーバーサンプリング)	–	–	8	MHz	–

表 18. 固定 SPI マスター モードの AC 仕様 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID167	T _{DMO}	Sclock 駆動エッジ後の MOSI 有効時間	–	–	15	ns	–
SID168	T _{DSI}	Sclock 取得エッジ前の MISO 有効時間	20	–	–	ns	フルクロック、MISO の遅いサンプリング
SID169	T _{HMO}	直前の MOSI データ ホールド時間	0	–	–	ns	スレーブ取得エッジを基準にする

表 19. 固定 SPI スレーブ モードの AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID170	T _{DMI}	Sclock 取得エッジ前の MOSI 有効時間	40	–	–	ns	–
SID171	T _{DSO}	Sclock 駆動エッジ後の MISO 有効時間	–	–	42+3×T _{CPU}	ns	T _{CPU} =1/F _{CPU}
SID171A	T _{D_{SO}_EXT}	外部クロック モードでの Sclock 駆動エッジ後の MISO 有効時間	–	–	48	ns	–
SID172	T _{H_{SO}}	直前の MISO データ ホールド時間	0	–	–	ns	–
SID172A	T _{SSEL_{SCK}}	SSEL 有効から最初の SCK 有効エッジまでの時間	100	–	–	ns	–

システム リソース

電圧低下 SWD インターフェースのパワーオン リセット (POR)

表 20. 低精度パワー オン リセット (PRES) (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID185	V _{RISEIPOR}	パワー オン リセット (POR) 立ち上りトリップ電圧	0.80	–	1.50	V	–
SID186	V _{FALLIPOR}	POR 立ち下りトリップ電圧	0.70	–	1.4	V	–

表 21. 高精度パワーオン リセット (POR)

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID190	V _{FALLPPOR}	アクティブ/スリープのモードでの電圧低下検出 (BOD) トリップ電圧	1.48	–	1.62	V	–
SID192	V _{FALLDPSLP}	ディープ スリープ モードでの BOD トリップ電圧	1.1	–	1.5	V	–

表 22. SWD インターフェース仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.SWD#1	F_SWDCCLK1	3.3V≤V _{DDD} ≤5.5V	–	–	14	MHz	SWDCCLK≤1/3 CPU クロック周波数
SID.SWD#2	F_SWDCCLK2	2.7V≤V _{DDD} ≤3.3V	–	–	7	MHz	SWDCCLK≤1/3 CPU クロック周波数
SID.SWD#3	T_SWDI_SETUP	T=1/f SWDCCLK	0.25×T	–	–	ns	–
SID.SWD#4	T_SWDI_HOLD	T=1/f SWDCCLK	0.25×T	–	–	ns	–
SID.SWD#5	T_SWDO_VALID	T=1/f SWDCCLK	–	–	0.50×T	ns	–
SID.SWD#6	T_SWDO_HOLD	T=1/f SWDCCLK	1	–	–	ns	–

内部主発振器

表 23. IMO の DC 仕様

(設計で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID218	I _{IMO1}	48MHz での IMO 動作電流	–	–	1000	μA	–

表 24. IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.CLK#13	F _{IMOTOL}	24MHz、32MHz および 48MHz での周波数誤差 (トリム済み)	–	–	±2	%	–
SID226	T _{STARTIMO}	IMO 起動時間	–	–	7	μs	特性評価で保証
SID228	T _{JITRMSIMO2}	24MHz での RMS ジッタ	–	145	–	ps	特性評価で保証
SID.CLK#1	F _{IMO}	IMO 周波数	24	36	48	MHz	24MHz、36MHz、48MHz の 3 つの周波数のみがサポートされる

内部低速発振器 — 電源切断

表 25. ILO の DC 仕様

(設計で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID231	I _{ILO1}	I _{LO} 動作電流	–	0.3	1.05	μA	–
SID233	I _{ILOLEAK}	I _{LO} リーク電流	–	2	15	nA	–

表 26. ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID234	T _{STARTILO1}	I _{LO} 起動時間	–	–	2	ms	特性評価で保証
SID238	T _{ILODUTY}	I _{LO} デューティ比	40	50	60	%	特性評価で保証
SID.CLK#5	F _{ILO}	I _{LO} 周波数	20	40	80	kHz	–

表 27. PD の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.PD.1	Rp_std	デフォルト USB 電源用の DFP CC 終端	64	80	96	μA	–
SID.PD.2	Rp_1.5A	1.5A 電源用の DFP CC 終端	166	180	194.4	μA	–
SID.PD.3	Rp_3.0A	3.0A 電源用の DFP CC 終端	304	330	356.4	μA	–
SID.PD.4	Rd	UFP CC 終端抵抗	4.59	5.1	5.61	kΩ	–
SID.PD.5	Rd_DB	CC1 と CC2 上の UFP (パワーバンク) デッド バッテリー CC 終端抵抗	4.08	5.1	6.12	kΩ	全電源が 0V、1.32V が CC1 または CC2 に印加
SID.PD.6	V _{gndoffset}	BMC レシーバで許容されるグラウンド オフセット	-500	–	500	mV	リモート BMC トランスミッタを基準にする

表 28. LS-CSA 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.LSCSA.1	Cin_inp	CSP 入力静電容量	7	–	10	pF	特性評価で保証
SID.LSCSA.2	Csa_Acc1	CSA 精度、5mV<Vsense<10mV	-15	–	15	%	アクティブ モード
SID.LSCSA.3	Csa_Acc2	CSA 精度、10mV<Vsense<15mV	-10	–	10	%	
SID.LSCSA.4	Csa_Acc3	CSA 精度、15mV<Vsense<20mV	-6	–	6	%	
SID.LSCSA.5	Csa_Acc4	CSA 精度、20mV<Vsense<30mV	-5	–	5	%	
SID.LSCSA.6	Csa_Acc5	CSA 精度、30mV<Vsense<50mV	-4	–	4	%	
SID.LSCSA.7	Csa_Acc6	CSA 精度、50mV<Vsense	-4	–	4	%	
SID.LSCSA.8	Csa_SCP_Acc1	CSA SCP 80mV	-16.5	–	30	%	
SID.LSCSA.9	Csa_SCP_Acc2	CSA SCP 100mV	-13.4	–	24	%	
SID.LSCSA.10	Csa_SCP_Acc3	CSA SCP 150mV	-9.4	–	16	%	
SID.LSCSA.11	Csa_SCP_Acc4	CSA SCP 200mV	-7.5	–	12	%	
SID.LSCSA.12	Av	対応公称ゲイン値 : 5、10、20、35、50、75、125、150	5	–	150	V/V	
SID.LSCSA.24	Av1_E_Trim	ゲイン誤差	-3	–	3	%	特性評価で保証
SID.LSCSA.31	Av_E_SCP	SCP 状態のゲイン誤差	-3.5	–	3.5	%	特性評価で保証

表 29. LS-CSA の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.LSCSA.AC.1	T _{OCP_GPIO}	OCP 閾値トリップから出力 GPIO トグルまでの遅延時間	-	-	20	μs	P1.0 または P1.1 に適用
SID.LSCSA.AC.2	T _{OCP_Gate}	OCP 閾値トリップから外部 PFET パワーゲート オフまでの遅延時間	-	-	50	μs	-
SID.LSCSA.AC.3	T _{SCP_GPIO}	SCP 閾値トリップから出力 GPIO トグルまでの遅延時間	-	-	15	μs	P1.0 または P1.1 に適用
SID.LSCSA.AC.4	T _{SCP_Gate}	SCP 閾値トリップから外部 PFET パワーゲート オフまでの遅延時間	-	-	50	μs	-
SID.LSCSA.AC.5	T _{SR_GPIO}	SR 閾値トリップから出力 GPIO トグルまでの遅延時間	-	-	20	μs	P1.0 または P1.1 に適用

表 30. UV / OV 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.UVOV.1	V _{THOV1}	過電圧閾値の精度、4.0V ~ 11.0V	-3	-	3	%	アクティブ モード
SID.UVOV.2	V _{THOV2}	過電圧閾値の精度、11V ~ 27.4V	-3.2	-	3.2	%	
SID.UVOV.3	V _{THUV1}	低電圧閾値の精度、2.7V ~ 3.3V	-4	-	4	%	
SID.UVOV.4	V _{THUV2}	低電圧閾値の精度、3.3V ~ 4.0V	-3.5	-	3.5	%	
SID.UVOV.5	V _{THUV3}	低電圧閾値の精度、4.0V ~ 11.0V	-3	-	3	%	
SID.UVOV.6	V _{THUV4}	低電圧閾値の精度、11.0V ~ 22.0V	-2.9	-	2.9	%	

表 31. UV / OV の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.UVOV.AC.1	T _{OV_GPIO}	UV 閾値トリップから出力 GPIO トグルまでの遅延時間	-	-	20	μs	P1.0 または P1.1 に適用
SID.UVOV.AC.2	T _{OV_GATE}	UV 閾値トリップから外部 PFET パワーゲート オフまでの遅延時間	-	-	50	μs	-
SID.UVOV.AC.3	T _{UV_GPIO}	UV 閾値トリップから出力 GPIO トグルまでの遅延時間	-	-	20	μs	P1.0 または P1.1 に適用

ゲート ドライバー仕様

表 32. ゲート ドライバーの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.GD.1	R _{PD}	プルダウン抵抗	-	-	3	kΩ	外部 PFET をオンにするために VBUS_P_CTRL と VBUS_C_CTRL に適用
SID.GD.2	R _{PU}	プルアップ抵抗	-	-	4	kΩ	外部 PFET をオフにするために VBUS_P_CTRL に適用
SID.GD.3	I _{PD0}	1 の駆動強度での電圧引き下げ時のシンク電流	25	-	75	μA	5V に電圧を引き下げた時の I モード (電流モード)。外部 PFET をオンにするために VBUS_P_CTRL と VBUS_C_CTRL に適用
SID.GD.4	I _{PD1}	2 の駆動強度での電圧引き下げ時のシンク電流	50	-	150	μA	
SID.GD.5	I _{PD2}	4 の駆動強度での電圧引き下げ時のシンク電流	140	-	300	μA	
SID.GD.6	I _{PD3}	8 の駆動強度での電圧引き下げ時のシンク電流	280	-	580	μA	
SID.GD.7	I _{PD4}	16 の駆動強度での電圧引き下げ時のシンク電流	560	-	1200	μA	
SID.GD.8	I _{PD5}	32 の駆動強度での電圧引き下げ時のシンク電流	1120	-	2300	μA	
SID.GD.9	I _{leak_p1}	VBUS_P_CTRL ピン上のリーク電流	-	0.003	-	μA	+25°C T _J , 5V V _{DDD} , 20V V _{BUS}
SID.GD.10	I _{leak_c1}	VBUS_C_CTRL ピン上のリーク電流	-	0.003	-	μA	+25°C T _J , 5V V _{DDD} , 20V V _{BUS}
SID.GD.11	I _{leak_p2}	VBUS_P_CTRL ピン上のリーク電流	-	-	2	μA	+85°C T _J , 5V V _{DDD} , 20V V _{BUS}
SID.GD.12	I _{leak_c2}	VBUS_C_CTRL ピン上のリーク電流	-	-	2	μA	+85°C T _J , 5V V _{DDD} , 20V V _{BUS}
SID.GD.13	I _{leak_p3}	VBUS_P_CTRL ピン上のリーク電流	-	-	7	μA	+125°C T _J , 5V V _{DDD} , 20V V _{BUS}
SID.GD.14	I _{leak_c3}	VBUS_C_CTRL ピン上のリーク電流	-	-	7	μA	+125°C T _J , 5V V _{DDD} , 20V V _{BUS}

表 33. ゲート ドライバーの AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.GD.15	T _{PD1}	VBUS_C_CTRL 電圧引き下げ時の遅延時間	-	-	2	μs	Cl _{load} =2nF、立ち下りエッジの開始から VBUS-1.5V までの遅延、VBUS=5V~20V、VBUS_C_CTRL と VBUS の間に接続された 50kΩ
SID.GD.16	T _{r_discharge}	VBUS_C_CTRL 上の出力ノードの放電速度	-	-	5	V/μs	80% ~ 20%、VBUS_C_CTRL と VBUS の間に接続された 50kΩ、Cl _{load} =2nF、V _{initial} =24V
SID.GD.17	T _{PD2}	VBUS_P_CTRL 電圧引き下げ時の遅延時間	-	-	2	μs	Cl _{load} =2nF、立ち下りエッジの開始から VBUS -1.5V までの遅延、V _{BUS} =5V ~ 20V、VBUS_C_CTRL と VBUS の間に接続された 50kΩ
SID.GD.18	T _{PU}	VBUS_P_CTRL 電圧引き上げ時の遅延時間	-	-	18	μs	Cl _{load} =2nF、立ち下りエッジの開始から VBUS-1.5V までの遅延、VBUS=5V~20V、VBUS_C_CTRL と VBUS の間に接続された 50kΩ
SID.GD.19	SR _{PU}	VBUS_P_CTRL 上の出力スルーレート	-	-	5	V/μs	Cl _{load} =2nF、VBUS_P_CTRL 範囲の 20% ~ 80%
SID.GD.20	SR _{PD}	VBUS_P_CTRL 上の出力スルーレート	-	-	5	V/μs	Cl _{load} =2 nF、VBUS_P_CTRL 範囲の 80% ~ 20%

表 34. VBUS 放電仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.VBUS.DISC.6	I1	20V NMOS オン時の電流、DS=1	0.15	–	1	mA	0.5V で計測
SID.VBUS.DISC.7	I2	20V NMOS オン時の電流、DS=2	0.4	–	2	mA	
SID.VBUS.DISC.8	I4	20V NMOS オン時の電流、DS=4	0.9	–	4	mA	
SID.VBUS.DISC.9	I8	20V NMOS オン時の電流、DS=8	2	–	8	mA	
SID.VBUS.DISC.10	I16	20V NMOS オン時の電流、DS=16	4	–	10	mA	
SID.VBUS.DISC.11	VBUS_Stop_Error	最終 V _{BUS} 値の設定からの誤差率	–	–	10	%	V _{BUS} が 5V に放電された時。特性評価で保証

表 35. 電圧 (VBUS) 安定化の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.DC.VR.1	V_IN_3	3V をターゲット電圧にする場合の V(pad_in)	2.85	3	3.15	V	バンドギャップ使用時アクティブモードのシャントレギュレータが 3V
SID.DC.VR.2	V_IN_5	5V をターゲット電圧にする場合の V(pad_in)	4.75	5	5.25	V	アクティブモードのシャントレギュレータが 5V
SID.DC.VR.3	V_IN_9	9V をターゲット電圧にする場合の V(pad_in)	8.55	9	9.45	V	アクティブモードのシャントレギュレータが 9V
SID.DC.VR.4	V_IN_15	15V をターゲット電圧にする場合の V(pad_in)	14.25	15	15.75	V	アクティブモードのシャントレギュレータが 15V
SID.DC.VR.5	V_IN_20	20V をターゲット電圧にする場合の V(pad_in)	19	20	21	V	アクティブモードのシャントレギュレータが 20V
SID.DC.VR.6	V_IN_3_DS	3V をターゲット電圧にする場合の V(pad_in)	2.7	3	3.3	V	バンドギャップ使用時ディープスリープモードのシャントレギュレータが 3V
SID.DC.VR.7	V_IN_5_DS	5V をターゲット電圧にする場合の V(pad_in)	4.5	5	5.5	V	ディープスリープモードのシャントレギュレータが 5V
SID.DC.VR.8	V_IN_9_DS	9V をターゲット電圧にする場合の V(pad_in)	8.1	9	9.1	V	ディープスリープモードのシャントレギュレータが 9V
SID.DC.VR.9	V_IN_15_DS	15V をターゲット電圧にする場合の V(pad_in)	13.5	15	16.5	V	ディープスリープモードのシャントレギュレータが 15V
SID.DC.VR.10	V_IN_20_DS	20V をターゲット電圧にする場合の V(pad_in)	18	20	22	V	ディープスリープモードのシャントレギュレータが 20V
SID.DC.VR.11	I _{KA_OFF}	オフ状態のカソード電流	–	–	10	μA	–
SID.DC.VR.12	I _{KA_ON}	カソードピンを通る電流	–	–	10	mA	–

表 36. VBUS 短絡保護仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.VSP.1	V_SHORT_T RIGGER	CC / P2.2 / P2.3 ピン上の VBUS 短絡時のシステム側クランプ電圧	–	9	–	V	特性評価で保証

表 37. VBUS の DC レギュレータ仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.VREG.2	VBUS - DETECT	VBUS 検出閾値電圧	1.08	–	2.62	V	–

表 38. VBUS の AC レギュレータ仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.VREG.3	T _{start}	安定化電源出力の合計スタートアップ時間	-	-	200	μs	特性評価で保証

アナログ- デジタル変換器

表 39. ADC の DC 仕様 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.ADC.1	分解能	ADC 分解能	-	8	-	ビット	-
SID.ADC.2	INL	積分非直線性	-2.5	-	2.5	LSB	VDD から生成されたりファレンス電圧
SID.ADC.2A	INL	積分非直線性	-1.5	-	1.5	LSB	バンドギャップから生成されたりファレンス電圧
SID.ADC.3	DNL	微分非直線性	-2.5	-	2.5	LSB	VDD から生成されたりファレンス電圧
SID.ADC.3A	DNL	微分非直線性	-1.5	-	1.5	LSB	バンドギャップから生成されたりファレンス電圧
SID.ADC.4	ゲイン誤差	ゲイン誤差	-1.5	-	1.5	LSB	-
SID.ADC.6	V _{REF_ADC2}	バンドギャップから生成された場合の ADC リファレンス電圧	1.96	2.0	2.04	V	バンドギャップから生成されたりファレンス電圧

表 40. ADC の AC 仕様 (設計で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.ADC.7	SLEW_Max	サンプリングされた電圧信号の変化率	-	-	3	V/ms	-

メモリ

表 41. フラッシュの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.MEM#3	FLASH_ERASE	行消去時間	-	-	15.5	ms	-40°C ≤ T _A ≤ 85°C、すべての V _{DD}
SID.MEM#4	FLASH_WRITE	行 (ブロック) 書き込み時間 (消去 + プログラム)	-	-	20	ms	-40°C ≤ T _A ≤ 85°C、すべての V _{DD}
SID.MEM#8	FLASH_ROW_PGM	消去後の行プログラム時間	-	-	7	ms	25°C ≤ T _A ≤ 55°C、すべての V _{DD}
SID178	T _{BULKERASE}	バルク消去時間 (32KB)	-	-	35	ms	-
SID180	T _{DEVPROG}	総デバイス プログラム時間	-	-	7.5	s	-
SID182	F _{RET1}	フラッシュ データ保持、T _A ≤ 55°C、100K P/E サイクル	20	-	-	年	-
SID182A	F _{RET2}	フラッシュ データ保持、T _A ≤ 85°C、10K P/E サイクル	10	-	-	年	-
SID182B	F _{RET3}	フラッシュ データ保持、T _A ≤ 105°C、10K P/E サイクル	3	-	-	年	-

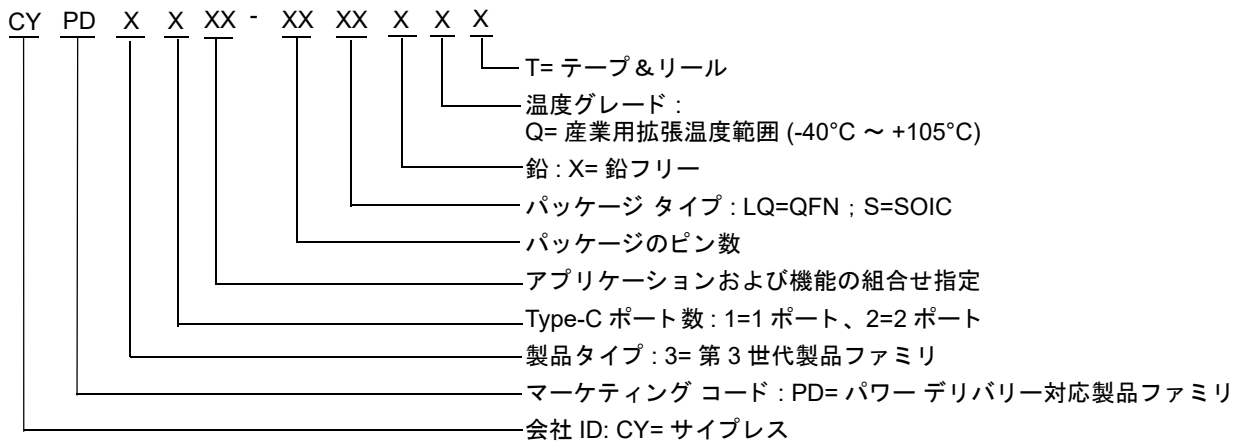
注文情報

表 42 に、EZ-PD CCG3PA の製品番号と機能を示します。

表 42. CCGPA 注文情報

製品番号	アプリケーション	終端抵抗	ロール	ブートローダ ^[7]	パッケージタイプ	Si ID
CYPD3171-24LQXQ	パワーバンク	R _P 、R _D 、 R _{D-DB}	DRP	UFP CC ブートローダ	24 ピン QFN	2003
CYPD3174-16SXQ	光カプラ フィードバックに基づく電源アダプタ	R _P	DFP	光カプラ フィードバックブートローダ付き DFP CC	16 ピン SOIC	2001
CYPD3174-24LQXQ	光カプラ フィードバックに基づく電源アダプタ	R _P	DFP	光カプラ フィードバックブートローダ付き DFP CC	24 ピン QFN	2000
CYPD3175-24LQXQ	ダイレクト フィードバックに基づく電源アダプタ	R _P	DFP	ダイレクト フィードバックブートローダ付き DFP CC	24 ピン QFN	2002

注文コードの定義



注

7. デフォルトでVBUSが5Vであることを前提としています。ブートローダの実行は、5V VBUS生成を制御しません。

パッケージ

表 43. パッケージ特性

パラメーター	説明	条件	Min	Typ	Max	単位
T _A	動作周囲温度	産業用拡張温度範囲	-40	25	105	°C
T _J	動作接合部温度	産業用拡張温度範囲	-40	25	120	°C
T _{JA}	パッケージ θ _{JA} (24-QFN)	-	-	-	19.98	°C/W
T _{JC}	パッケージ θ _{JC} (24-QFN)	-	-	-	4.78	°C/W
T _{JA}	パッケージ θ _{JA} (16-SOIC)	-	-	-	84	°C/W
T _{JC}	パッケージ θ _{JC} (16-SOIC)	-	-	-	33.9	°C/W

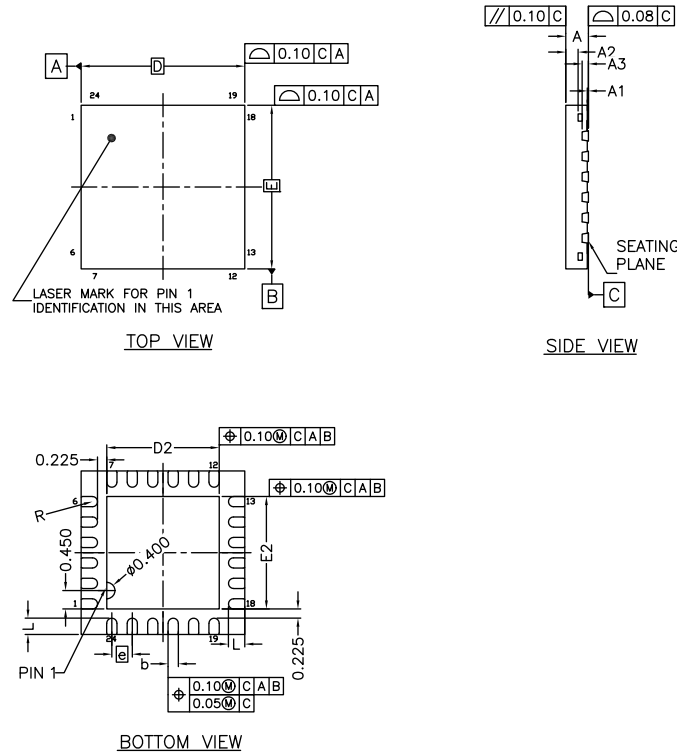
表 44. はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度 5°C 以内での最長時間
24 ピン QFN	260°C	30 秒
16 ピン SOIC	260°C	30 秒

表 45. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
24 ピン QFN	MSL3
16 ピン SOIC	MSL3

図 11. 24 ピン QFN パッケージ外形図



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0,60
A1	0,00	—	0,05
A2	—	0,40	0,425
A3	0,152 REF		
b	0,18	0,25	0,30
D	4,00 BSC		
D2	2,65	2,75	2,85
E	4,00 BSC		
E2	2,65	2,75	2,85
L	0,30	0,40	0,50
e	0,50 BSC		
R	0,09	—	—

NOTES

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIE THICKNESS ALLOWABLE IS 0,305 mm MAXIMUM,(012 INCHES MAXIMUM)
- DIMENSIONING & TOLERANCES CONFORM TO ASME Y14.5M, -1994.
- THE PIN #1 IDENTIFIER MUST BE PLACED ON THE TOP SURFACE OF THE PACKAGE BY USING INDENTATION MARK OR OTHER FEATURE OF PACKAGE BODY.
- EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
- PACKAGE WARPAGE MAX 0,08 mm.
- APPLIED FOR EXPOSED PAD AND TERMINALS. EXCLUDE EMBEDDING PART OF EXPOSED PAD FROM MEASURING.
- APPLIED ONLY TO TERMINALS.
- JEDEC SPECIFICATION NO. REF: N.A.

002-16934 *C

略語
表 46. 本書で使用される略語

略語	説明
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AES	advanced encryption standard (高度暗号化標準)
API	application programming interface (アプリケーションプログラミングインターフェース)
Arm®	advanced RISC machine (高度な RISC マシン); CPU アーキテクチャの一種
CC	configuration channel (コンフィギュレーション チャンネル)
CCG3	Cable Controller Generation 3 (第 3 世代ケーブル コントローラー)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査); エラー チェック プロトコルの一種
CS	Current Sense (電流検出)
DFP	downstream facing port (ダウンストリーム ポート)
DIO	digital input/output (デジタル入出力); アナログなし、デジタル機能のみを持つ GPIO。GPIO をご参照ください
DRP	dual role port (デュアル ロール ポート)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能読み出し専用メモリ)
EMCA	electronically marked cable assembly (電子的マーク付きケーブル アセンブリ); 定格電流などのケーブル特性を Type-C ポートに報告する IC を内蔵した USB ケーブル
EMI	electromagnetic interference (電磁干渉)
ESD	electrostatic discharge (静電気放電)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)
IC	integrated circuit (集積回路)
IDE	integrated development environment (統合開発環境)
I ² C (別名: IIC)	Inter-Integrated Circuit (インター インテグレートド サーキット); 通信プロトコルの一種
ILO	internal low-speed oscillator (内部低速発振器)。IMO をご参照ください
IMO	internal main oscillator (内部主発振器)。ILO をご参照ください
入出力	input/output (入出力)。GPIO をご参照ください
LDO	low-dropout regulator (低ドロップアウトレギュレータ)
LVD	low-voltage detect (低電圧検出)

表 46. 本書で使用される略語 (続き)

略語	説明
LVTTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)
MCU	microcontroller unit (マイクロコントローラー ユニット)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割込み)
NVIC	nonmaskable interrupt (ネスト型ベクタ割込みコントローラー)
オペアンプ	operational amplifier (演算増幅器)
OCP	overcurrent protection (過電流保護)
OTP	over temperature protection (過熱保護)
OVP	overvoltage protection (過電圧保護)
OVT	overvoltage tolerant (過電圧許容)
PCB	printed circuit board (プリント回路基板)
PD	power delivery (パワー デリバリー)
PGA	programmable gain amplifier (プログラマブルゲインアンプ)
PHY	physical layer (物理層)
POR	power-on reset (パワーオン リセット)
PRES	precise power-on reset (高精度パワーオン リセット)
PSoC®	Programmable System-on-Chip™ (プログラマブル システムオンチップ)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (二乗平均平方根)
RTC	real-time clock (リアルタイム クロック)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SCL	I ² C serial clock (I ² C シリアル クロック)
SCP	short circuit protection (短絡保護)
SDA	I ² C serial data (I ² C シリアル データ)
S/H	sample and hold (サンプル/ホールド)
SHA	secure hash algorithm (セキュア ハッシュ アルゴリズム)
SPI	Serial Peripheral Interface (シリアル ペリフェラル インターフェース); 通信プロトコルの一種
SRAM	static random access memory (スタティック ランダム アクセス メモリ)

表 46. 本書で使用される略語 (続き)

略語	説明
SWD	serial wire debug (シリアル ワイヤ デバッグ); テスト プロトコルの一種
TX	transmit (送信)
Type-C	薄型 USB コネクタとリバーシブルなケーブルの 新規格。最大 100W までの電力を提供することが 可能
UART	Universal Asynchronous Transmitter Receiver (ユニバーサル非同期トランスミッタレシーバ); 通信プロトコルの一種
USB	Universal Serial Bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入出力); USB ポートへの 接続に使用される CCG2 ピン
UVP	undervoltage protection (低電圧保護)
XRES	external reset I/O pin (外部リセット I/O ピン)

本書の表記法

測定単位

表 47. 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
KB	1024 バイト
kHz	キロヘルツ
kΩ	キロオーム
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル毎秒
V	ボルト

改訂履歴

文書名 : EZ-PD™ CCG3PA データシート、USB Type-C ポート コントローラー 文書番号 : 002-19541			
版	ECN	発行日	変更内容
**	5740468	07/06/2017	これは英語版 002-16951 Rev. *D を翻訳した日本語版 Rev. ** です。
*A	6077025	02/21/2018	これは英語版 002-16951 Rev. *E を翻訳した日本語版 002-19540 Rev. *A です。
*B	6783794	01/28/2020	これは英語版 002-16951 Rev. *F を翻訳した日本語版 002-19540 Rev. *B です。
*C	6981523	10/12/2020	これは英語版 002-16951 Rev. *G を翻訳した日本語版 002-19540 Rev. *C です。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® マイクロコントローラー	cypress.com/arm
車載向け	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
モノのインターネット (IoT)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラー	cypress.com/mcu
PSoC	cypress.com/psoc
パワー マネージメント IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス接続	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#)
| [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

ユニバーサル シリアル バス仕様への準拠性に関する告知。サイプレスは、ユニバーサル シリアル バス仕様、USB Type-C™ ケーブルとコネクタ仕様、および他の USB Implementers Forum, Inc. (USB-IF) の仕様準拠していると認証されたファームウェアおよびハードウェア ソリューションをご提供します。サンプル コードを含むサイプレスまたはサードパーティのソフトウェア ツールを使用し、ユーザーはサイプレス USB 製品のファームウェアを修正する場合があります。そのようなファームウェアの修正によって、ファームウェアとハードウェアの組合せが該当する USB-IF 仕様準拠しなくなる可能性があります。ユーザーは、行ったあらゆる修正の準拠性の保証について全責任を負い、行った修正に関連する USB-IF の商標やロゴを使用する前に USB-IF の準拠性の要件に従わなければならない。また、サイプレスがユーザーの仕様に基づいてファームウェアを修正する場合、ユーザーが修正を行ったかのようにあらゆる所望の規格や仕様への準拠性の保証について責任を負います。ユーザーが認証済みのサイプレス製品を修正し、修正された製品がもはや該当する USB-IF 仕様準拠しない場合、サイプレスには責任がありません。

© Cypress Semiconductor Corporation, 2016-2020. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、交換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のために設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。