

HyperFlash™和 HyperRAM™布局指南

作者： Arthur Claus、Umesh Painaik

相关器件系列： S26KL-S、S26KS-S、S27KL-S、S27KS-S

AN211622 介绍了将赛普拉斯 HyperFlash 或 HyperRAM 器件放置在 PCB 上进行布局时的注意事项。

1 简介

本文档为您提供所设计的包含赛普拉斯 HyperBus™ NOR 闪存（S27KL/S27KS）和 DRAM 存储器（S26KL/S26KS）产品的 PCB 时用到的通用设计建议。这些指南包括信号完整性和电源供应指南。

一般情况下，为了获得最大性能，PCB 设计应该提供阻抗受控的信号路由、支持低阻抗电源供应系统并能够控制 EMI。

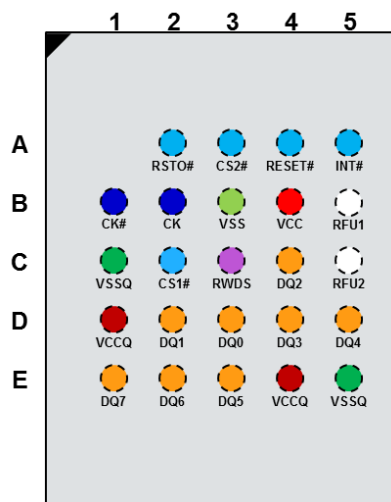
本文档所提供的指南并不代表不需要执行信号完整性/电源供应模拟。您应该将它作为带有赛普拉斯 HyperBus 存储器的 PCB 设计的初始参考资料使用。您应该利用赛普拉斯提供的 IBIS 模块（以及控制器供应商所提供的 IBIS 模块）进行信号时序/串扰模拟。此外，应该始终根据经验来验证原型和验证构建单位上的实际信号特性。

如果您的设计无法满足这些建议，那么应该执行详细的模拟，以确定这些异常是否影响 HyperBus 总线性能。

2 信号描述

以下表格和框图介绍了在 HyperBus 存储器中使用的各种引脚（及其功能）。

图 1. HyperBus FAB024 和 VAA024 球形焊盘映射图（俯视图，焊球朝下）



注意：在表 3 中，RFU1 和 RFU2 被组合为 RFU。

表 1. 标准集 I/O 信号摘要

符号	类型	说明
CS#	主出从入	芯片选择。当该信号从高电平转为低电平时，将启动 HyperFlash 总线上的数据传输。如果该信号从低电平变为高电平，那么会结束 HyperBus 总线上的数据传输。
CK、CK#	主出从入	差分时钟。命令/地址/数据信息可以是输入方向，也可以是输出方向，具体取决于 CK 和 CK# 信号的交叉。 CK# 仅适用于 1.8 V 的器件，在 3 V 器件上，可以将该信号处于悬空状态或被连接到 CK 信号。
DQ[7..0]	输入/输出	数据输入 / 输出。在读写操作期间，通过这些 DQ 信号传输指令-地址/数据信息。
RWDS	输入/输出	读写数据选通。在读取操作时，输出数据是和 RWDS 边沿对齐的。

表 2. 可选 I/O 信号摘要

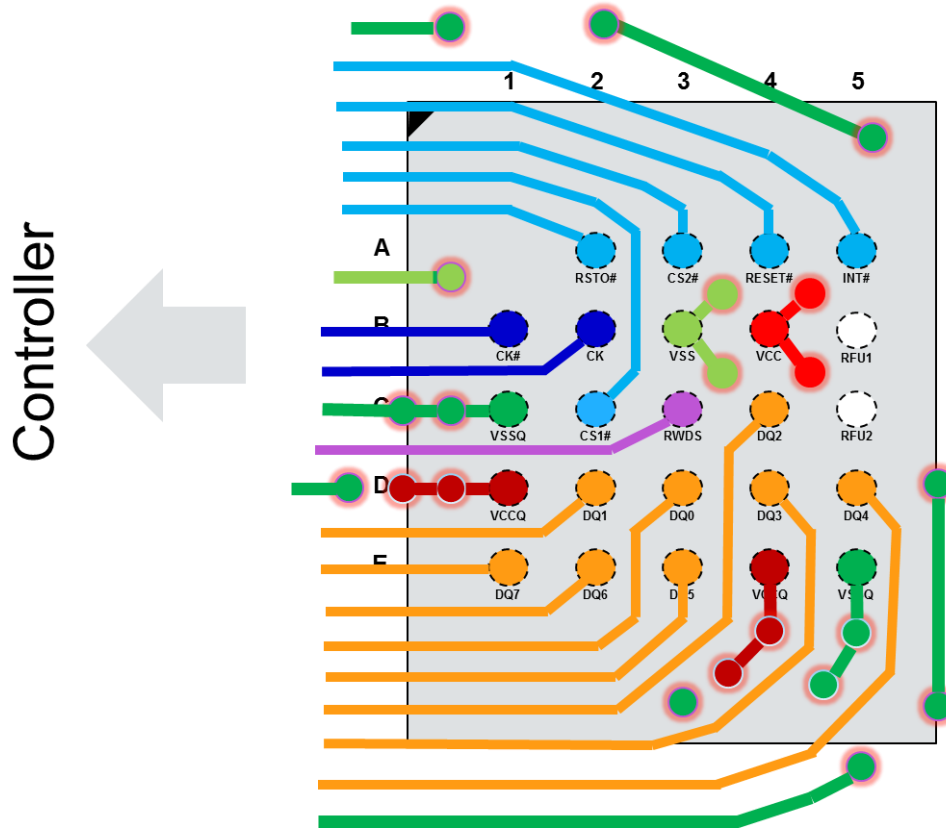
符号	类型	说明
RESET#	主出-从入，内部上拉电阻	硬件复位。当该引脚为低电平时，器件将进行自初始化并返回到阵列读取状态。当 RESET# 为低电平时，RWDS 和 DQ[7:0] 将进入高阻态。RESET# 包括一个弱上拉电阻，如果 RESET# 保持未连接状态，它将被上拉到高电平状态。
RSTO#	主入-从出，开漏	RSTO# 输出。RSTO# 是一个开漏输出信号，用于指示器件中发生 POR 事件的时间。该信号可作为系统级复位信号。内部 POR 事件完毕后，如果用户定义的超时时间结束，RSTO# 信号将从低电平切换到高阻态。成功切换到高阻态后，外部上拉电阻将 RSTO# 置为高电平，此时，器件会立即进入空闲状态。
INT#	主入-从出，开漏	INT 输出。当该信号处于低电平状态时，表明器件已经发生了一个内部事件。该信号用作器件的系统级中断，用来指示已发生了一个片上事件。INT# 是一个开漏输出。

表 3. 其它封装连接信号摘要

符号	类型	说明
VCC	电源	内核电源
VCCQ	电源	输入/输出电源
VSS	电源	内核接地
VSSQ	电源	输入 / 输出接地
NC	无连接	内部无连接。信号/球形焊盘可以用作为 PCB 中路线通道的一部分。
RFU	保留	保留给未来使用。内部可以连接或者不连接，但考虑到未来的兼容性，信号/球形焊盘位置不应连接和被 PCB 路线通道使用。信号/球形焊盘未来可供信号使用。
DNU	无连接	请勿使用。保留给赛普拉斯使用。信号/球形焊盘被内部连接。信号/球形焊盘在 PCB 上必须悬空。

3 封装引出的建议

图 2. FAB024 和 VAA024 PCB 引出



注意：即使上面显示的是 CS1#和 CS2#，但只引出了进行指定配置时需要的芯片选择信号（请参考应用数据手册）

- 如图 2 所示，可以引出顶层上的所有信号，然后将它们重新定向到控制器。这只是多种引出方案中的一种。如果需要引出电路板各层上的信号，可以使用满足本章节和通用信号路由指南章节中的路由和电源供应指南中要求的不同引出方案。
- 至少要通过两个过孔（与每个焊球相邻）将 VSSQ 和 VSS 路由到 VSS 层。从焊盘到过孔的走线应该尽可能厚。
- 至少要通过两个过孔（与每个焊球相邻）将 VCC 和 VCCQ 路由到 VCC 层。从焊盘到过孔的走线应该尽可能厚。
- 如图 2 所示，优先按照控制器方向引出 DQ (0-7) 和 RWDS 信号，从而最小化 HyperBus 存储器和控制器间的数据通道长度。
- 应该采用耦合方式引出 CK 和 CK#，例如：在整个引出域中，要尽可能维持这些信号的相同走线宽度和走线间距（这些信号退出引出域时，也需要满足同样的要求）。此外，如果可能，请尽量使用 VSS 保护走线将各时钟屏蔽掉。
- 应该在顶层上引出所有信号，同时在下方保持一个实心 VSS。这样可使分组走线和分组域外的走线间具有更佳的阻抗控制和阻抗匹配。
- 上面所示的 VSS 保护走线可作为其他接口的信号的附加参考走线，要保持这些走线平整，并被连接到 VSS 层（仅在图形上显示为走线）。
- 在 PCB 引出域中，使用以下各 SMT 建议：
 - 球-球间距：1.00 mm

- 球形焊盘大小：0.35 mm
- SR 打开时大小：0.5 mm
- 最小走线宽度和走线间距：各走线间距不能小于 4 mil（走线宽度至少为 4 mil；走线间距为 4 mil）。路由操作清除引出区域时，建议按照本节提到的通用路由指南进行操作。
- 使用通孔将引出走线连接到内层时，应考虑潜在的过孔耦合效应（从某个信号过孔到另一个信号过孔）在引出区域中的影响。最好不要使用过孔进行 DQ0-DQ7 和 RWDS 信号路由。如果必须使用过孔，应尽量减少过孔数量，并在 DQ0-7 和 RWDS 上使用相同的过孔数量。使用 μ via 孔或埋孔（而不是过孔）是最佳选择。

4 通用信号路由指南

以下各指南定义了所建议的阻抗、走线宽度/间距、总长度范围以及长度匹配的要求，以获得最佳的信号完整性和时序余量。

- 应该根据走线阻抗要求决定信号走线的宽度和走线间距的正确值。
- 最好使用实心 VSS 作为所有信号路由层的参考层。参考层不应该具有任何间隙或空隙，以尽量减少回流中断。
- 如果可能，请尽量将模拟信号的接地返回路径与数字噪声隔开。
- 赛普拉斯建议您将 VSS 地层用作所有信号的主要参考层或返回路径。将电源层作为参考层时，必须确保电源层具有低噪声特性，并在各参考层转换间正确拼接，以保证返回路径的连续性（尤其在高频率下）。由于存在连续的实心接地参考层，电源层只是次要的信号参考层。
- 通过考虑 HyperBus 封装长度补偿，所有建议信号路由长度均被定义为从封装引脚（源引脚）到封装引脚（目标引脚）间的长度。
- 建议信号路由的电气属性是基于绝缘材料确定的（此处假设为 FR4 材料）。
- 假设信号的延迟为 166 ps/inch（如果使用 FR4 材料）。您应该使用信号完整性工具来确保这种假设的准确度。
- 应该考虑使用赛普拉斯所提供的 IBIS 模型执行信号完整性模拟，以确定适合您应用的实际指南。以下各指南可作为入门参考资料。
- 通常，信号延迟是在源引脚的 T_{vm} （时序参考电压，一般为 $VCCQ/2$ ）和目标引脚的 T_{vm} 间测量得出的。然而，需要特别注意数据手册中信号的极性，以确定测量时序的边沿（上升沿或下降沿）。

4.1 微波传送带、带状线和共平面的信号路由

表 4. 微波传送带、带状线和共平面上信号路由的比较

微波输送带	带状线	共平面线路
受分散模式和非 TEM（横向电磁场）模式的影响	纯 TEM 模式	受分散模式和非 TEM 模式的影响
制造容易	制造困难	制造相当困难
高密度走线	中密度走线	低密度走线
比较适用于耦合线路结构	适用于耦合线路结构	不适用于耦合线路结构
需要通过过孔接地	需要通过过孔接地	不需要通孔进行接地

- 只要在整个路由路径上能够维持 $50\ \Omega$ ($\pm 10\%$) 的连续走线阻抗，便能够进行微波传送带和带状线信号路由。计算阻抗时，应该模型化层厚度、介电常数等因素的生产容差。
- 如果在电路板上使用了通孔，通常会发生由附加电容负载引起的阻抗不连续以及使用高频率时所导致的电感短截线等问题。通过使用任意与走线相连的过孔，可以更改该走线的延迟。因此，建议使用最少数的 μ via 孔或埋孔。
- 要想保持它们间紧密结合，DQ0-DQ7 和 RWDS 应该具有数量相同的过孔和层更改。这样便能确保数据信号和附带选通具有相同的有效延迟。
- 建议在同一个信号层上路由 DQ0-DQ7 和 RWDS。
- 应该使用共面方式路由 CK 和 CK#，同时维持单端阻抗为 $50\ \Omega$ ，差分阻抗为 $100\ \Omega$ （额定值）。

4.2 信号路由长度限制

4.2.1 总长度最大值

- 其参考层的 DQ 信号（包括 RWDS）的最大绝对总长度由总负载电容决定，而总负载电容直接影响着信号质量。
 - 总负载电容应小于 $20\ \text{pF}$ 。
 - 总负载电容包括以下各项：
 - 总线路长度电容（假设使用 FR4 材料，该值为 $\sim 3.3\ \text{pF/英寸}$ ）
 - 控制器封装的最大封装引脚电容
 - 相应于过孔等任意寄生电容

4.2.2 长度匹配

- 长度匹配涉及到从 HyperBus 存储器封装引脚到控制器信号引脚的长度，必须包括过孔的有效电气长度。

信号组	长度匹配容差（166 MHz）	长度匹配容差（100 MHz）
CK 到 CK#	$\pm 10\ \text{mils}$	$\pm 20\ \text{mils}$
RWDS 到 DQ0-7	$\pm 25\ \text{mils}$	$\pm 50\ \text{mils}$
DQx (0-7) 到 DQy (0-7)	$\pm 50\ \text{mils}$	$\pm 100\ \text{mils}$
CK/CK#到 DQ0-7	$\pm 500\ \text{mils}$	
CK/CK#到 CS#	$\pm 1500\ \text{mils}$	
CK/CK#到 RWDS	$\pm 1500\ \text{mils}$	
RESET#到 RSTO#到 CS#	$\pm 2000\ \text{mils}$	

4.2.3 其它信号的信号间距限制

- CK 和 CK#: > 2H
- RWDS > 2H
- DQ0~DQ7 > 1.5H
- CS#、CS2#: > 1.5H
- INT#、RESET、RST_N: > 1.5H
 - 其中, H 是信号和 VSS (参考层) 间的介电材料的高度

4.2.4 终端

您应该查看 CK、CS#、RWDS 和 DQ 以及传输线路由的控制器 I/O 的驱动强度/阻抗, 以便确定是否要在这些线上串联终端。

5 电源供应指南

以下各电源供应指南有助于确保系统不会发生任何电源问题:

- 通过实心接地层自己的过孔 (若可以, 至少使用两个过孔), 将 VSS/VSSQ 球形焊盘连接到该接地层。这样可以改善 IR 压降问题。
- 通过单电源层自己的过孔 (若可以, 至少使用两个过孔), 将 VCC/VCCQ 球形焊盘连接到该电源层。这样可以改善 IR 压降问题。
- 将 HyperBus 的 VCC/VCC 与其他噪声源隔离开。如果 HyperBus 和非 HyperBus 总线的电源必须放置在同一层上, 那么它们之间的距离要大于 40 mil。此外, 如果可以, 请在各层间加屏蔽 VSS 保护走线, 以提高隔离效果。
- 建议保持电源走线长度 ≤ 400 mil, 走线宽度 ≥ 20 mils。这些建议适用于 HyperBus 存储器、MCU 以及电压调节器路由。
- 从电压调节器到 HyperBus I/F 电源引脚以及从电压调节器到控制器 HyperBus I/F 电源引脚的路由过程中, 维持低阻抗路由 (走线长度大于 20 mil)。
建议尽可能使 VCC/VSS 测试点靠近 HyperBus 存储器封装, 并放置在电压调节器旁边。这样能够测量 VRM 和 HyperBus 存储器封装中的 VCC-VSS 波形。

请按照微控制器和 VRM 供应商所提供的去耦指南执行操作。

5.1.1 去耦电容建议

- 尽量将以下各 PCB 去耦电容放置在靠近 HyperBus 存储器封装的位置:
 - 至少两个大小为 1 μF 的 0402 陶瓷电容
 - 至少四个大小为 0.1 μF 的 0402 陶瓷电容
 - 将 1 个 1 μF 电容放置在最靠近 D1 (VCCQ) 的位置, 将另一个放在最靠近 E4 的位置。同样, 两个 0.1 μF 电容放置到最靠近 D1, 另外两个最靠近 E4。
 - 如果 VCC 和 VCCQ 短路, 请确保短路尽可能低阻抗。如果短路不是低阻抗, 建议在 VCC 引脚附近添加 0.1 μF 和 1 μF 电容。
- 选定的电容应该具有低 ESL 和 ESR。
- 从电容路由的 VCC 和 VSS 走线的宽度应尽可能大, 以避免电感/电阻引起的影响。
- 如果额定电压 ≥ 6.3 V, 建议使用 X7R 或 X5R 电容。
- 只要电容电性接近 DQ 路由和 VCCQ/VSSQ 引脚, 便可以将电容放置在顶层或底层上 (例如, 使用非常厚的电路板时, 不能将电容放置在底层上)。

6 测试点和示波器测量

应该按照行业标准中高速数字信号评估技术来执行信号质量、时序和电源供应特性。这些技术的概况包括：

- 对于 DQ0-7/RWDS 信号，应该尽可能将测试点放置在靠近控制器的位置，对于所有其他信号，则将其放置在靠近 HyperBus 存储器封装的位置。
- 驱动控制器时，进行观察有意义信号时，应尽可能选择靠近 HyperBus 存储器的位置。驱动 HyperBus 存储器时，尽可能选择靠近控制器的位置测试这些信号。
- 创建一个测试焊盘时，应使这种焊盘引起的截线尽可能短（导致附加的电感和电容）。如果您可以在引出过孔上测试信号，那么无需创建测试焊盘短截线。此外，在使用具有通孔的 4 层 PCB 的情况中，如果可以，请在 PCB 底层上的过孔测试各信号。
- 执行示波器测量时，使用 6 GHz 或更大带宽的示波器和低阻抗探针。这样做，您可以更加准确地观察波形转换（如波形的上升部分和下降部分）。
- 始终要在控制器、电压调节器、连接器旁边（双侧）和 HyperBus 存储器上测量 VCC-VSS。进行信号测量前，需要完成该操作，以免噪声电源。噪声电源会影响信号的时序。此外，这些测量操作会确定从调节器到控制器或从调节器到 HyperBus 存储器的 IR 压降。
- 测量信号时，建议将触发器设置为最通用的开关信号（如时钟或 RWDS）。

文档修订记录

文档标题: AN211622 — HyperFlash™和 HyperRAM™布局指南

文档编号: 002-12551

版本	ECN	变更者	提交日期	变更说明
**	5264776	RING	05/18/2016	本文档版本号为 Rev**, 译自英文版 002-11622 Rev**。
*A	6531765	SSAS	04/03/2019	本文档版本号为 Rev*A, 译自英文版 002-11622 Rev*B。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、原厂代表和经销商组成的全球性网络。如欲查找离您最近的办事处，请访问赛普拉斯所在地。

产品

Arm® Cortex®微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmhc
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC®解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

此处引用的所有其他商标或注册商标归其各自所有者所有。



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-
1709

© 赛普拉斯半导体公司，2016-2019 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用者应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSOC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。