

**PowerSnooze™ および ECC 付 16M ビット
(1M ワード × 16 ビット) スタティック RAM**
特長

- 高速
 - $t_{AA}=10\text{ns}$
- 超低消費電力 PowerSnooze™^[1] デバイス
 - ディープスリープ (DS) 電流 $I_{DS}=22\mu\text{A}$ (Max)
- 低いアクティブ/スタンバイ消費電流
 - $I_{CC}=90\text{mA}$ (Typ)
 - $I_{SB2}=20\text{mA}$ (Typ)
- 広い動作電圧範囲: 1.65V~2.2V、2.2V~3.6Vおよび4.5V~5.5V
- シングルビット エラー訂正用の組込みエラー訂正コード (ECC)
- 1.0V データ保持
- トランジスタ-トランジスタロジック (TTL) と互換性のある入出力
- 1ビット エラー検出と訂正を示すエラー表示 (ERR) ピン
- 鉛フリー 48ピン TSOP I、54ピン TSOP II および 48ボール VFBGA パッケージで実装

機能の説明

CY7S1061G / CY7S1061GE は 1,048,576 ワード (各ワードが 16ビット) で構成される高性能 CMOS の高速スタティック RAM です。このデバイスは高速アクセス時間 (10ns) および独自の超低消費電力のディープスリープモードを備えています。最大 22 μA の低いスリープモード電流で、CY7S1061G デバイスは業界標準のパッケージ オプションで高速かつ低消費電力 SRAM の最高機能を兼ね備えています。また、デバイスは組込み ECC^[2] も備えています。ECC ロジックは、アクセスされた場所でシングルビット エラーを検出し、訂正します。CY7S1061GE デバイスは読み出しサイクル中のエラー検出と訂正のイベントを通知する ERR ピンを備えています。

シングルチップ イネーブル入力を持つデバイスは、チップ イネーブル入力 (CE) を LOW にアサートすることでアクセスします。デュアルチップ イネーブル デバイスは、両方のチップイ

ネーブル入力を (\overline{CE}_1 を LOW に、 \overline{CE}_2 を HIGH に) アサートしてアクセスします。

データ書き込みは、書き込みイネーブル (\overline{WE}) 入力を LOW にアサートし、データとアドレスをデバイスのそれぞれデータピン ($I/O_0 \sim I/O_{15}$) とアドレスピン ($A_0 \sim A_{19}$) に提供して実行します。上位バイト イネーブル (\overline{BHE}) と下位バイト イネーブル (BLE) 入力はバイト書き込みを制御し、対応する I/O ライン上のデータを指定されたメモリ位置に書き込みます。 \overline{BHE} は $I/O_8 \sim I/O_{15}$ を制御し、BLE は $I/O_0 \sim I/O_7$ を制御します。

データ読み出しは、出力イネーブル (\overline{OE}) 入力をアサートし、アドレスライン上に必要なアドレスを提供して実行します。読み出しデータは、I/O ライン ($I/O_0 \sim I/O_{15}$) 上でアクセスできます。バイトアクセスは、必要なバイトイネーブル信号 (\overline{BHE} または BLE) をアサートし、指定されたアドレス位置からデータの上位バイトまたは下位バイトのいずれかを読み出すことで実行します。

全ての I/O ($I/O_0 \sim I/O_{15}$) は、デバイスが選択解除される (シングルチップ イネーブル デバイスでは CE が HIGH、デュアルチップ イネーブル デバイスでは \overline{CE}_1 が HIGH、 \overline{CE}_2 が LOW)、または制御信号 (\overline{OE} 、BLE、 \overline{BHE}) がアサート解除される時、高インピーダンス状態になります。

ディープスリープピン (DS) が LOW の場合、デバイスは低消費電力のディープスリープモードに入ります。この状態では、デバイスの通常動作が無効になり、デバイスはデータ保持モードに移行させられます。ディープスリープピン (DS HIGH) をアサートすることでデバイスをアクティブにすることができ

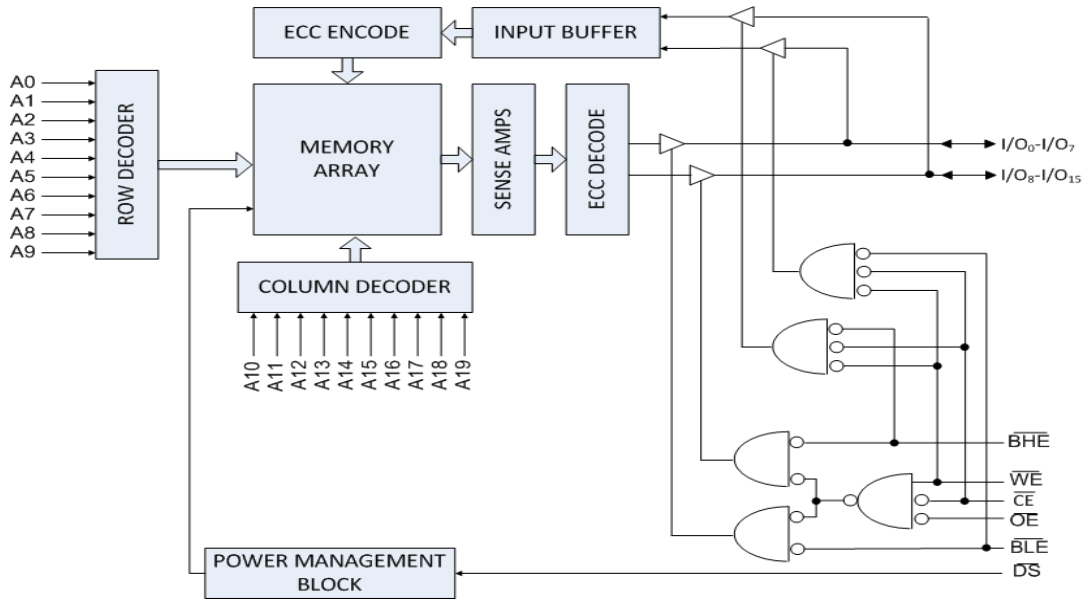
CY7S1061G / CY7S1061G は 48ピン TSOP I、54ピン TSOP II および 48ボール VFBGA パッケージで提供されます。

すべての関連資料の一覧については、[ここをクリックしてください](#)。

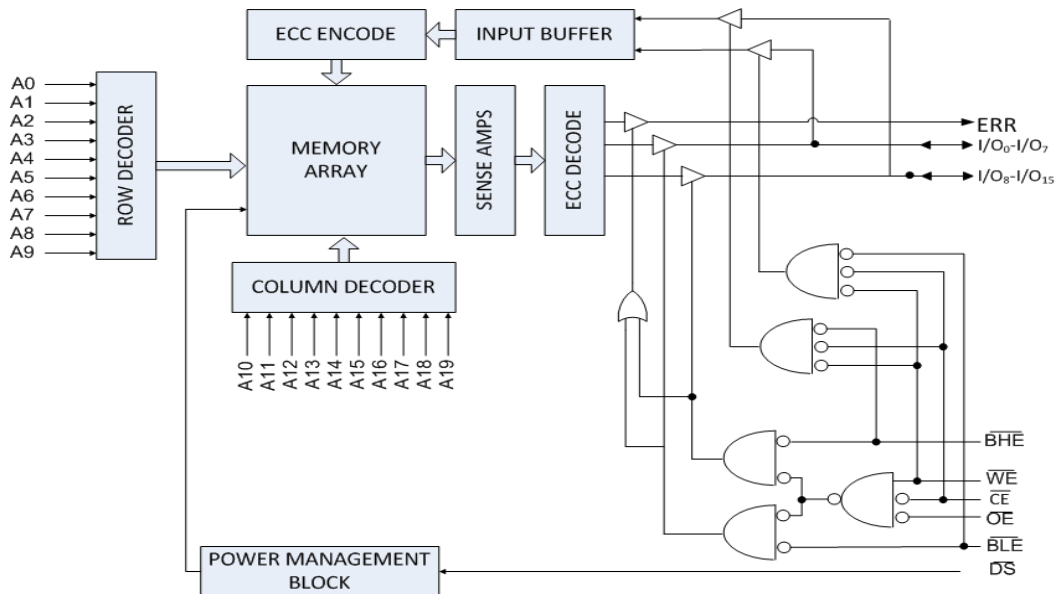
製品ポートフォリオ

製品	範囲	V_{CC} の範囲 (V)	速度 (ns)	消費電流					
				動作時 I_{CC} (mA)		スタンバイ時 I_{SB2} (mA)		ディープスリープ電流 (μA)	
				$f=f_{\text{max}}$					
				Typ ^[3]	Max	Typ ^[3]	Max	Typ ^[1]	Max
CY7S1061G18	産業用	1.65V ~ 2.2V	15	70	80	20	30	8	22
CY7S1061G(E)30		2.2V ~ 3.6V	10	90	110				
CY7S1061G		4.5 ~ 5.5V	10	90	110				

論理ブロック図 - CY7S1061G



論理ブロック図 - CY7S1061GE



- 注:
1. このデバイスの PowerSnooze™ 機能詳細は、AN89371 をご参照ください。
 2. このデバイスは、エラー検出時の自動再書き込みをサポートしません。
 3. Typ 値は単に参考値であり、保証またはテストされていません。Typ 値は、 $V_{CC}=1.8V$ (V_{CC} が 1.65V ~ 2.2V の場合)、 $V_{CC}=3V$ (V_{CC} が 2.2V ~ 3.6V の場合)、 $V_{CC}=5V$ (V_{CC} が 4.5V ~ 5.5V の場合)、 $T_A=25^{\circ}C$ で測定しています。

目次

ピン配置	4	注文情報	17
最大定格	7	注文コードの定義	17
動作範囲	7	パッケージ図	18
DC 電気的特性	7	略語	21
静電容量	8	本書の表記法	21
熱抵抗	8	測定単位	21
AC テストの負荷と波形	8	改訂履歴	22
データ保持特性	9	セールス、ソリューションおよび法律情報	23
データ保持波形	9	ワールドワイド販売と設計サポート	23
ディープスリープ モード特性	10	製品	23
AC スイッチング特性	11	PSoC® ソリューション	23
スイッチング波形	12	サイプレス開発者コミュニティ	23
真理値表	16	テクニカル サポート	23
ERR 出力 – CY7S1061GE	16		

ピン配置

図 1. 48 ボール VFBGA (6×8×1.0mm) ピン配置 (上面図) ^[4]

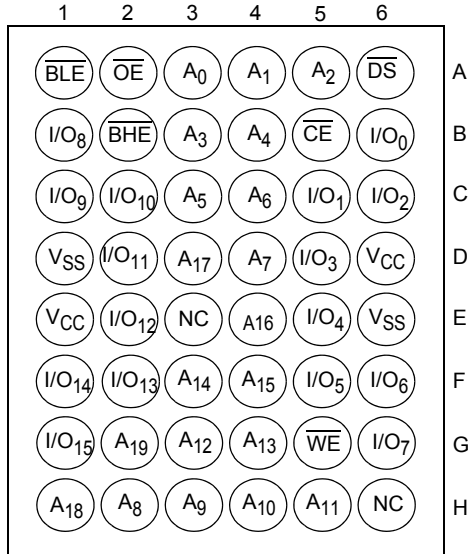
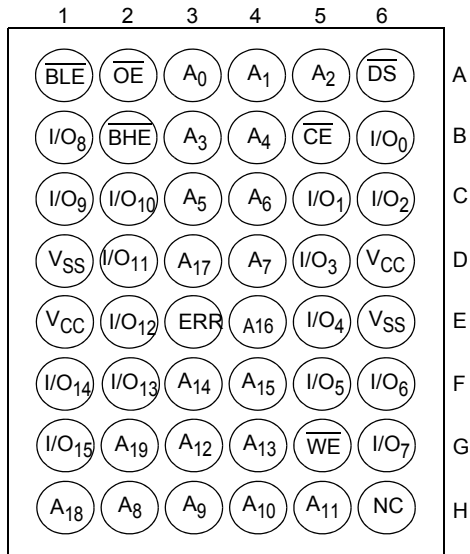


図 2. 48 ボール VFBGA (6×8×1.0mm) ピン配置、ERR 付き (上面図) ^[4]

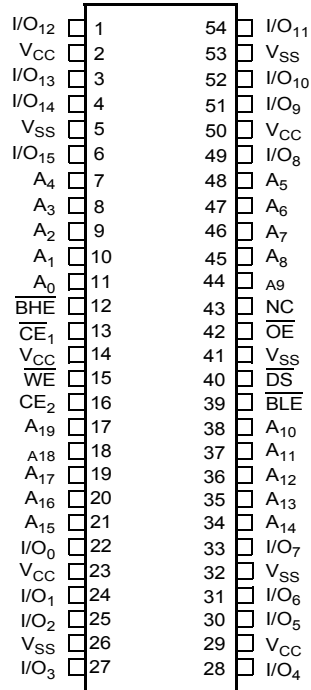


注:

4. NC ピンはダイに接続されていません。

ピン配置 (続き)

図 3. 54 ピン TSOP II (22.4×11.84×1.0mm) ピン配置 [5]



注:

5. NC ピンはダイに接続されていません。

ピン配置 (続き)

図 4. 48 ピン TSOP I (12x18.4x1mm) ピン配置 (上面図) [6]

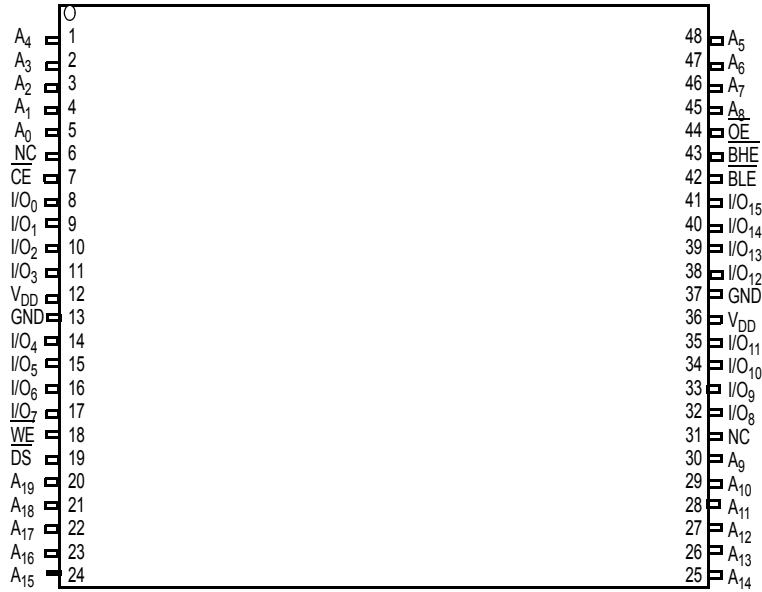


図 5. 48 ピン TSOP I (12x18.4x1mm) ピン配置、ERR 出力はピン 6 に位置 (上面図)



注:
6. NC ピンはダイに接続されていません。

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザーガイドラインはテストされていません。

保存温度 -65° ~ +150°C

通電時の周囲温度 -55°C ~ +125°C

GND を基準とした V_{CC} の電源電圧 [7] ... -0.5V ~ $V_{CC}+0.5V$

High Z 状態の出力に印加される

電圧 [7] -0.5V ~ $V_{CC} + 0.5V$

DC 入力電圧 [7] -0.5V ~ $V_{CC}+0.5V$

出力 (LOW) への電流 20mA

静電気放電電圧

(MIL-STD-883、Method 3015) >2001V

ラッチアップ電流 >140mA

動作範囲

範囲	周囲温度	V_{CC}
産業用	-40°C ~ +85°C	1.65V ~ 2.2V、 2.2V ~ 3.6V、 4.5V ~ 5.5V

DC 電気的特性

動作範囲 -40°C ~ +85°C

パラメーター	説明	テスト条件	10ns / 15ns			単位	
			Min	Typ ^[8]	Max		
V_{OH}	出力 HIGH 電圧	1.65V ~ 2.2V $V_{CC}=\text{Min}$ 、 $I_{OH}=-0.1\text{mA}$	1.4	-	-	V	
		2.2V ~ 2.7V $V_{CC}=\text{Min}$ 、 $I_{OH}=-1.0\text{mA}$	2.0	-	-		
		2.7V ~ 3.0V $V_{CC}=\text{Min}$ 、 $I_{OH}=-4.0\text{mA}$	2.2	-	-		
		3.0V ~ 3.6V $V_{CC}=\text{Min}$ 、 $I_{OH}=-4.0\text{mA}$	2.4	-	-		
		4.5V ~ 5.5V $V_{CC}=\text{Min}$ 、 $I_{OH}=-4.0\text{mA}$	2.4	-	-		
		4.5V ~ 5.5V $V_{CC}=\text{Min}$ 、 $I_{OH}=-0.1\text{mA}$	$V_{CC} - 0.4$ ^[9]	-	-		
V_{OL}	出力 LOW 電圧	1.65V ~ 2.2V $V_{CC}=\text{Min}$ 、 $I_{OL}=0.1\text{mA}$	-	-	0.2	V	
		2.2V ~ 2.7V $V_{CC}=\text{Min}$ 、 $I_{OL}=2\text{mA}$	-	-	0.4		
		2.7V ~ 3.6V $V_{CC}=\text{Min}$ 、 $I_{OL}=8\text{mA}$	-	-	0.4		
		4.5V ~ 5.5V $V_{CC}=\text{Min}$ 、 $I_{OL}=8\text{mA}$	-	-	0.4		
V_{IH} ^[7、10]	入力 HIGH 電圧	1.65V ~ 2.2V -	1.4	-	$V_{CC}+0.2$	V	
		2.2V ~ 2.7V -	2.0	-	$V_{CC}+0.3$		
		2.7V ~ 3.6V -	2.0	-	$V_{CC}+0.3$		
		4.5V ~ 5.5V -	2.2	-	$V_{CC}+0.5$		
V_{IL} ^[7、10]	入力 LOW 電圧	1.65V ~ 2.2V -	-0.2	-	0.4	V	
		2.2V ~ 2.7V -	-0.3	-	0.6		
		2.7V ~ 3.6V -	-0.3	-	0.8		
		4.5V ~ 5.5V -	-0.5	-	0.8		
I_{IX}	入力リーク電流	$GND \leq V_{IN} \leq V_{CC}$ (DS を除くすべてのピン) $V_{IN} = GND$ (または) $V_{IN} \geq V_{IH}$ (DS ピンのみ)	-1.0	-	+1.0	μA	
I_{OZ}	出力リーク電流	$GND \leq V_{OUT} \leq V_{CC}$ 、出力無効	-1.0	-	+1.0	μA	
I_{CC}	V_{CC} の動作時電源電流	$V_{CC}=\text{Max}$ 、 $I_{OUT}=0\text{mA}$ 、 CMOS レベル	f=100MHz	-	90.0	110.0	mA
			f=66.7MHz	-	70.0	80.0	
I_{SB1}	スタンバイ電流 - TTL 入力	Max V_{CC} 、 $\overline{CE}^{[11]} \geq V_{IH}$ 、 $V_{IN} \geq V_{IH}$ または $V_{IN} \leq V_{IL}$ 、 f=f _{MAX}	-	-	40.0	mA	
I_{SB2}	スタンバイ電流 - CMOS 入力	Max V_{CC} 、 $\overline{CE}^{[11]} \geq V_{CC}-0.2V$ 、 $DS \geq V_{CC}-0.2V$ 、 $V_{IN} \geq V_{CC}-0.2V$ または $V_{IN} \leq 0.2V$ 、f=0	-	20.0	30.0	mA	
I_{DS}	ディープスリープ電流	Max V_{CC} 、 $\overline{CE}^{[11]} \geq V_{CC}-0.2V$ 、 $DS \leq 0.2V$ 、 $V_{IN} \geq V_{CC}-0.2V$ または $V_{IN} \leq 0.2V$ 、f=0	-	8.0	22.0	μA	

注:

7. 20ns 未満のパルス幅の場合、 $V_{IL}(\text{min}) = -2.0V$ および $V_{IH}(\text{max}) = V_{CC}+2V$ 。

8. 3.0V、25°C における分布の中央値で、完全にはテストされていない値。Typ 値は、 $V_{CC}=1.8V$ (V_{CC} が 1.65V ~ 2.2V の場合)、 $V_{CC}=3V$ (V_{CC} が 2.2V ~ 3.6V の場合)、 $V_{CC}=5V$ (V_{CC} が 4.5V ~ 5.5V の場合)、 $T_A=25^\circ\text{C}$ で測定しています。

9. このパラメーターは設計保証であり、テストは行われていません。

10. DS ピンについては、 $V_{IH}(\text{min})$ が $V_{CC}-0.2V$ で、 $V_{IL}(\text{max})$ が 0.2V です。

11. 全てのデュアル チップ イネーブル デバイスでは、CE は CE₁ と CE₂ の論理結合です。CE₁ が LOW であり、CE₂ が HIGH である時、 \overline{CE} は LOW ; CE₁ が HIGH である、または CE₂ が LOW である時、CE は HIGH です。

静電容量

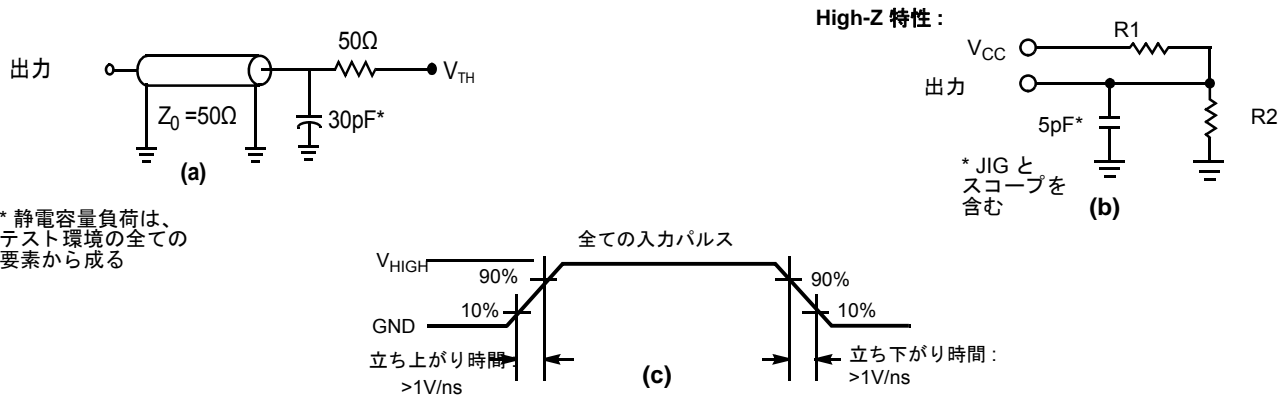
パラメーター ^[12]	説明	テスト条件	全てのパッケージ	単位
C_{IN}	入力容量	$T_A = 25^\circ\text{C}$, $f = 1\text{MHz}$, $V_{CC}(\text{typ})$	10	pF
C_{OUT}	I/O 容量		10	pF

熱抵抗

パラメーター ^[12]	説明	テスト条件	48 ボール VFBGA	54 ピン TSOP II	48 ピン TSOP I	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	無風状態で 3×4.5 インチの 4 層プリント回路基板にはんだ付け	31.50	93.63	57.99	$^\circ\text{C/W}$
Θ_{JC}	熱抵抗 (接合部からケース)		15.75	21.58	13.42	$^\circ\text{C/W}$

AC テストの負荷と波形

図 6. AC テスト負荷と波形^[13]



パラメーター	1.8V	3.0V	5.0V	単位
R1	1667	317	317	Ω
R2	1538	351	351	Ω
V_{TH}	$V_{CC}/2$	1.5	1.5	V
V_{HIGH}	1.8	3.0	3.0	V

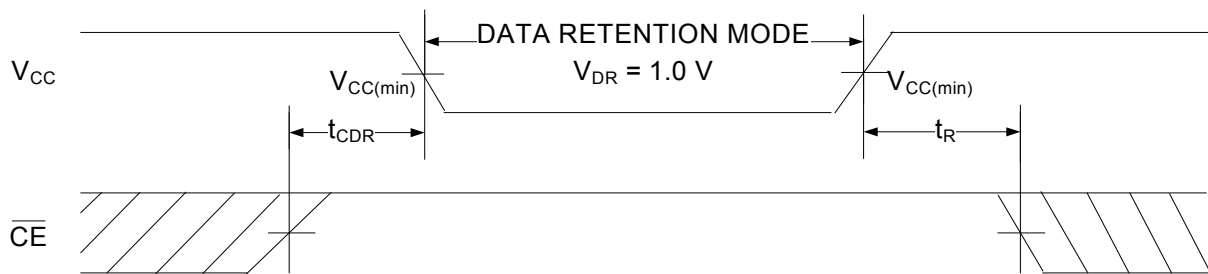
データ保持特性

動作範囲 -40°C ~ +85°C

パラメーター	説明	条件	Min	Max	単位
V_{DR}	データ保持用の V_{CC}		1.0	-	V
I_{CCDR}	データ保持電流	$V_{CC}=V_{DR}$ 、 $\overline{CE} \geq V_{CC}-0.2V$ 、 $\overline{DS} \geq V_{CC}-0.2V$ 、 $V_{IN} \geq V_{CC}-0.2V$ または $V_{IN} \leq 0.2V$	-	30.0	mA
$t_{CDR}^{[14]}$	チップ選択解除からデータ保持までの時間		0	-	ns
$t_R^{[14]}$	動作回復時間	$2.2V < V_{CC} \leq 5.5V$	10.0	-	ns
		$V_{CC} \leq 2.2V$	15.0	-	ns

データ保持波形

図 7. データ保持波形^[15、16]



注:

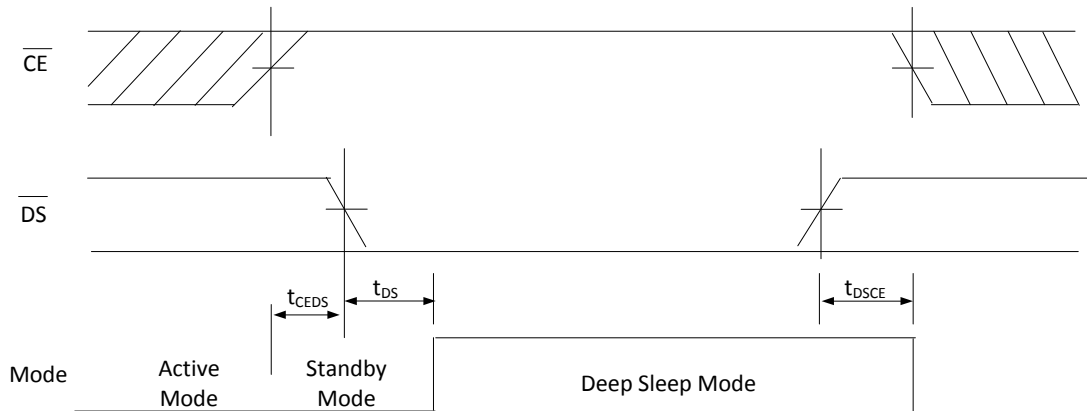
- 14. これらのパラメーターは設計保証であり、テストは行われていません。
- 15. 完全なデバイス動作には、 V_{DR} から $V_{CC}(\min)$ までの V_{CC} 直線ランプ時間が $100\mu s$ 、もしくは $V_{CC}(\min)$ で安定する時間が $100\mu s$ が必要です。
- 16. 全てのデュアルチップイネーブルデバイスでは、 \overline{CE} は CE_1 と CE_2 の論理結合です。 \overline{CE}_1 が LOW であり、 CE_2 が HIGH である時、 \overline{CE} は LOW； \overline{CE}_1 が HIGH である、または CE_2 が LOW である時、 \overline{CE} は HIGH です。

ディープスリープ モード特性

動作範囲 -40°C ~ +85°C

パラメーター	説明	条件	Min	Max	単位
I_{DS}	ディープスリープ モードでの電流	$V_{CC}=V_{CC(max)}$ 、 $\overline{CE}^{[17]} \geq V_{CC}-0.2V$ 、 $\overline{DS} \leq 0.2V$ 、 $V_{IN} \geq V_{CC}-0.2V$ または $V_{IN} \leq 0.2V$	-	22	μA
$t_{CEDS}^{[17, 18]}$	$\overline{CE}^{[17]}$ アサート解除から \overline{DS} アサートまでの時間		100	-	ns
$t_{DS}^{[17, 18]}$	\overline{DS} アサートからディープスリープモード遷移までの時間		-	1	ms
$t_{DSCE}^{[17, 18]}$	\overline{DS} アサート解除から $\overline{CE}^{[17]}$ アサートまでの時間		1	-	ms

図 8. アクティブ、スタンバイおよびディープスリープ動作モード [19]



注：
 17. アドレス、データおよび制御ラインを t_{DS} 以内にトグルしてはいけません。これらは論理レベル V_{IH} または V_{IL} のいずれかに固定すべきです。
 18. これらのパラメーターは設計保証であり、テストは行われていません。
 19. 全てのデュアルチップ イネーブル デバイスでは、 \overline{CE} は CE_1 と CE_2 の論理結合です。 \overline{CE}_1 が LOW であり、 \overline{CE}_2 が HIGH である時、 \overline{CE} は LOW ; \overline{CE}_1 が HIGH である、または \overline{CE}_2 が LOW である時、 \overline{CE} は HIGH です。

AC スイッチング特性

動作範囲 -40°C ~ +85°C

パラメーター [20, 21]	説明	10ns		15ns		単位
		Min	Max	Min	Max	
読み出しサイクル						
t_{power}	V_{CC} (安定) から最初のアクセスまでの時間 [22, 23]	100.0	–	100.0	–	μs
t_{RC}	読み出しサイクル時間	10.0	–	15.0	–	ns
t_{AA}	アドレスからデータ有効 / ERR 有効までの時間	–	10.0	–	15.0	ns
t_{OHA}	アドレス変更からのデータ / ERR ホールド時間	3.0	–	3.0	–	ns
t_{ACE}	\overline{CE} LOW からデータ有効 / ERR 有効までの時間	–	10.0	–	15.0	ns
t_{DOE}	\overline{OE} LOW からデータ有効 / ERR 有効までの時間	–	5.0	–	8.0	ns
t_{LZOE}	\overline{OE} LOW から Low Z までの時間 [24, 25, 26]	0	–	1.0	–	ns
t_{HZOE}	\overline{OE} HIGH から High Z までの時間 [24, 25, 26]	–	5.0	–	8.0	ns
t_{LZCE}	\overline{CE} LOW から Low Z までの時間 [24, 25, 26, 27]	3.0	–	3.0	–	ns
t_{HZCE}	\overline{CE} HIGH から High Z までの時間 [24, 25, 26, 27]	–	5.0	–	8.0	ns
t_{PU}	\overline{CE} LOW から電源投入までの時間 [23]	0	–	0	–	ns
t_{PD}	\overline{CE} HIGH から電源切断までの時間 [23]	–	10.0	–	15.0	ns
t_{DBE}	バイト イネーブルからデータ有効までの時間	–	5.0	–	8.0	ns
t_{LZBE}	バイト イネーブルから Low Z までの時間 [24, 25]	0	–	1.0	–	ns
t_{HZBE}	バイト ディセーブルから High Z までの時間 [24, 25]	–	5.0	–	8.0	ns
書き込みサイクル [28, 29]						
t_{WC}	書き込みサイクル時間	10.0	–	15.0	–	ns
t_{SCE}	\overline{CE} LOW から書き込み終了までの時間 [27]	7.0	–	12.0	–	ns
t_{AW}	アドレス セットアップから書き込み終了までの時間	7.0	–	12.0	–	ns
t_{HA}	書き込み終了からのアドレス ホールド時間	0	–	0	–	ns
t_{SA}	アドレス セットアップから書き込み開始までの時間	0	–	0	–	ns
t_{PWE}	\overline{WE} パルス幅	7.0	–	12.0	–	ns
t_{SD}	データ セットアップから書き込み終了までの時間	5.0	–	8.0	–	ns
t_{HD}	書き込み終了からのデータ ホールド時間	0	–	0	–	ns
t_{LZWE}	\overline{WE} HIGH から Low Z までの時間 [24, 25, 26]	3.0	–	3.0	–	ns
t_{HZWE}	\overline{WE} LOW から High Z までの時間 [24, 25, 26]	–	5.0	–	8.0	ns
t_{BW}	バイト イネーブルから書き込み終了までの時間	7.0	–	12.0	–	ns

注:

20. テスト条件は、信号遷移時間 (立ち上がり / 立ち下がり) が 3ns 以下、タイミング参照レベルが 1.5V ($V_{CC} \geq 3V$ の場合) および $V_{CC}/2$ ($V_{CC} < 3V$ の場合)、入力パルスレベルが 0V から 3V まで ($V_{CC} \geq 3V$ の場合) および 0V から V_{CC} まで ($V_{CC} < 3V$ の場合) であることを前提にします。読み出しサイクル用のテスト条件は、特に記載がない限り、8 ページの図 6 の (a) に示した出力負荷を使用します。
21. チップ アクセスの間、DS は HIGH である必要があります。詳細は AN89371 をご参照ください。
22. t_{POWER} は、電源が V_{CC} で安定してから最初のメモリ アクセスが実行されるまでの最短時間を示します。
23. これらのパラメーターは設計保証であり、テストは行われていません。
24. t_{HZOE} 、 t_{HZCE} 、 t_{HZWE} および t_{HZBE} は、8 ページの図 6 の (b) に示した 5pF の負荷容量で指定されています。Hi-Z、Lo-Z 遷移は定常状態の電圧から $\pm 200mV$ で測定されます。
25. いかなる温度と電圧条件でも、いかなるデバイスでも、 t_{HZCE} は t_{LZCE} より短く、 t_{HZBE} は t_{LZBE} より短く、 t_{HZOE} は t_{LZOE} より短く、 t_{HZWE} は t_{LZWE} より短いです。
26. 開発時、およびこれらのパラメーターに影響を与える可能性がある設計 / プロセス変更があった後にテストされます。
27. 全てのデュアルチップ イネーブル デバイスでは、 \overline{CE} は CE_1 と CE_2 の論理結合です。 CE_1 が LOW であり、 CE_2 が HIGH である時、 \overline{CE} は LOW ; CE_1 が HIGH である、または CE_2 が LOW である時、 \overline{CE} は HIGH です。
28. メモリの内部書き込み時間は $WE = V_{IL}$ 、 $CE = V_{IL}$ および BHE または $\overline{BLE} = V_{IL}$ の条件が同時に発生する時に定義されます。これらの信号は、書き込みを開始するために LOW である必要があります。これらのいずれかが HIGH へ遷移すると書き込みが終了します。入力データのセットアップとホールドのタイミングは書き込みを終了させる信号のエッジを基準にする必要があります。
29. 書き込みサイクル 2 (\overline{WE} 制御、 \overline{OE} LOW) の最短書き込みパルス幅は t_{HZWE} と t_{SD} の和です。

スイッチング波形

図 9. CY7S1061G の読み出しサイクル 1 (アドレス遷移制御) [30, 31]

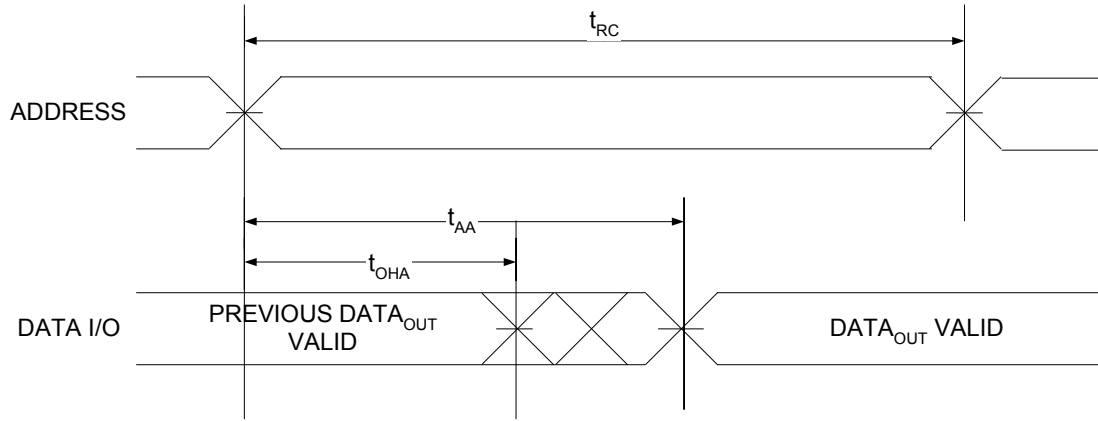
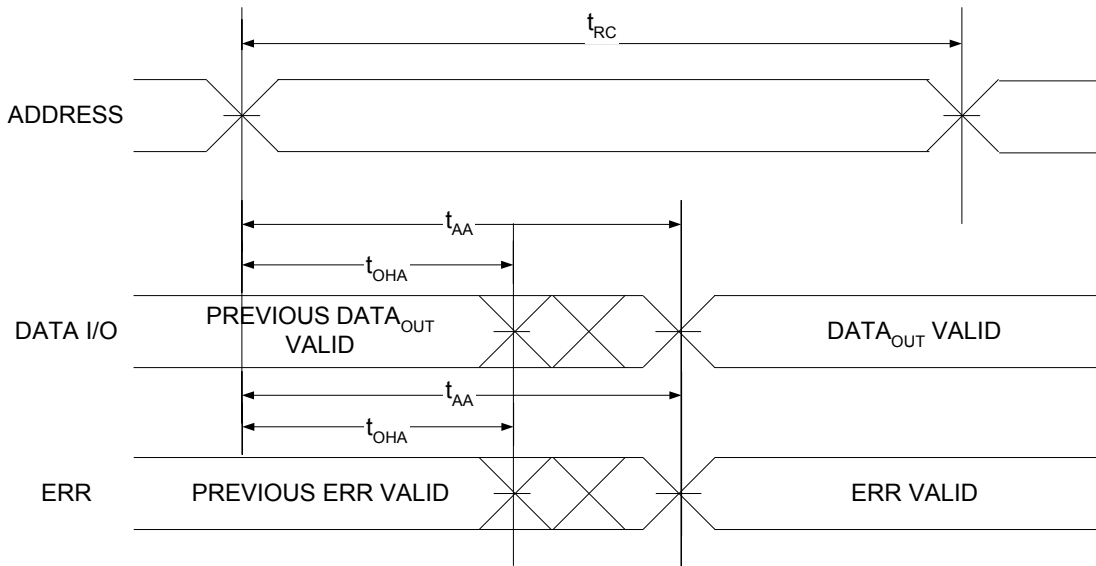


図 10. CY7S1061GE の読み出しサイクル 2 (アドレス遷移制御) [30, 31]



注:
 30. デバイスは継続して選択されています。OE=V_{IL}、CE=V_{IL}、BHE または BLE または両方 =V_{IL}。
 31. 読み出しサイクルの間、WE は HIGH です。

スイッチング波形 (続き)

図 11. 読み出しサイクル 3 (OE 制御) [32、33、34]

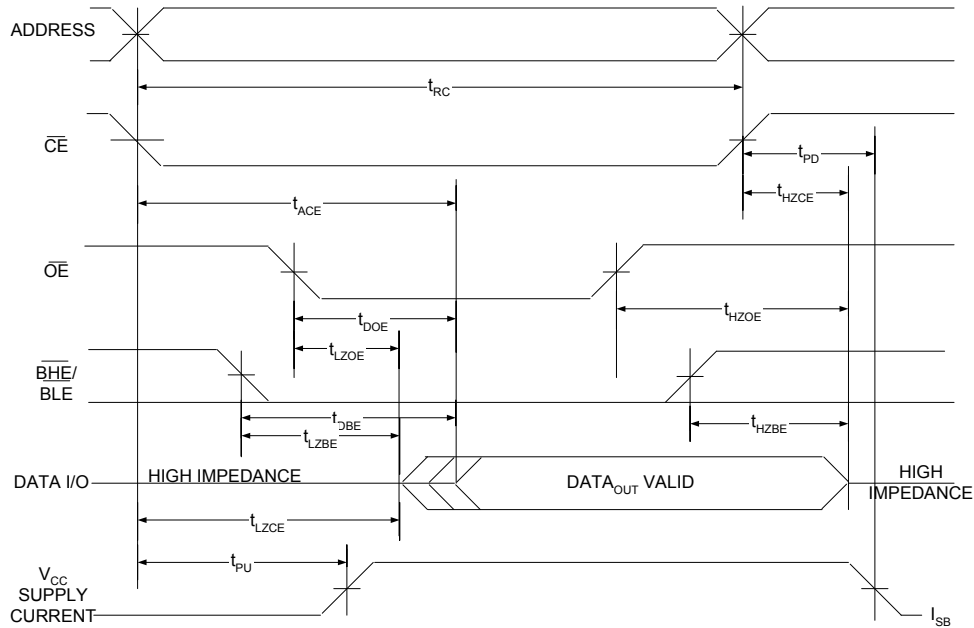
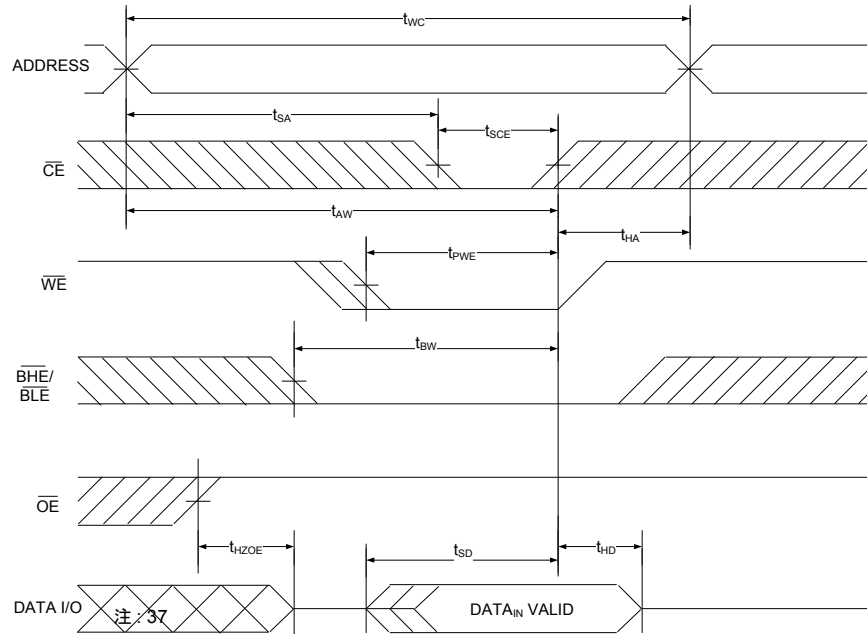


図 12. 書き込みサイクル 1 (CE 制御) [33、35、36]



注:

- 32. 読み出しサイクルの間、 \overline{WE} は HIGH です。
- 33. 全てのデュアルチップ イネーブル方式のデバイスに対して、 \overline{CE} は \overline{CE}_1 と \overline{CE}_2 の論理結合です。 \overline{CE}_1 が LOW であり、 \overline{CE}_2 が HIGH である時、 \overline{CE} は LOW ; \overline{CE}_1 が HIGH である、または \overline{CE}_2 が LOW である時、 \overline{CE} は HIGH です。
- 34. アドレスは \overline{CE} の LOW 遷移前、または遷移と同時に有効です。
- 35. メモリの内部書き込み時間は $\overline{WE}=V_{IL}$ 、 $\overline{CE}=V_{IL}$ と BHE または $\overline{BLE}=V_{IL}$ の条件が同時に発生する時に定義されます。これらの信号は、書き込みを開始するために LOW である必要があります。これらのいずれかが HIGH へ遷移すると書き込みが終了します。入力データのセットアップとホールドのタイミングは書き込みを終了させる信号のエッジを基準にする必要があります。
- 36. データ I/O は $\overline{CE}=V_{IH}$ または $\overline{OE}=V_{IH}$ 、または BHE および/または $\overline{BLE}=V_{IH}$ の場合、高インピーダンス状態に入ります。
- 37. この期間中、I/O は出力状態にあります。入力信号を適用しないでください。

スイッチング波形 (続き)

図 13. 書き込みサイクル 2 ($\overline{\text{WE}}$ 制御、 $\overline{\text{OE}}$ LOW) [38、39、40、41]

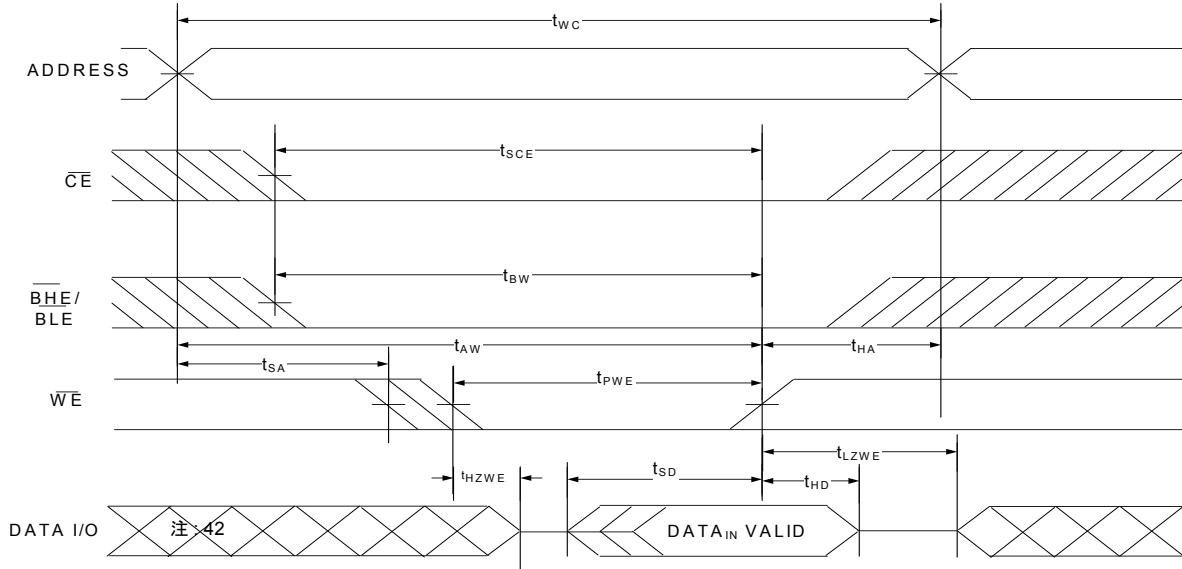
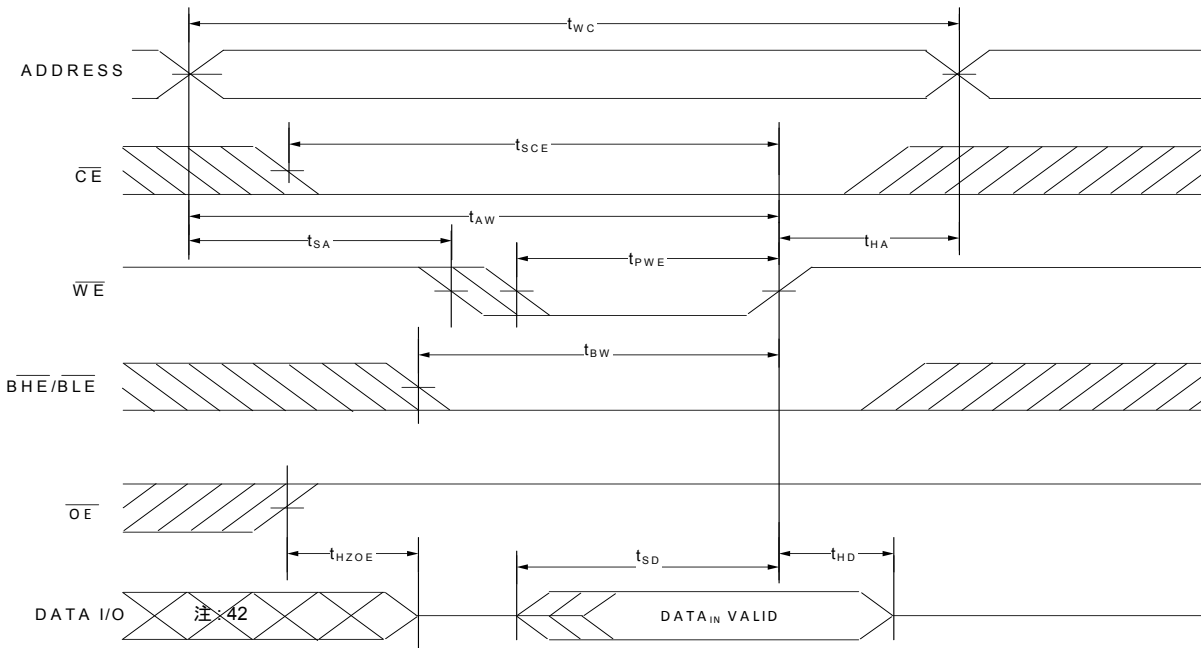


図 14. 書き込みサイクル 3 ($\overline{\text{WE}}$ 制御) [38、40、41]

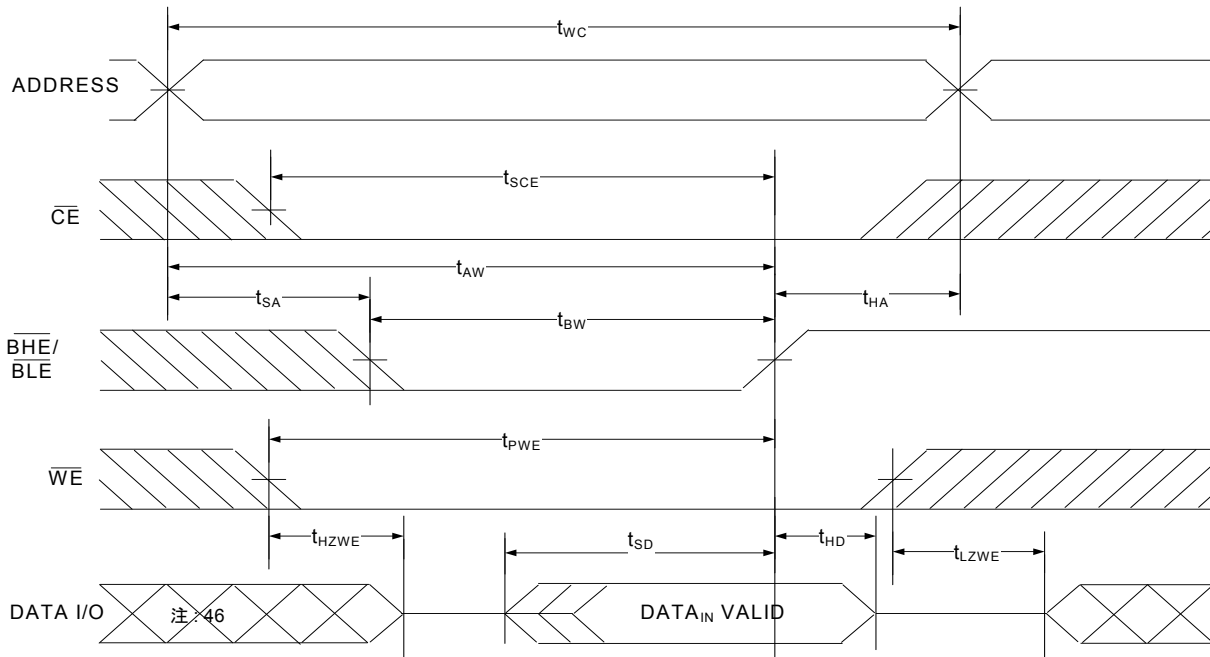


注:

- 38. 全てのデュアルチップ イネーブル デバイスでは、 $\overline{\text{CE}}$ は $\overline{\text{CE}}_1$ と CE_2 の論理結合です。 $\overline{\text{CE}}_1$ が LOW であり、 CE_2 が HIGH である時、 $\overline{\text{CE}}$ は LOW ; $\overline{\text{CE}}_1$ が HIGH である、または CE_2 が LOW である時、 $\overline{\text{CE}}$ は HIGH です。
- 39. 書き込みサイクル 2 ($\overline{\text{WE}}$ 制御、 $\overline{\text{OE}}$ LOW) の最短書き込みパルス幅は t_{HZWE} と t_{SD} の和です。
- 40. メモリの内部書き込み時間は $\text{WE}=\text{V}_{\text{IL}}$ 、 $\text{CE}=\text{V}_{\text{IL}}$ と BHE または $\text{BLE}=\text{V}_{\text{IL}}$ の条件が同時に発生する時に定義されます。これらの信号は、書き込みを開始するために LOW である必要があります。これらのいずれかが HIGH へ遷移すると書き込みが終了します。入力データのセットアップとホールドのタイミングは書き込みを終了させる信号のエッジを基準にする必要があります。
- 41. データ I/O は $\text{CE}=\text{V}_{\text{IH}}$ または $\text{OE}=\text{V}_{\text{IH}}$ 、または BHE および/または $\text{BLE}=\text{V}_{\text{IH}}$ の場合、高インピーダンス状態に入ります。
- 42. この期間中、I/O は出力状態にあります。入力信号を適用しないでください。

スイッチング波形 (続き)

図 15. 書き込みサイクル 3 (BLE または BHE 制御) [43、44、45]



注:

- 43. 全てのデュアルチップ イネーブル デバイスでは、 \overline{CE} は \overline{CE}_1 と CE_2 の論理結合です。 \overline{CE}_1 が LOW であり、 CE_2 が HIGH である時、 \overline{CE} は LOW ; \overline{CE}_1 が HIGH である、または CE_2 が LOW である時、 \overline{CE} は HIGH です。
- 44. メモリの内部書き込み時間は $WE=V_{IL}$ 、 $\overline{CE}=V_{IL}$ と BHE または $BLE=V_{IL}$ の条件が同時に発生する時に定義されます。これらの信号は、書き込みを開始するために LOW である必要があります。これらのいずれかが HIGH へ遷移すると書き込みが終了します。入力データのセットアップとホールドのタイミングは、書き込みを終了する信号のエッジを基準にする必要があります。
- 45. データ I/O は、 $CE=V_{IH}$ または $OE=V_{IH}$ 、または BHE および/または $BLE=V_{IH}$ の場合、高インピーダンス状態に入ります。
- 46. この期間中、I/O は出力状態にあります。入力信号を適用しないでください。

真理値表

DS	DS	DS	DS	DS	DS	I/O ₀ ~ I/O ₇	I/O ₈ ~ I/O ₁₅	モード	電源
H	H	X ^[47]	X ^[47]	X ^[47]	X ^[47]	High-Z	High-Z	スタンバイ	スタンバイ (I _{SB})
H	L	L	H	L	L	データ出力	データ出力	全ビット読み出し	アクティブ (I _{CC})
H	L	L	H	L	H	データ出力	High-Z	下位ビットのみ読み出し	アクティブ (I _{CC})
H	L	L	H	H	L	High-Z	データ出力	上位ビットのみ読み出し	アクティブ (I _{CC})
H	L	X	L	L	L	データ入力	データ入力	全ビット書き込み	アクティブ (I _{CC})
H	L	X	L	L	H	データ入力	High-Z	下位ビットのみ書き込み	アクティブ (I _{CC})
H	L	X	L	H	L	High-Z	データ入力	上位ビットのみ書き込み	アクティブ (I _{CC})
H	L	H	H	X	X	High-Z	High-Z	デバイス選択、出力無効	アクティブ (I _{CC})
L ^[48]	H	X	X	X	X	High-Z	High-Z	ディープスリープ	ディープスリープ超低消費電力 (I _{DS})
L	L	X	X	X	X	-	-	無効モード ^[49]	-
H	L	X	X	H	H	High-Z	High-Z	デバイス選択、出力無効	アクティブ (I _{CC})

ERR 出力 – CY7S1061GE

出力 ^[50]	モード
0	読み出し動作、保存データにはシングルビット エラーなし
1	読み出し動作、シングルビット エラーが検出され、訂正済み
High-Z	デバイス選択解除／出力無効／書き込み動作

注:

47. これらのピンの入力電圧レベルは V_{IH} または V_{IL} でなければなりません。

48. DS での V_{IL} は 0.2V 未満でなければなりません。

49. このモードでは、データ保持が保証されません。デバイスが通常動作に復帰するには、パワー サイクルを実行する必要があります。

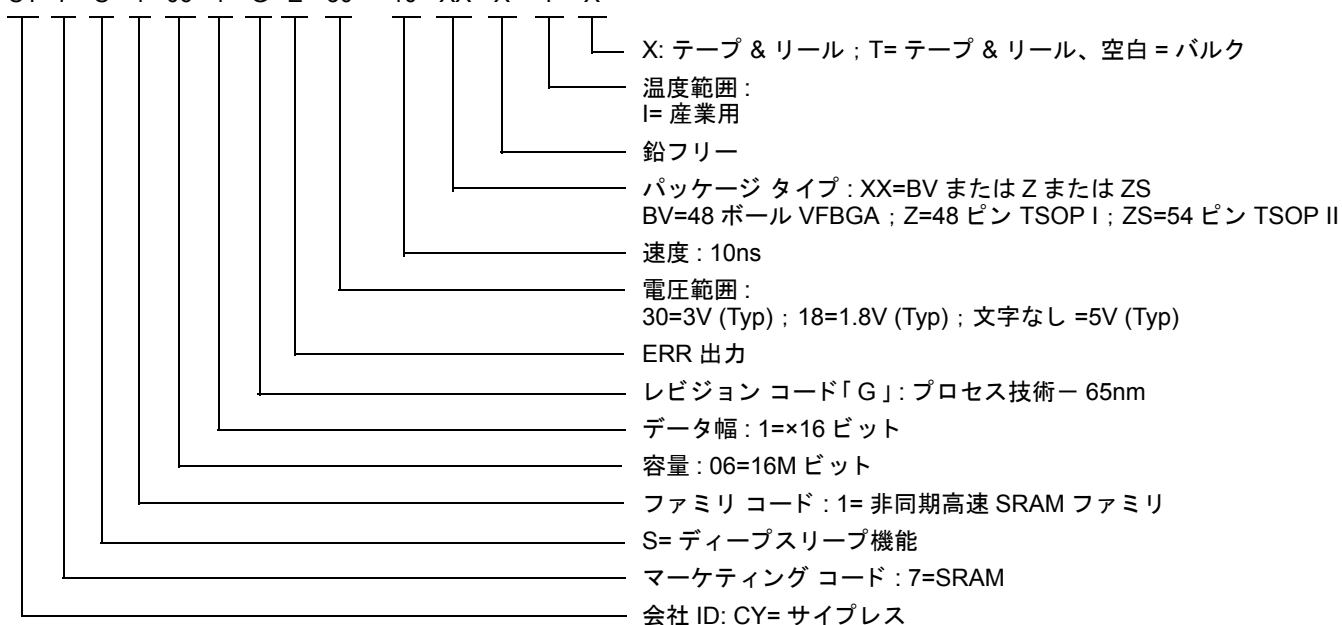
50. ERR は出力ピンです。このピンを使用しない場合、開放にする必要があります。

注文情報

速度 (ns)	電圧範囲	注文コード	パッケージ図	パッケージタイプ (すべて鉛フリー)	ERR ピン / ボール	動作範囲
15	1.65V ~ 2.2V	CY7S1061G18-15ZSXI	51-85160	54 ピン TSOP II	無	産業用
		CY7S1061G18-15ZSXIT				
10	2.2V ~ 3.6V	CY7S1061G30-10ZSXI	51-85160	54 ピン TSOP II	無	
		CY7S1061G30-10ZSXIT				
		CY7S1061G30-10BVXI	51-85150	48 ボール VFBGA	無	
		CY7S1061G30-10BVXIT				
		CY7S1061GE30-10BVXI			有	
		CY7S1061GE30-10BVXIT				
		CY7S1061G30-10ZXI	51-85183	48 ピン TSOP I	無	
		CY7S1061G30-10ZXIT				
		CY7S1061GE30-10ZXI			有	
		CY7S1061GE30-10ZXIT				
4.5V ~ 5.5V		CY7S1061GE-10ZXI	51-85183	48 ピン TSOP I	有	
		CY7S1061GE-10ZXIT				

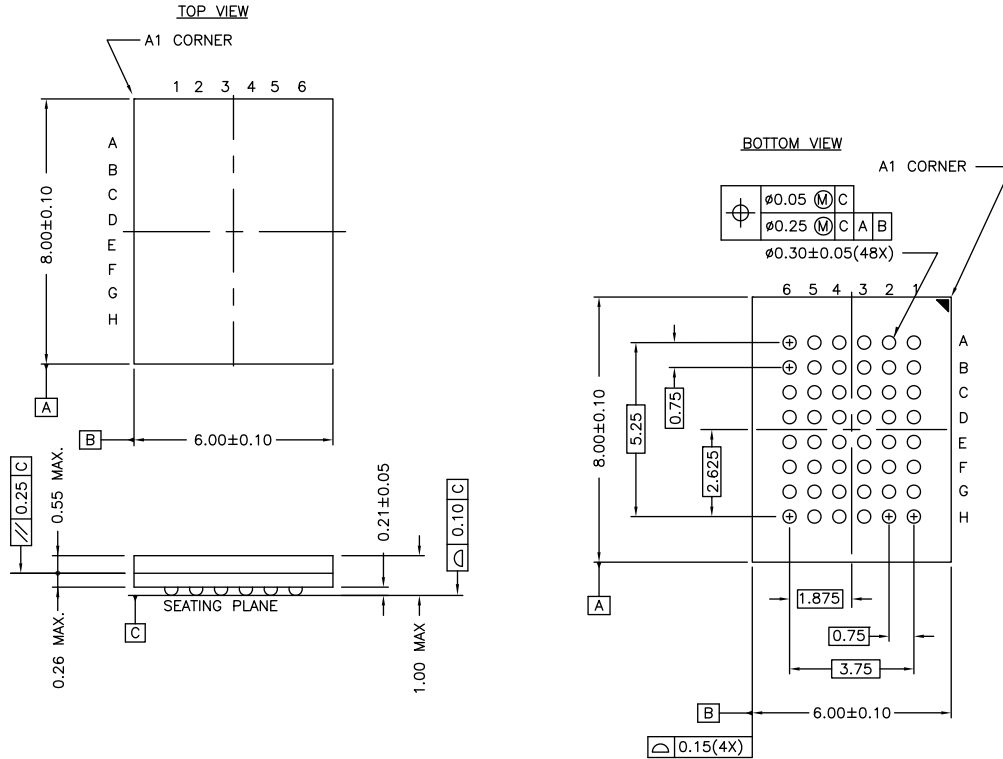
注文コードの定義

CY 7 S 1 06 1 G E 30 - 10 XX X I X



パッケージ図

図 16. 48 ボール VFBGA (6x8x1.0mm) BV48 / BZ48 パッケージ外形図

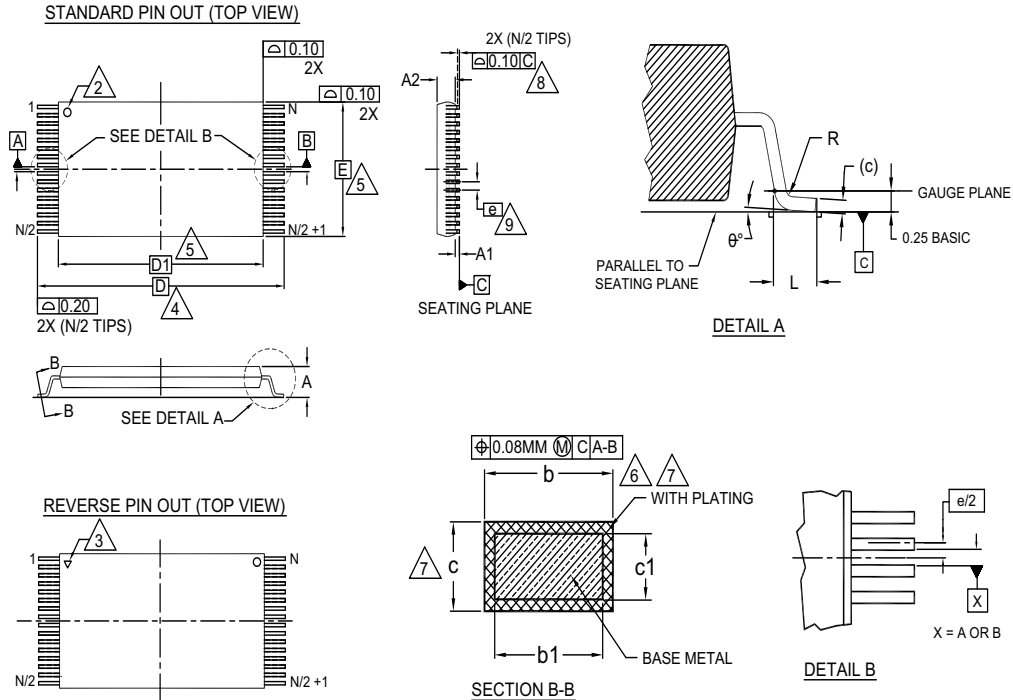


NOTE:
 PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD)
 posted on the Cypress web.

51-85150 *H

パッケージ図 (続き)

図 17. 48 ピン TSOP I (12×18.4×1.0mm) Z48A パッケージ外形図



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.20
A1	0.05	—	0.15
A2	0.95	1.00	1.05
b1	0.17	0.20	0.23
b	0.17	0.22	0.27
c1	0.10	—	0.16
c	0.10	—	0.21
D	20.00 BASIC		
D1	18.40 BASIC		
E	12.00 BASIC		
e	0.50 BASIC		
L	0.50	0.60	0.70
θ	0°	—	8
R	0.08	—	0.20
N	48		

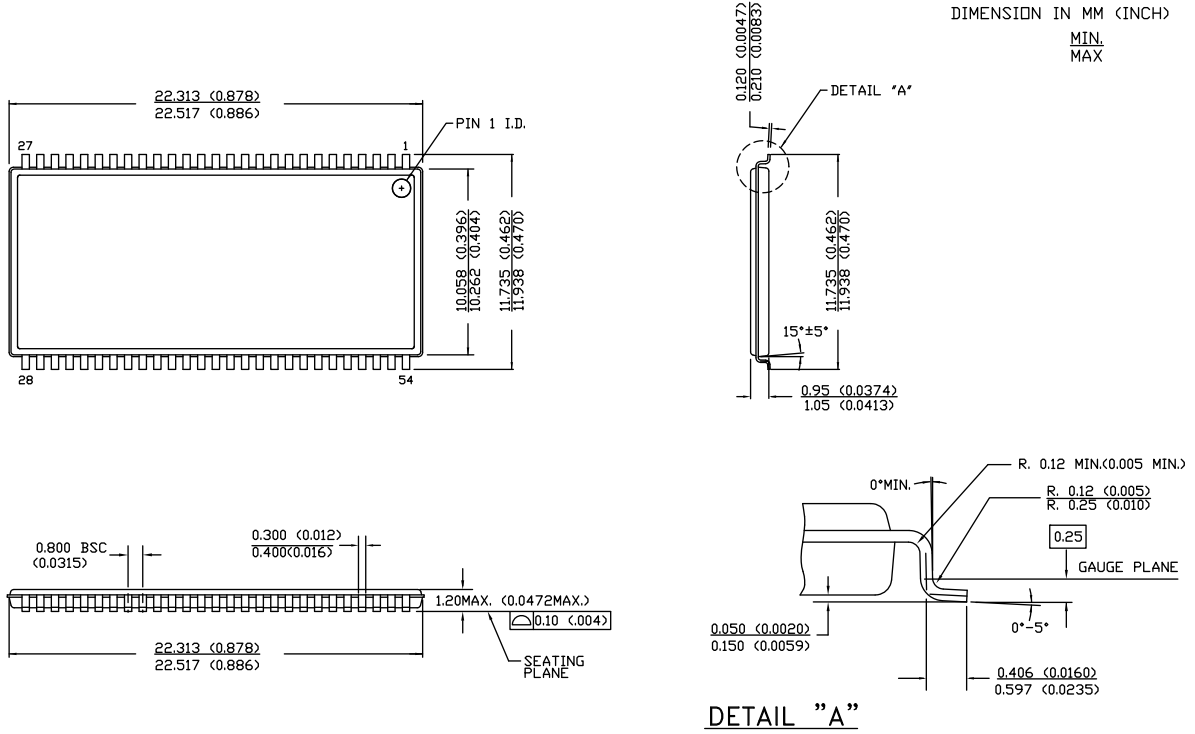
NOTES:

- ① DIMENSIONS ARE IN MILLIMETERS (mm).
- ② PIN 1 IDENTIFIER FOR STANDARD PIN OUT (DIE UP).
- ③ PIN 1 IDENTIFIER FOR REVERSE PIN OUT (DIE DOWN): INK OR LASER MARK.
- ④ TO BE DETERMINED AT THE SEATING PLANE \overline{C} . THE SEATING PLANE IS DEFINED AS THE PLANE OF CONTACT THAT IS MADE WHEN THE PACKAGE LEADS ARE ALLOWED TO REST FREELY ON A FLAT HORIZONTAL SURFACE.
- ⑤ DIMENSIONS D1 AND E DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION ON E IS 0.15mm PER SIDE AND ON D1 IS 0.25mm PER SIDE.
- ⑥ DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF b DIMENSION AT MAX. MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND AN ADJACENT LEAD TO BE 0.07mm .
- ⑦ THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
- ⑧ LEAD COPLANARITY SHALL BE WITHIN 0.10mm AS MEASURED FROM THE SEATING PLANE.
- ⑨ DIMENSION "e" IS MEASURED AT THE CENTERLINE OF THE LEADS.
- 10. JEDEC SPECIFICATION NO. REF: MO-142(D)DD.

51-85183 *F

パッケージ図 (続き)

図 18. 54 ピン TSOP II (22.4x11.84x1.0mm) Z54-II パッケージ外形図



51-85160 *E

略語

略語	説明
$\overline{\text{BHE}}$	Byte High Enable (上位バイト イネーブル)
$\overline{\text{BLE}}$	Byte Low Enable (下位バイト イネーブル)
$\overline{\text{CE}}$	Chip Enable (チップ イネーブル)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
I/O	Input/Output (入力/出力)
$\overline{\text{OE}}$	Output Enable (出カ イネーブル)
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
TTL	Transistor-Transistor Logic (トランジスタ-トランジスタ ロジック)
VFBGA	Very fine-pitch ball grid array (超微細ピッチ ボール グリッドアレイ)
$\overline{\text{WE}}$	Write Enable (書き込みイネーブル)

本書の表記法
測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
mA	ミリアンペア
mm	ミリメートル
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY7S1061G/CY7S1061GE、PowerSnooze™ および ECC 付 16M ビット (1M ワード x16 ビット) スタティック RAM				
文書番号 : 001-92009				
版	ECN 番号	変更者	発行日	変更内容
**	4335687	HZEN	04/7/2014	これは英語版 001-79707 Rev. *D を翻訳した日本語版 Rev. ** です。
*A	4473581	HZEN	08/12/2014	これは英語版 001-79707 Rev. *H を翻訳した日本語版 Rev. *A です。
*B	5693888	HZEN	04/20/2017	これは英語版 001-79707 Rev. *N を翻訳した日本語版 001-92009 Rev. *B です。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

ARM® Cortex® マイクロコントローラー	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス / RF	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2012-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。)に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。))を含む)は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でののみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, Capsense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。