

使用异步 NAND 接口的 16 Mbit nvSRAM

特性

- 16 Mbit 的非易失性静态随机存取存储器 (nvSRAM)
 - 每一个 I/O 的性能可达 33 MT/s
 - 通过使用 **x16** 总线 (速度为 528 Mbps) 达到最大数据吞吐量
 - 使用精简指令集的工业标准异步 NAND 闪存接口
 - 共享地址、数据和指令总线
 - 地址和指令总线宽度为 8 位
 - 指令在一个或两个指令周期内进行传送
 - 地址在五个地址周期内进行传送
 - 数据总线宽度为 **x8** 或 **x16** 位
- 各种操作模式:
 - 异步 NAND 接口 I/O, 访问时间为 30 ns
 - 状态寄存器使用软件方法来检测下列各项:
 - 非易失性存储的完成
 - 前一个指令的成功 / 失败条件
 - 写保护状态
- 只要一个小电容, 即可在断电时实现自动存储
- 可通过软件指令、专用硬件引脚或断电时自动存储来触发存储至 QuantumTrap 非易失性元件
- 可通过软件或加电触发回读到 SRAM
- 可靠性高
 - 无限次读、写和回读循环
 - 一百万次的存储 周期到 QuantumTrap
- 数据保留: 温度为 85°C 时保留时间为 20 年
- 工作电压
 - 内核 $V_{CC} = 2.7\text{ V} \sim 3.6\text{ V}$; I/O $V_{CCQ} = 1.70\text{ V} \sim 1.95\text{ V}$
- 165 ball 小间距球栅阵列 (FBGA) 封装
- 工业温度范围: $-40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$
- 符合有害物质限制 (RoHS)

概述

赛普拉斯 nvSRAM 将高性能 SRAM 单元和非易失性元件整合在一个单片集成电路中。嵌入式非易失性元件通过采用硅 — 氧化硅 — 氮化硅 — 氧化硅 — 硅 (SONOS) 的技术, 制造出了世界上最可靠的非易失性存储器。对 SRAM 进行读写操作的时间不受限制。将数据写入到 SRAM 时, 非易失性数据位于非易失性元件内并且不会改变。

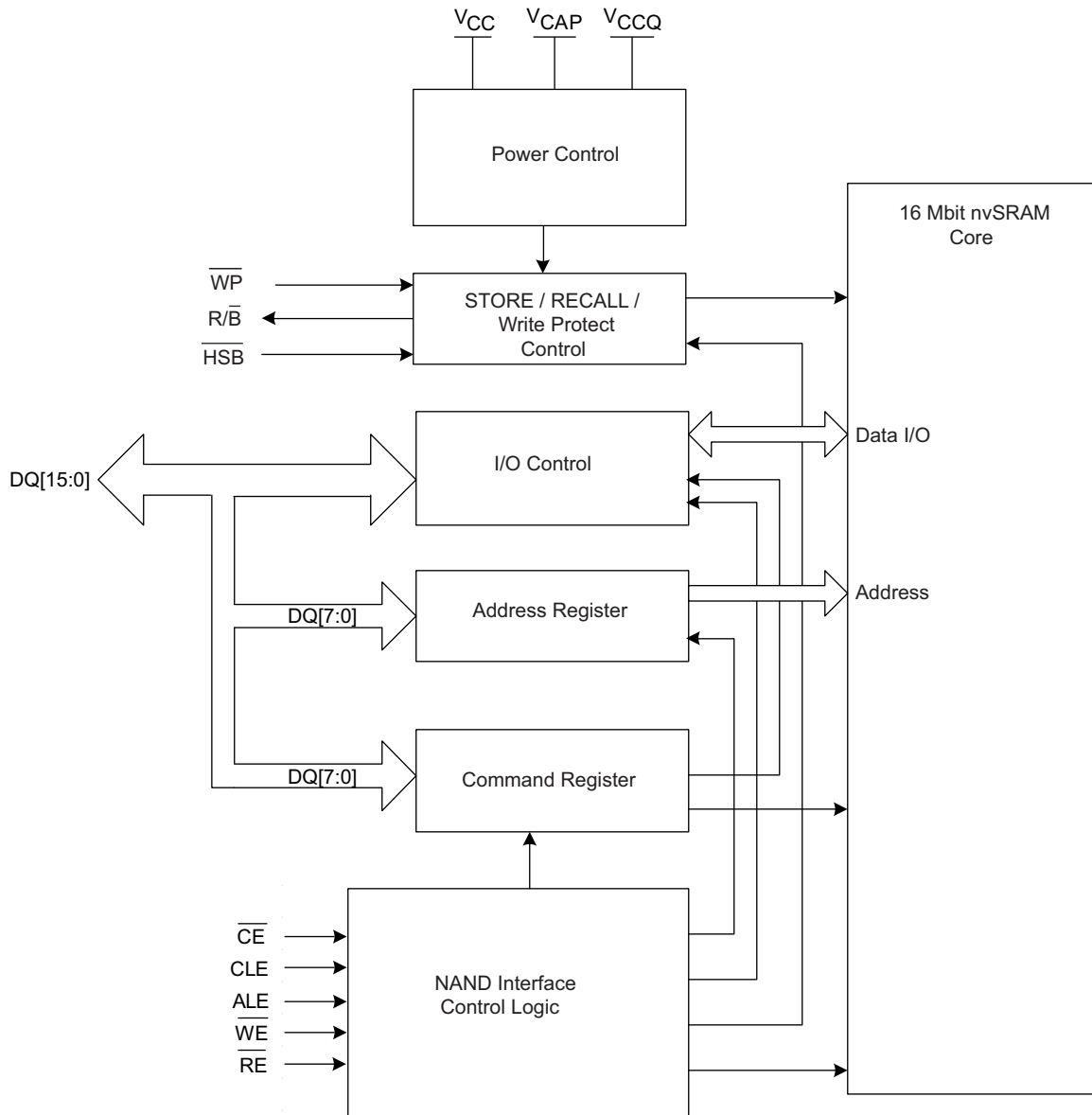
CY14V116F7/CY14V116G7 nvSRAM 允许通过标准的异步 NAND 接口进行访问, 并支持 **x8** 和 **x16** 接口选项。在 **x16** 接口中, 数据字节通过 $DQ[15:0]$ 线传输, 与 $DQ[7:0]$ 总线相比, 该线的吞吐量增加了一倍。CY14V116F7/CY14V116G7 使用高复用率的 DQ 总线来传输数据、地址和指令。所有地址和指令始终通过数据总线 $DQ[7:0]$ 被传送。因此, 在 **x16** 总线接口中, 高八位数据 $DQ[15:8]$ 在地址和指令周期内是无需关注的。进行读写操作时, CY14V116F7/CY14V116G7 使用了五个控制引脚 (CLE 、 ALE 、 \overline{CE} 、 \overline{RE} 和 \overline{WE}) 来传输指令、地址和数据。其他 I/O 引脚如写保护 (\overline{WP})、就绪 / 繁忙 (R/\overline{B}) 和 $\overline{HSB\ STORE}$ 都用于支持器件的各特性。

异步 NAND 接口 nvSRAM 与大多数 ONFI 1.0 规格对齐, 并支持 33 MHz 数据访问速度。

要获取相关文档的完整列表, 请单击[此处](#)。

框图

单通道架构



目录

引脚配置	4	nvSRAM 的回读操作	19
引脚定义	5	硬件回读（加电）	19
探索与初始化	5	软件回读	19
nvSRAM 总线操作	5	最大额定值	20
控制信号	5	工作范围	20
nvSRAM 的总线模式	6	直流电气特性	20
nvSRAM 的使能 / 待机	6	数据保留时间与耐久性	21
nvSRAM 的总线闲置	6	电容	21
nvSRAM 指令	6	热阻	21
nvSRAM 地址输入	7	交流测试条件	22
nvSRAM 数据输入	8	交流切换特性	23
nvSRAM 的数据输出	8	时序模式	23
指令的定义	9	nvSRAM 的自动存储 / 加电回读特性	24
基本操作	10	软件存储特性	25
读 ID（90h）的定义	10	订购信息	25
读参数页（ECh）	12	订购代码定义	26
读状态（70h）的定义	14	封装图	27
状态域的定义	15	缩略语	28
nvSRAM 突发模式下的读指令（00h、30h）	15	文档规范	28
突发模式下 nvSRAM 的写指令（80h、10h）	16	测量单位	28
复位（FFh）的定义	16	文档修订记录页	29
nvSRAM 的软件回读指令（FCh）	17	销售、解决方案和法律信息	30
nvSRAM 中的软件存储指令（84h、A5h）	17	全球销售和 design 支持	30
nvSRAM 的自动存储禁用（A3h）	17	产品	30
nvSRAM 的自动存储使能（ACh）	17	PSoC [®] 解决方案	30
写保护	18	赛普拉斯开发者社区	30
nvSRAM 存储操作	18	技术支持	30
自动存储操作	18		
硬件存储（HSB）操作	19		
软件存储操作	19		

引脚配置
图 1. 单通道 (x8) 引脚框图: 165 ball FBGA

	1	2	3	4	5	6	7	8	9	10	11
A	R	R	R	NC	NC	NC	NC	NC	R	R	R
B	R	R	R	NC	NC	NC	NC	NC	R	R	R
C	R	V _{CCQ}	V _{CCQ}	NC	V _{SS}	NC	V _{CC}	NC	V _{CCQ}	V _{CCQ}	R
D	R	V _{SS}	NC	V _{SS}	NC	NC	NC	V _{SS}	NC	V _{SS}	R
E	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC	NC
F	NC	V _{SS}	V _{CCQ}	NC	NC	NC	NC	NC	V _{CCQ}	V _{SS}	NC
G	NC	NC	NC	NC	R	NC	NC	NC	NC	HSB	NC
H	NC	V _{SS}	V _{CC}	R/B	NC	NC	NC	NC	V _{CC}	V _{SS}	NC
J	NC	V _{CAP}	NC	CE	NC	NC	NC	WP	R	NC	NC
K	NC	V _{SS}	V _{CCQ}	NC	NC	NC	CLE	ALE	V _{CCQ}	V _{SS}	NC
L	NC	DQ7	DQ6	NC	WE	NC	NC	NC	DQ1	DQ0	NC
M	R	V _{SS}	DQ5	V _{SS}	RE	NC	NC	V _{SS}	DQ2	V _{SS}	R
无	R	V _{CCQ}	V _{CCQ}	DQ4	V _{CC}	NC	V _{SS}	DQ3	V _{CCQ}	V _{CCQ}	R
P	R	R	R	NC	NC	NC	NC	NC	R	R	R
R	R	R	R	NC	NC	NC	NC	NC	R	R	R

图 2. 单通道 (x16) 引脚框图: 165 ball FBGA

	1	2	3	4	5	6	7	8	9	10	11
A	R	R	R	NC	NC	NC	NC	NC	R	R	R
B	R	R	R	NC	NC	NC	NC	NC	R	R	R
C	R	V _{CCQ}	V _{CCQ}	DQ11	V _{SS}	NC	V _{CC}	DQ12	V _{CCQ}	V _{CCQ}	R
D	R	V _{SS}	DQ10	V _{SS}	NC	NC	NC	V _{SS}	DQ13	V _{SS}	R
E	NC	DQ8	DQ9	NC	NC	NC	NC	NC	DQ14	DQ15	NC
F	NC	V _{SS}	V _{CCQ}	NC	NC	NC	NC	NC	V _{CCQ}	V _{SS}	NC
G	NC	NC	NC	NC	R	NC	NC	NC	NC	HSB	NC
H	NC	V _{SS}	V _{CC}	R/B	NC	NC	NC	NC	V _{CC}	V _{SS}	NC
J	NC	V _{CAP}	NC	CE	NC	NC	NC	WP	R	NC	NC
K	NC	V _{SS}	V _{CCQ}	NC	NC	NC	CLE	ALE	V _{CCQ}	V _{SS}	NC
L	NC	DQ7	DQ6	NC	WE	NC	NC	NC	DQ1	DQ0	NC
M	R	V _{SS}	DQ5	V _{SS}	RE	NC	NC	V _{SS}	DQ2	V _{SS}	R
无	R	V _{CCQ}	V _{CCQ}	DQ4	V _{CC}	NC	V _{SS}	DQ3	V _{CCQ}	V _{CCQ}	R
P	R	R	R	NC	NC	NC	NC	NC	R	R	R
R	R	R	R	NC	NC	NC	NC	NC	R	R	R

引脚定义

引脚名称	I/O 类型	说明
R \bar{B}	输出	就绪 / 繁忙。 就绪 / 繁忙信号指示器件的状态。当输出低电平时，该信号表示 nvSRAM 正忙着进行存储操作或上电回读操作或软件回读 / 软件存储 / 自动存储禁用 / 自动存储使能操作。该信号是一个开漏输出并需要外部上拉电阻。
$\bar{R}\bar{E}$	输入	读使能。 进行读取操作时，通过读使能信号可以使能数据输出。
$\bar{C}\bar{E}$	输入	芯片选择。 输出低电平时，芯片选择信号将对芯片进行选择。当芯片选择信号为高电平，且器件不忙于进行 STORE 操作时，器件将处于低功耗待机状态。
CLE	输入	指令锁存使能。 指令锁存使能信号用于锁存指令字节。这是主机使用的一种信号，用于指出总线周期的类型（指令、地址和数据）。
ALE	输入	地址锁存使能。 通过地址锁存使能信号可以锁存地址字节。这是主机使用的一种信号，用于指出总线周期的类型（指令、地址和数据）。
$\bar{W}\bar{E}$	输入	写使能。 通过写使能信号可以在每个上升沿上控制输入数据的锁存。
$\bar{W}\bar{P}$	输入	写保护。 处于低电平状态时， $\bar{W}\bar{P}$ 将在 nvSRAM 中禁用 SRAM 的写操作。
DQ[7:0] ^[1]	输入 / 输出	8 位 I/O 端口，用于 ×8 配置。 I/O 端口是一个 8 位宽的双向端口，用于在各器件间进行传输地址、指令和数据。
DQ[15:0] ^[1]	输入 / 输出	16 位 I/O 端口，用于 ×16 的配置。 I/O 端口是一个 16 位宽的双向总线，在进行写和读操作期间，通过该总线可以传输数据字。地址和指令始终通过低 8 位 DQ[7:0] 传送。
HSB	输入	软件存储。 当在芯片外部将输出低电平时，该信号表示一个非易失性的存储操作。
V _{CAP}	电源	自动存储电容： 断电期间为 nvSRAM 提供电源，以便将从 SRAM 的数据存储到非易失性元件中。
V _{CC}	电源	电源。 为器件内核提供电源。
V _{CCQ}	电源	I/O 电源。 为器件的输入和输出提供电源输入。
V _{SS}	电源	器件接地。 必须连接至系统的接地端。
R	R	保留。 这些引脚被保留，并保持未连接状态
NC	NC	未连接。 芯片焊盘尚未连接到封装引脚。

探索与初始化

当启动了上电周期并且 V_{CC} 超过了 V_{SWITCH} 阈值时，器件将启动内部上电回读操作，并在 t_{RECALL} 期间将 R \bar{B} 引脚置于低电平。上电周期结束后，器件将释放 R \bar{B} 引脚，然后与该引脚相连的外部上拉电阻将它置于高电平。R \bar{B} 引脚为高电平表示器件处于就绪状态，因此主控制器可以通过执行操作码与器件通信。受支持的所有操作码在第 9 页上的表 3 中进行了介绍。

nvSRAM 总线操作

nvSRAM 器件的 I/O 被复用。数据 I/O、地址和指令都共享 I/O 引脚。DQ[15:8] 仅适用于 ×16 配置的数据。在 ×16 的配置中，始终通过 DQ[7:0] 传送地址和指令，通过 DQ[15:0] 传送数据。

指令序列通常包括一个指令锁存周期、地址输入周期和一个或多个（读或写）数据周期。

控制信号

nvSRAM 控制信号如 $\bar{C}\bar{E}$ 、 $\bar{W}\bar{E}$ 、 $\bar{R}\bar{E}$ 、CLE、ALE 和 $\bar{W}\bar{P}$ 控制着 nvSRAM 器件的读和写操作。在 $\bar{C}\bar{E}$ 信号被置于低电平状态，且器件不处于繁忙状态时，可通过该信号使能器件。nvSRAM 被选中时，它将接收指令、地址和数据字节。当数据被传输，且器件不处于繁忙状态时，如果 $\bar{C}\bar{E}$ 被置于高电平，则 nvSRAM 将进入待机模式。

CLE 信号为高电平，并且 $\bar{C}\bar{E}$ 和 $\bar{W}\bar{E}$ 为低电平，表示指令的输入周期。同样，ALE 信号为高电平，并且 $\bar{C}\bar{E}$ 和 $\bar{W}\bar{E}$ 为低电平，则表示地址的输入周期。

注释：

1. 数据 DQ[7:0] 适用于 ×8 的配置；数据 DQ[15:0] 适用于 ×16 的配置。

nvSRAM 的总线模式

根据输入控制信号的状态，nvSRAM 可以使用表 1 中所定义的下
列总线状态。

表 1. 异步 NAND 接口总线模式

\overline{CE}	ALE	CLE	\overline{WE}	\overline{RE}	\overline{WP}	总线状态
1	X	X	X	X	X	待机
0	0	0	1	1	X	总线闲置
0	0	1	0	1	X	指令周期
0	1	0	0	1	X	地址周期
0	0	0	0	1	H	写周期
0	0	0	1	0	X	读周期
0	1	1	X	X	X	未定义
0	0	0	0	1	L	SRAM 的写保护

注意：带有状态“X”的信号可以是 $\geq V_{IH}$ 或 $\leq V_{IL}$ 。

nvSRAM 的使能 / 待机

通过使用芯片使能 (\overline{CE}) 信号可以使能或禁用器件。 \overline{CE} 为低电平时，所有 nvSRAM 输入信号均被使能。 \overline{CE} 为低电平时，nvSRAM 可以接收 DQ 线上的各条指令、地址和数据。 \overline{CE} 为高电平时，即使器件处于繁忙状态，nvSRAM 也会被禁用。当器件处于就绪状态而且外部上拉电阻将 $\overline{R/B}$ 置于高电平时，nvSRAM 会进入低功耗待机模式。禁用 \overline{CE} 时，所有 nvSRAM I/O 将被禁用 (\overline{WP} 、 $\overline{R/B}$ 和 \overline{HSB} 除外)。

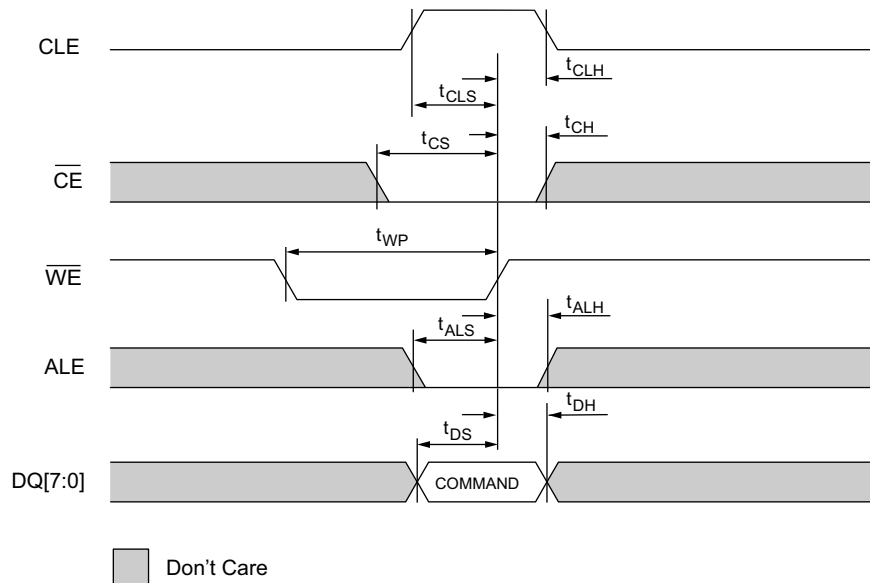
nvSRAM 的总线闲置

\overline{CE} 、ALE、CLE 为低电平，并且 \overline{WE} 、 \overline{RE} 为高电平时，nvSRAM 将处于总线闲置状态。在总线闲置状态期间，所有输入信号都被使能，但各指令、地址和数据不被锁存在器件内，而且器件中没有数据输出。

nvSRAM 指令

当 \overline{CE} 和 ALE 为低电平，并且 CLE 和 \overline{RE} 为高电平时，DQ[7:0] 总线上的指令将被写入到 \overline{WE} 上升沿上的指令寄存器。当 nvSRAM 处于繁忙状态（在状态寄存器中，RDY 位被置为“0”）时，所有指令（状态寄存器读指令（70h）和复位（FFh）指令除外）都被忽略。

图 3. 指令锁存周期

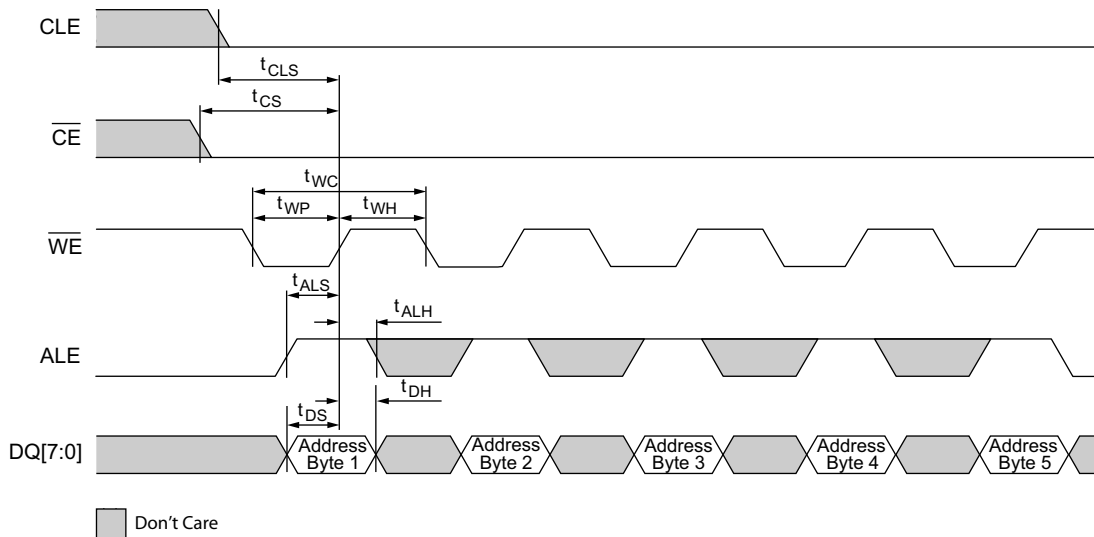


nvSRAM 地址输入

在 nvSRAM 地址周期内，如果 \overline{CE} 为低电平，ALE 为高电平，CLE 为低电平并且 \overline{RE} 为高电平时，主机将通过 DQ[7:0] 总线将五个连续地址字节传送到 \overline{WE} 切换上升沿上的地址寄存器。在五个字节地址中，最低有效地址字节在第一个地址周期内被传送，另外最高有效地址字节在第五个地址周期内被传送。nvSRAM 仅使用前三个地址字节来寻址其整个 16 Mbit 存储器。因此，五个

字节地址中的两个额外地址字节是无需关注的。主机控制器应该将所有未使用的地址位（包括无需关注的位）设置为“0”。在繁忙周期时（在状态寄存器中，RDY 位被置为“0”），地址周期被忽略。有关 nvSRAM 寻址的相关信息，请参考第 9 页上的表 2。

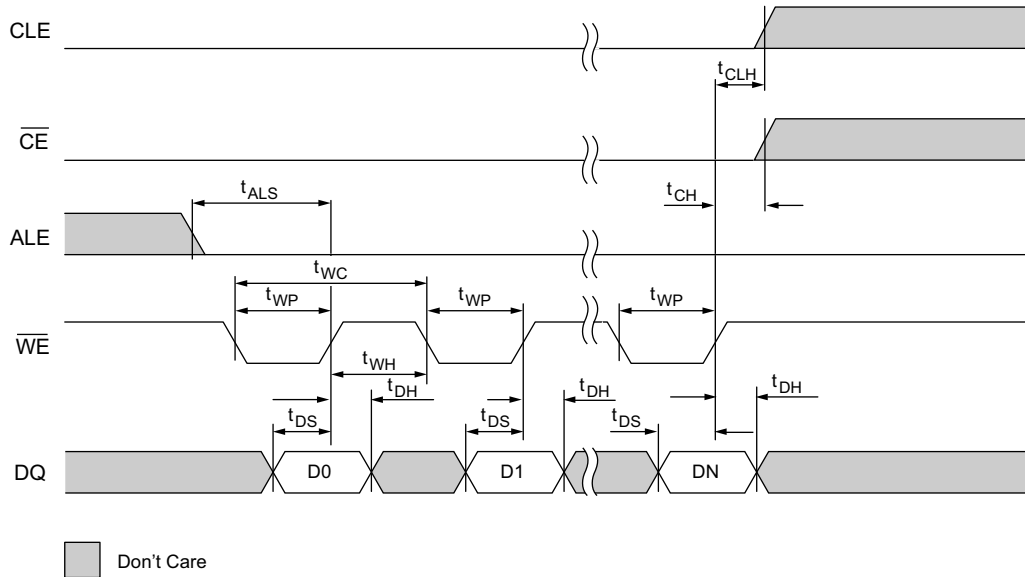
图 4. 地址锁存周期



nvSRAM 数据输入

当 \overline{CE} 为低电平， ALE 为低电平， CLE 为低电平， \overline{RE} 为高电平时，数据将从 DQ ($DQ[7:0]$ 或 $DQ[15:0]$) 被写入到 \overline{WE} 上升沿上的数据寄存器内。器件处于繁忙周期时（在状态寄存器中， RDY 位被置为“0”），数据输入被忽略。

图 5. 数据输入周期



nvSRAM 的数据输出

nvSRAM 处于就绪状态时，它会（在读期间）将数据传送到 DQ 总线 ($DQ[7:0]$ 或 $DQ[15:0]$) 上。当 \overline{CE} 为低电平， ALE 为低电平， CLE 为低电平，另外 \overline{WE} 为高电平时，数据将从 \overline{RE} 的每个下降沿上的数据寄存器中输出。在存储周期内，如果 nvSRAM 处于繁忙状态（在状态寄存器中， RDY 位设置为“0”），则它将忽略读请求。

图 6. 数据输出周期

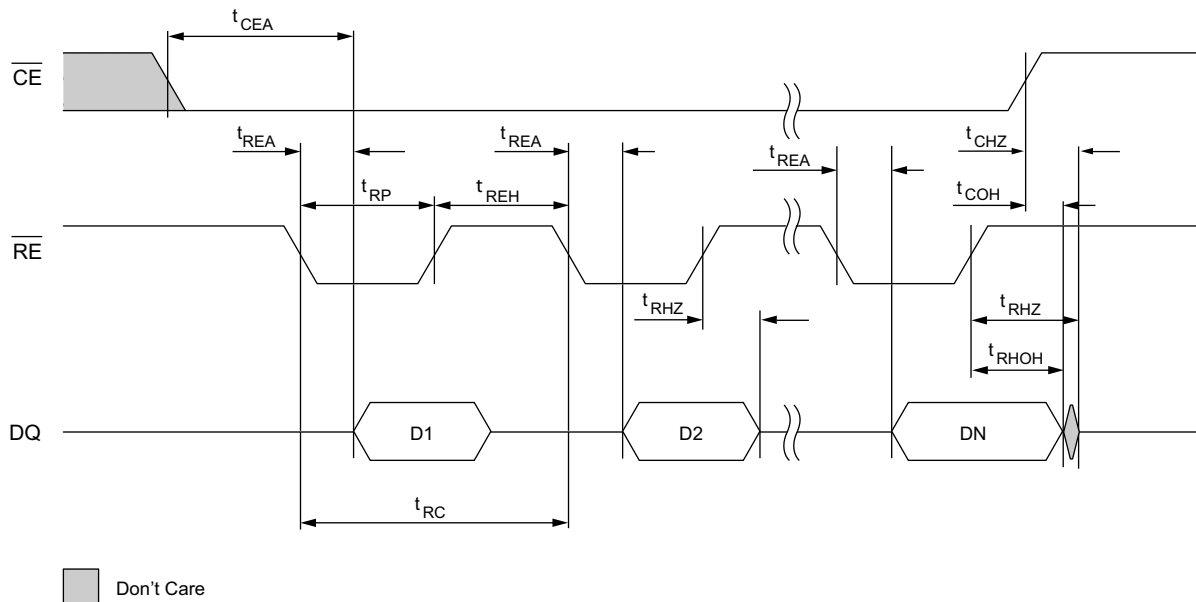


表 2. nvSRAM 寻址

地址周期	DQ7	DQ6	DQ5	DQ4	DQ3	DQ2	DQ1	DQ0
第一个周期	A7	A6	A5	A4	A3	A2	A1	A0
第二个周期	A15	A14	A13	A12	A11	A10	A9	A8
第三个周期	无需关注 ^[3]			A20/ 低电平 ^[2]	A19	A18	A17	A16
第四个周期	无需关注 ^[3]							
第五个周期	无需关注 ^[3]							

指令的定义

nvSRAM 在其 I/O 上进行复用地址、指令和数据。通过将 \overline{WE} 切换为低电平，同时在地址周期内将 \overline{CE} 和 \overline{CLE} 为低电平， \overline{ALE} 为高电平，以及在指令周期内将 \overline{CE} 和 \overline{ALE} 为低电平， \overline{CLE} 为高电平，可以在 DQ 总线的 DQ[7:0] 上对所有指令和地址执行写操作。

所有输入引脚的状态被锁存在 \overline{WE} 的上升沿上，然后器件将确定该总线周期是指令周期、地址周期、数据输入周期还是数据输出周期。所有异步 NAND 接口 nvSRAM 指令都显示在表 3 中。

表 3. nvSRAM 指令表

nvSRAM 的指令	第一个周期	第二个周期	说明
读 ID	90h		指出目标支持 ONFI 规范。如果目标支持 ONFI 规范，将返回 ONFI 标签。
读参数页	ECh		通过读参数页函数可以检索数据结构，该结构说明了目标的组织、特性、时序以及其他功能参数。
读状态	70h		检索最后操作的状态值。
读取	00h	30h	读指令从地址字节指定的 nvSRAM 阵列位置执行读操作。
写入	80h	10h ^[4]	数据被写入到 nvSRAM 中的 SRAM 阵列内。nvSRAM 写操作的可选指令周期为 10h；即使主机不发送该指令，仍可以成功执行写操作。
复位	FFh		中止当前的操作（针对所有读和写操作）并使 nvSRAM 处于加电状态。如果正在进行非易失性操作，将优先完成该操作，然后将生成复位请求。
软件回读	FCh		软件回读
软件存储	84h	A5h	软件存储
自动存储禁用	A3h		禁用自动存储功能
自动存储使能	ACh		使能自动存储功能
保留	Eeh		保留
保留	EFh		保留

注释：

- 对于 x16 配置，建议将 A20 地址位设置为低电平。
- 虽然无需关注这些位，但赛普拉斯建议将这些位视为 0 对待。
- 可以在写周期结束时选用 10h 指令，这样可以与闪存相兼容。

基本操作

下面各节介绍的是各 nvSRAM 指令的详细内容。

读 ID (90h) 的定义

读 ID 指令指出器件支持 ONFI 规范。如果 nvSRAM 支持 ONFI 规范，将返回 ONFI 标签。ONFI 标签是“ONFI”的 ASCII 编码，其中“O” = 4Fh、“N” = 4Eh、“F” = 46h 和“I” = 49h。读取超过四个字节时，将产生不确定的值。图 7 和图 8 定义了读 ID 的性能和时序。

对于读 ID 指令，只有 00h 和 20h 地址有效。随后读 ID 指令 (90h) 的其他地址 (00h 和 20h 除外) 都会向主机返回无效的数据。要想检索 ONFI 标签，必须输入 20h 地址。

对于支持 16 位数据访问的器件，不会使用高 8 位 DQ[15:8]，这些位是“无需关注”位。

图 7. ONFI 标签的读 ID 操作框图

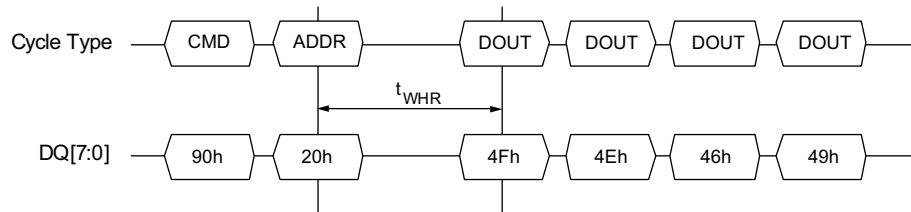
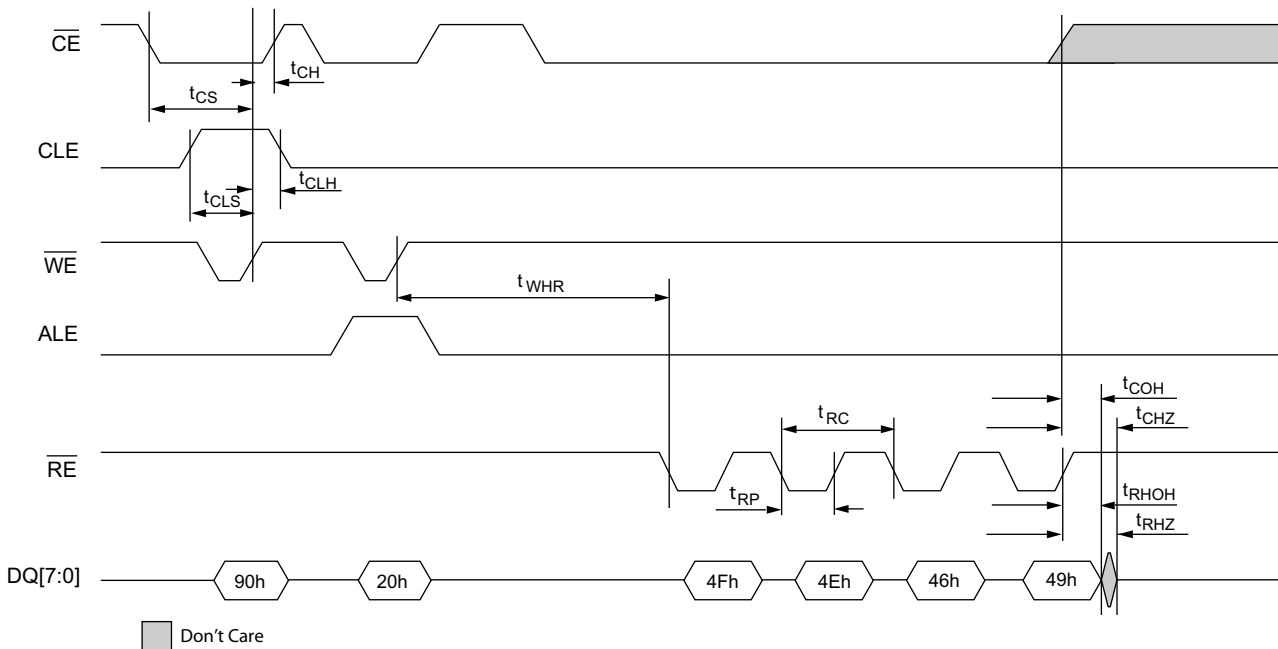


图 8. ONFI 标签的读 ID 时序框图



通过指定 00h 地址，可以使用读 ID 指令为特殊 NAND 器件确定 JEDEC 制造商 ID 和器件 ID。图 9 定义了用于检索器件 ID 的读 ID 性能和时序。读取超过前两个字节将产生不确定的值。

图 9. 制造商 ID 的读 ID 操作框图

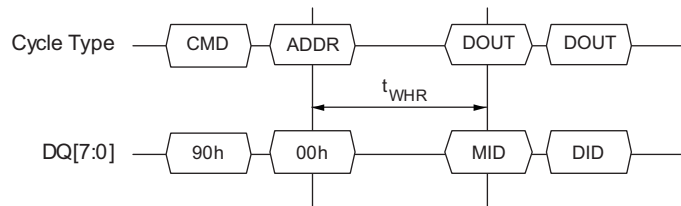
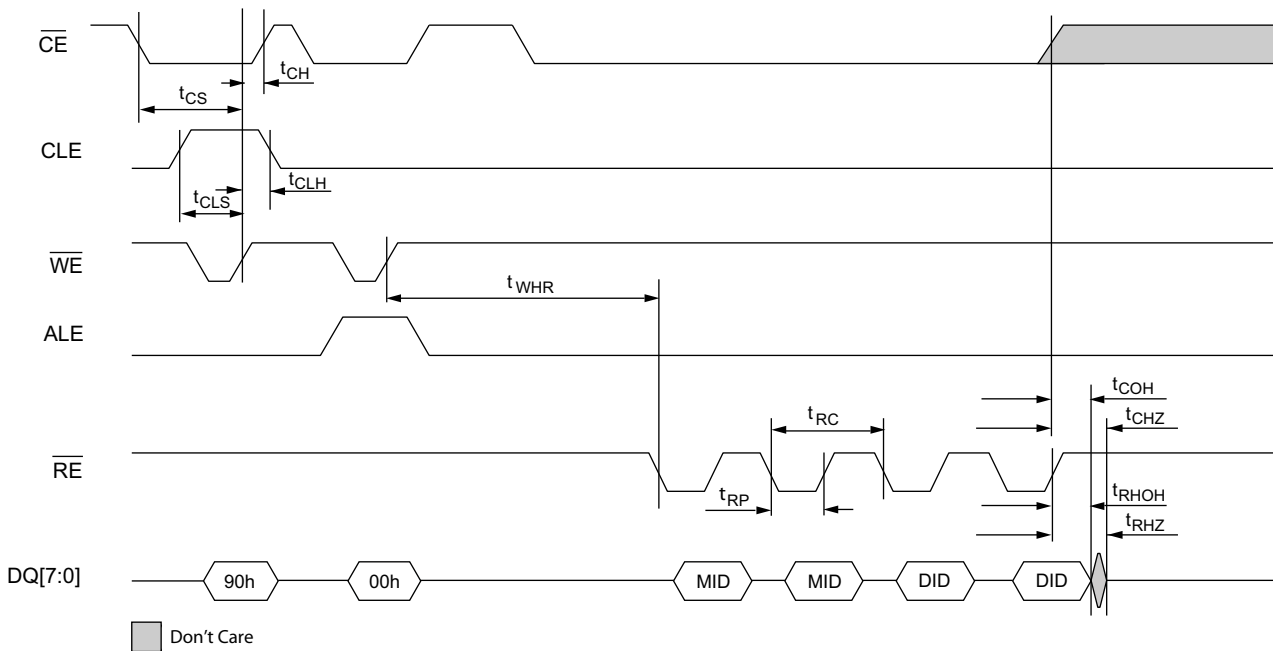


图 10. 制造商 ID 的读 ID 时序框图



MID 包含了分配制造商 ID 的 2 个字节代码。MID 寄存器在出厂前已设置好。对于用户，它是只读寄存器。这是由 JEDEC 为赛普拉斯分配的制造商 ID。JEDEC 将制造商 ID 分成不同的组。前八位表示 ID 所属的组。接下来的八位是制造商 ID。赛普拉斯的制造商 ID 为 34h，位于组 0 中。因此，所有赛普拉斯 NAND 接口 nvSRAM 产品的制造商 ID 如下所示：

MID: 0000_0000_0011_0100

DID 是一个两字节代码，包含赛普拉斯给器件分配的器件 ID。对于 x8 的配置，器件 ID 为 22h 和 00h；对于 x16 的配置，器件 ID 为 22h 和 40h。

DID (x8): 0010_0010_0000_0000

DID (x16): 0010_0010_0100_0000

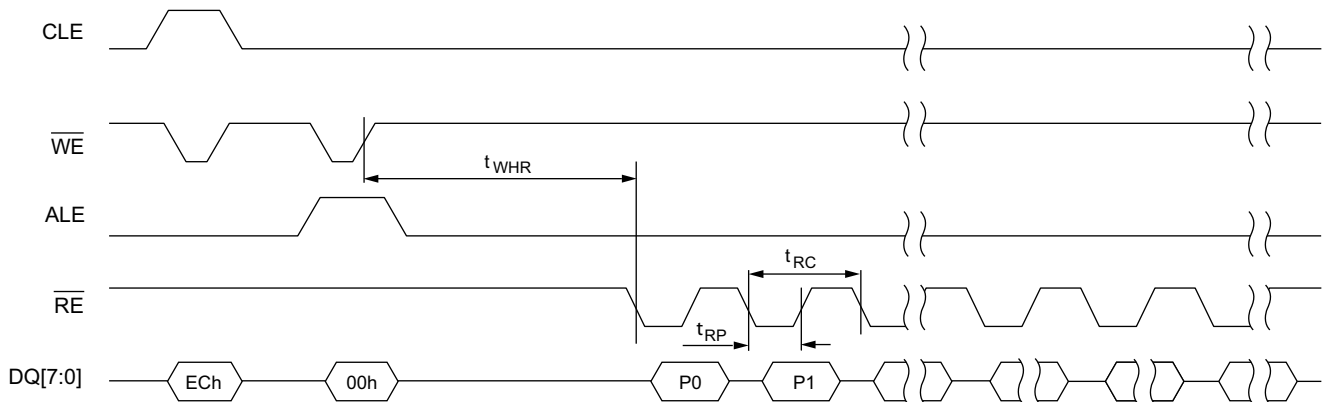
读参数页 (ECh)

通过读参数页指令 (ECh) 可以检索说明目标组织、特性、时序以及其他功能参数的数据结构。图 11 定义了读参数页的指令。当 nvSRAM 处于闲置状态时，目标才接受该指令。将 ECh 写入到指令寄存器时可使目标进入读参数页模式。器件将一直处于该模式，直到发送另一个有效指令为止。

当发送 ECh 指令后执行 00h 地址周期，在读取参数页字节之前，主机要在 t_{WHR} 的时长进行等待。nvSRAM 开始发送用于每个 RE 切换的各参数字节。

主机通过使用读参数页 (ECh) 输出数据来配置自己的内部设置，以便正常使用 nvSRAM 器件。对于所有器件，参数页数据是静态的。但在器件的产品周期内，可以修改该值。主机应解析数据并进行相应配置。

图 11. 读参数页指令时序



参数页的数据结构定义

表 4 定义了 nvSRAM 参数页的数据结构。该参数页具有多个字节，它的最低有效字节与参数页数据结构中的第一个字节相对应。各个数值被记录在参数页内，其单位是字节。对于支持 16 位数

据访问的器件，不使用高 8 位 DQ[15:8]，并将其作为“无需关注”位。

表 4. 参数页的数据结构定义

字节	参数说明 [5]	值 (针对 SDR 时序模式 — 3)		值 (针对 SDR 时序模式 — 2)	
		x8	x16	x8	x16
0-3	参数页的标签				
	字节 0: 4Fh、“O”	4Fh	4Fh	4Fh	4Fh
	字节 1: 4Eh、“N”	4Eh	4Eh	4Eh	4Eh
	字节 2: 46h、“F”	46H	46H	46H	46H
	字节 3: 49h、“I”	49h	49h	49h	49h
4-5	版本号	00h, 02h	00h、02h	00h、02h	00h、02h
	位 15-2: 预留 (0)				
	位 1: 支持 ONFI 版本 1.0				
	位 0: 预留 (0)				

注释:

5. () 指明出厂数值。

表 4. 参数页的数据结构定义 (续)

字节	参数说明 ^[5]	值 (针对 SDR 时序模式 — 3)		值 (针对 SDR 时序模式 — 2)	
		x8	x16	x8	x16
6–7	支持特性	00h、00h	00h、01h	00h、00h	00h、01h
	位 15–1: 预留 (0)				
	位 0: 置“1”时, 将支持宽度为 16 位的数据总线				
8–9	支持可选指令	00h、00h	00h、00h	00h、00h	00h、00h
	位 15–3: 预留 (0)				
	位 2: 支持获取特性和设置特性				
	位 1–0: 预留 (0)				
10–31	预留 (0)	所有字节 00h			
32–43	器件制造商 (12 ASCII 字符)	所有字节 00h			
44–63	器件模型 (20 ASCII 字符)	所有字节 00h			
64	JEDEC 制造商 ID	34h	34h	34h	34h
65–66	数据代码 (可选)	所有字节 00h			
67–79	预留 (0)	所有字节 00h			
80–100	未使用 (0)	所有字节 00h			
101	地址周期数量 位 7–4: 列地址周期 位 3–0: 行地址周期	32h	32h	32h	32h
102–127	未使用 (0)	所有字节 00h			
128	I/O 引脚电容	08h	08h	08h	08h
129–130	时序模式支持	00h、08h	00h、08h	00h、04h	00h、04h
	位 15–4: 预留 (0)				
	位 3: 置“1”时, 支持时序模式 3				
	位 2: 置“1”时, 支持时序模式 2				
	位 1–0: 预留 (0)				
131–140	未使用 (0)	所有字节 00h			
141–163	预留 (0)	所有字节 00h			
164–253	未使用 (0)	所有字节 00h			
254–255	集成 CRC	所有字节 00h			
256–768	预留 (0)	所有字节 00h			

读状态（70h）的定义

通过读状态指令可以检索最后操作的状态值。有关状态寄存器位的定义，请参考第 15 页上的表 5（状态域的定义）中的内容。图 12 和图 13 定义了读状态的性能和时序。

SR：状态寄存器位在第 15 页上的表 6 中进定义。

图 12. 读状态操作

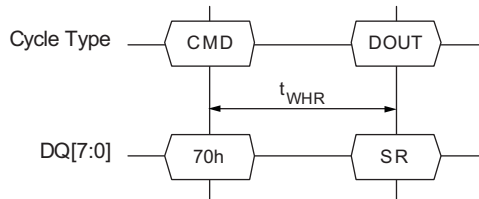
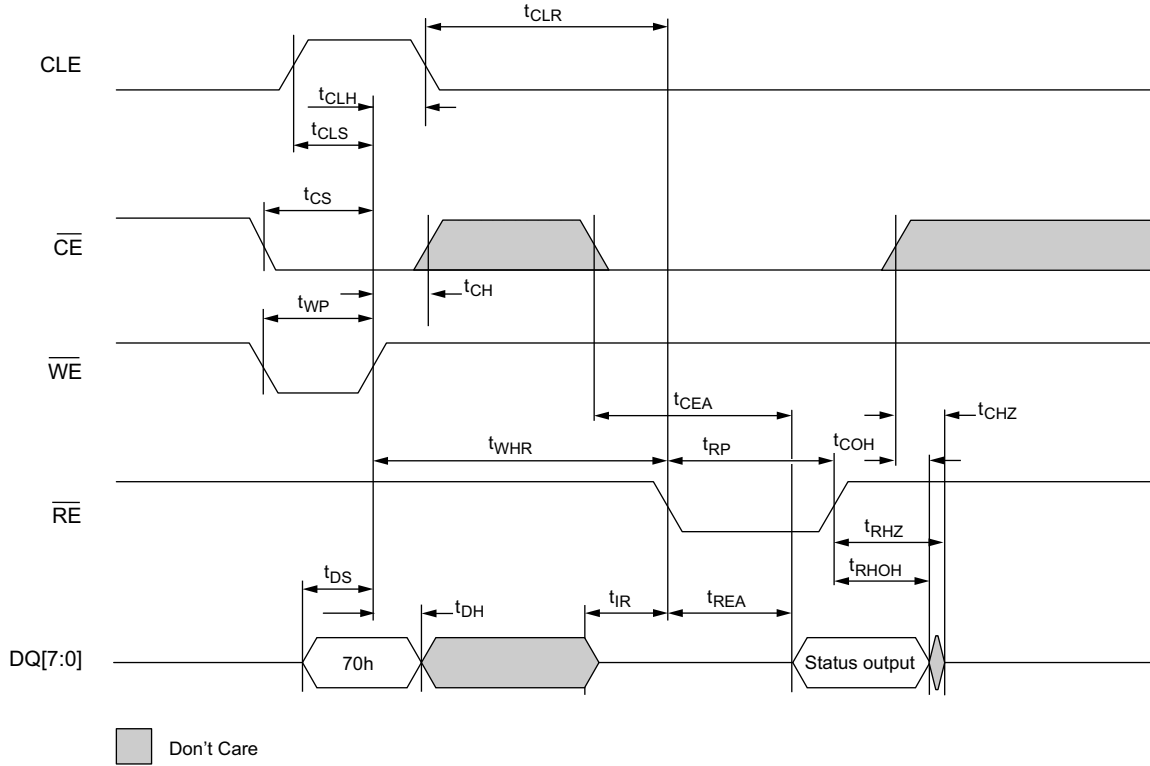


图 13. 读状态时序



状态域的定义

读状态寄存器指令返回状态寄存器字节值（SR）。如果将 RDY 位清除为“0”，则状态字节中的所有其他位（ \overline{WP} 除外）均无效，因此主机会忽略这些位。在执行 nvSRAM 存储或软件回读周期时，可以轮询 RDY 位，用以检查就绪 / 繁忙状态。

表 5. 状态域的定义

SR 位	7	6	5	4	3	2	1	0
状态寄存器	\overline{WP}	RDY	X (0)	X (0)	X (0)	R (0)	X (0)	FAIL

表 6. 状态寄存器位定义

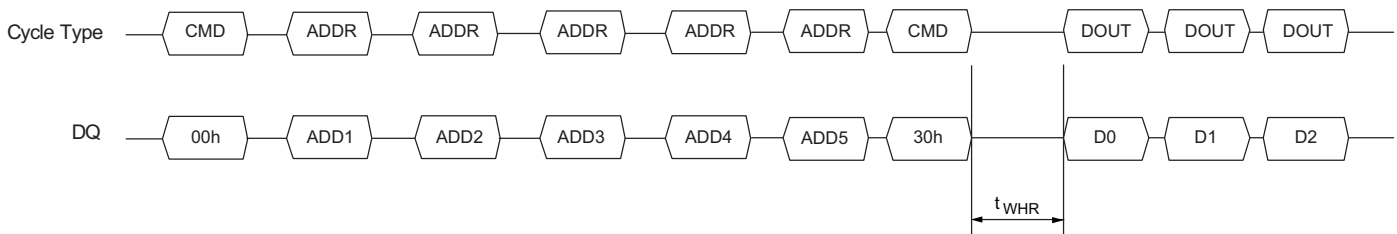
SR 位	SR 位定义	SR 位说明
位 0	FAIL	显示的是 nvSRAM 最后执行的指令的状态。如果没有成功执行最后的指令，则 FAIL 位将设置为“1”。如果没有正确注册主机发送的最后的指令，或该指令没有收到相关的地址字节，或主机发送了一个无效的指令，这时 nvSRAM 将设置 FAIL 位。
位 1	无需关注	读取该位始终返回“0”。
位 2	预留	读取该位始终返回“0”。
位 3	无需关注	读取该位始终返回“0”。
位 4	无需关注	读取该位始终返回“0”。
位 5	无需关注	读取该位始终返回“0”。
位 6	RDY	如果被置“1”，则 nvSRAM 可用于其他指令，而且所有其他位的状态值都有效。将其置“0”时，最后发送的指令仍未完成，并且 SR 位 5:0 无效，因此主机将忽略它。该位对 R/B 的值产生影响。器件在存储或软件回读周期内会将该位设置为“0”。
位 7	\overline{WP}	将其置“1”时，可以对该器件进行写操作。将其置“0”时，则不能对该器件进行写操作。无论 RDY 位的状态如何，该位始终有效。

nvSRAM 突发模式下的读指令（00h、30h）

在主机控制器依次发送 00h 指令、五个地址字节和 30h 指令周期后，nvSRAM 将进入读模式。注册读指令后，并且经过 \overline{RE} 控制信号下降沿（即 t_{REA} ）时间后，nvSRAM 将在每次 \overline{RE} 切换时开始将数据发送到它的 DQ 总线。可以在突发模式下读取 nvSRAM。在该模式下，主机在最大时间（ t_{RC} ）内为 \overline{RE} 重复提供脉冲，从而可以继续读取器件中的数据。另外，通过启动单次读取请求，主机可以读取整个存储器空间。在突发模式下进行

读操作时，nvSRAM 的内部地址计数器会自动递增至下一个可寻址位置，而且器件将继续把数据发送到它的 DQ 总线上。内部地址计数器达到最终可寻址的存储器位置后，该计数器将翻转至起始地址并继续发送数据字节。器件将一直处于读模式，直到发送另一个有效的指令为止。有关数据输出周期时序的信息，请参考图 14。

图 14. 读取时序



突发模式下 nvSRAM 的写指令（80h、10h）

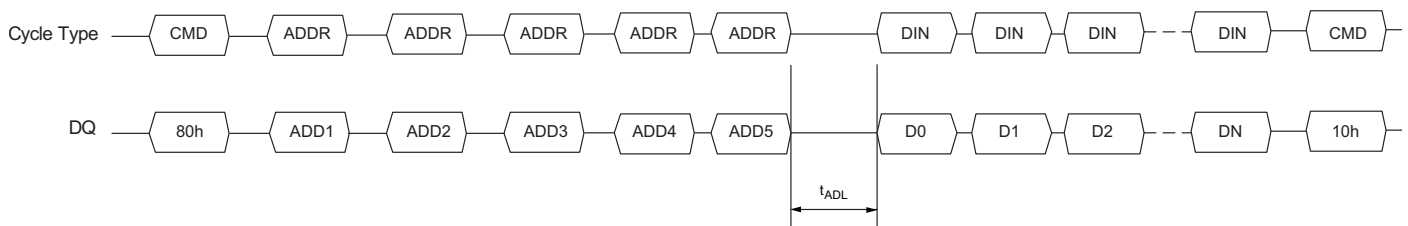
当主机控制器发送一个 80h 指令，随后是五个地址字节以及所需写入的数据字节，nvSRAM 将进入写模式。启动写指令后，每次进行 \overline{WE} 切换都将后续数据字节写入到 nvSRAM 内。主机在写数据周期结束后发送一个 10h 指令时，写模式被终止。nvSRAM 支持在突发模式下进行写操作。在该模式下，主机在开始写周期时会启动写指令，然后通过为 \overline{WE} 提供脉冲继续发送需要写入的数据字节。主机应保持 \overline{WE} 的最小写脉冲宽度 (t_{WP}) 和 \overline{CE} 信号的设置时间 (t_{CS}) 和保持时间 (t_{CH})。在突发模式下进行写

操作时，nvSRAM 的内部地址计数器在写入每个数据字后会自动递增。内部地址计数器达到最后可寻址的存储器位置后，该计数器将翻转至起始地址，并会通过覆盖先前写入的数据从起始地址继续写入数据。

注意：10h 指令时 nvSRAM 写操作的可选指令。即使主机不发送该指令，nvSRAM 仍可以成功执行写操作。进行写操作时，如果主机执行 10h 指令，则正在进行的写模式将被终止。

有关数据输入周期时序的信息，请参考图 15。

图 15. 写入时序



复位（FFh）的定义

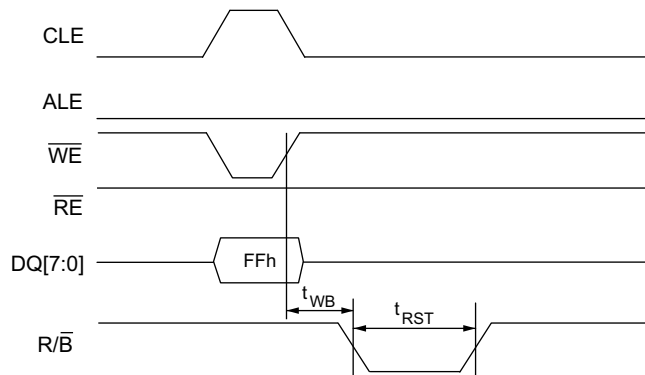
通过复位指令可以使 nvSRAM 处于上电状态。器件在任何状态下（进行上电回读操作的情况除外）都可以执行复位指令。进行上电回读操作时，将不会发送复位指令，另外器件就绪后主机必须保持等待状态，直到 R/\overline{B} 处于高电平状态为止。图 16 定义了复位性能和时序。

对于支持 16 位数据访问的器件，不使用高 8 位 $DQ[15:8]$ ，并将其作为“无需关注”位。

注意：当进行任何 NV 操作时，如果发送复位（FFh）指令，那么仅在完成该 NV 操作后才能执行复位请求。根据当前器件的状态， t_{RST} 时序会根据下列项目而发生改变：

- 如果在器件处于就绪状态时执行复位指令，那么处理复位请求所需要的时间为 t_{SS} 。
- 如果在进行软件回读周期时发送复位指令，那么处理复位请求所需要的时间为 t_{RECALL} 。
- 如果在进行软件或 \overline{HSB} 存储时发送复位指令，那么处理复位请求所需要的时间为 t_{STORE} 。

图 16. 复位时序图



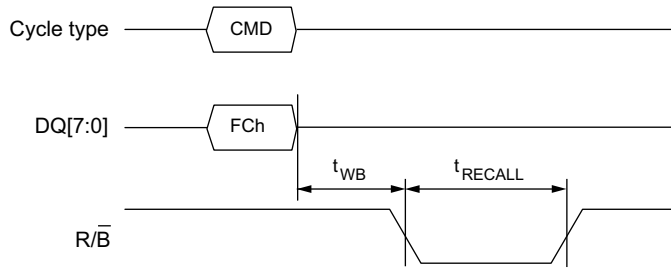
nvSRAM 的软件回读指令 (FCh)

通过软件回读可以启动 nvSRAM 中的软件回读指令操作。在就绪状态下，器件可以随时执行该指令。图 17 定义了 nvSRAM 的软件回读指令性能和时序。nvSRAM 注册软件回读指令后，在内部启动软件回读操作前，处理软件指令所需要的时间为 t_{SS} 。在 t_{RECALL} 期间，对 nvSRAM 进行的所有访问（复位 (FFh) 和读

状态 (70h) 除外) 都被禁止。进行回读操作时，在 t_{RECALL} 时间内，nvSRAM 将状态寄存器的 RDY 位设置为“0”并将 R/\bar{B} 引脚设置为低电平。回读完成后，RDY 位被设置为“1”，并且外部上拉电阻将 R/\bar{B} 置为高电平，用以表示就绪状态。

对于支持 16 位数据访问的器件，不使用高 8 位 DQ[15:8]，并将其作为“无需关注”位。

图 17. nvSRAM 的软件回读



nvSRAM 中的软件存储指令 (84h、A5h)

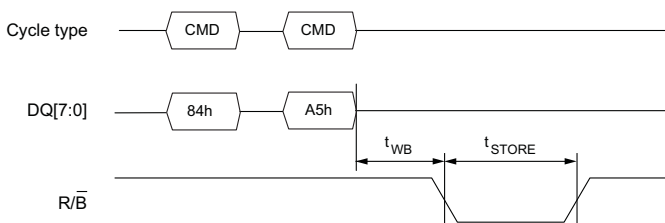
不管是否正在进行 SRAM 写操作，发送软件存储指令时会启动 nvSRAM 中的软件存储操作。注册软件存储指令后，器件将在 t_{STORE} 的时间内完成存储操作。在存储操作期间，禁止对 nvSRAM 进行的所有访问（复位 (FFh) 和读状态 (70h) 除外）。启动存储周期后，在 t_{STORE} 期间，nvSRAM 将 R/\bar{B} 引脚置于低电平。状态寄存器 SR[6] 的 RDY 位从“1”转换为“0”，并一直保持为“0”，直到存储周期完成为止。图 18 定义了软件存储性能和时序。启动软件存储指令后，在 t_{STORE} 期间，nvSRAM 将 R/\bar{B} 信号置于低电平，并且对 nvSRAM 的所有访问（包括 FFh 复位）被禁止。

件在 t_{SS} 时间内将 R/\bar{B} 置于低电平。该设置是易失性的，因此，如果需要在后续电源循环结束后该设置保持不变，您需要执行一个手动软件存储操作。器件处于就绪状态时可以随时执行该指令。图 19 定义了 nvSRAM 的自动存储禁用时序。

对于支持 16 位数据访问的器件，不使用高 8 位 DQ[15:8]，并将其作为“无需关注”位。

对于支持 16 位数据访问的器件，不使用高 8 位 DQ[15:8]，并将其作为“无需关注”位。

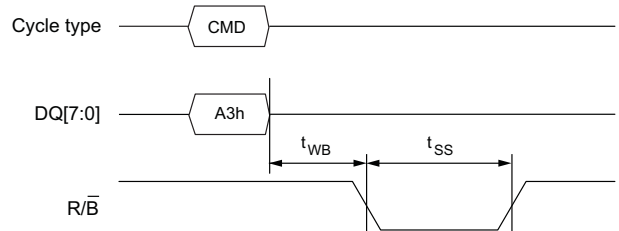
图 18. 软件存储时序



nvSRAM 的自动存储禁用 (A3h)

通过使用自动存储禁用指令 (A3h) 可以禁用 nvSRAM 的自动存储功能。在 t_{SS} 期间，禁止对 nvSRAM 进行所有访问（复位 (FFh) 和读状态 (70h) 除外）。执行自动存储使能指令时，器

图 19. nvSRAM 的自动存储禁用

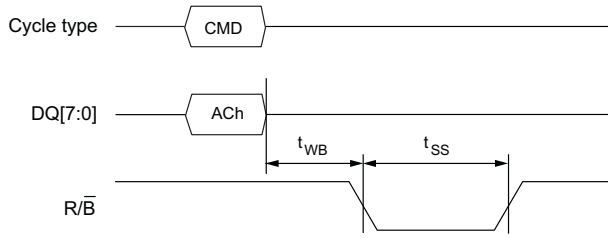


nvSRAM 的自动存储使能 (ACh)

通过使用自动存储使能指令 (ACh) 可以使能 nvSRAM 的自动存储功能。在 t_{SS} 期间，禁止对 nvSRAM 进行访问（复位 (FFh) 和读状态 (70h) 除外）。执行自动存储使能指令时，器件在 t_{SS} 时间内将 R/\bar{B} 置于低电平。该设置是易失性的，因此，如果需要在后续电源循环结束后该设置保持不变，您需要执行一个手动软件存储操作。器件处于就绪状态时可以随时执行该指令。图 20 定义了 nvSRAM 的自动存储使能时序。

对于支持 16 位数据访问的器件，不使用高 8 位 DQ[15:8]，并将其作为“无需关注”位。

图 20. nvSRAM 的自动存储使能



写保护

通过写保护特性可以禁用 nvSRAM 中的写操作。在启动写指令 (80h) 前, 如果主机从外部将 \overline{WP} 引脚置于低电平, 那么 nvSRAM 将清除状态寄存器中的 \overline{WP} (SR[7]) 状态, 并禁用对 SRAM 存储器进行写操作。但仍可以对状态寄存器进行写操作。器件在 \overline{WE} 信号上升沿上锁存写保护引脚的状态和写指令 (80h)。写保护状态被锁存后, 它在当前的写周期内无效。修改 \overline{WP} 的值后, 至少在 t_{WW} 时间内, 主机不会向器件发送新的指令。在指令周期内, 主机不能切换 \overline{WP} 引脚。图 21 介绍了 t_{WW} 时序的要求, 包括切换 \overline{WP} 后 nvSRAM 写指令的起始。 \overline{WP} 信号的切换是异步的。主机发送新指令前, 每次 \overline{WP} 从低电平转换为高电平或从高电平转换为低电平后, 总线在 t_{WW} 时间内保持闲置状态。

图 21. 写保护禁用时序

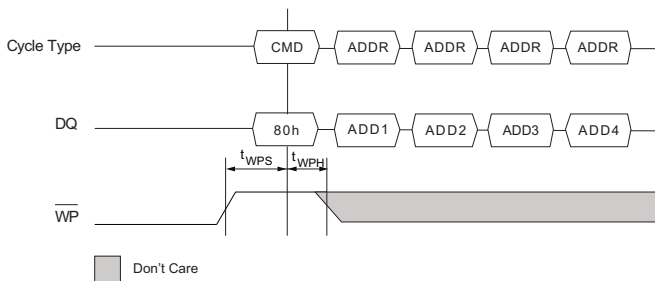
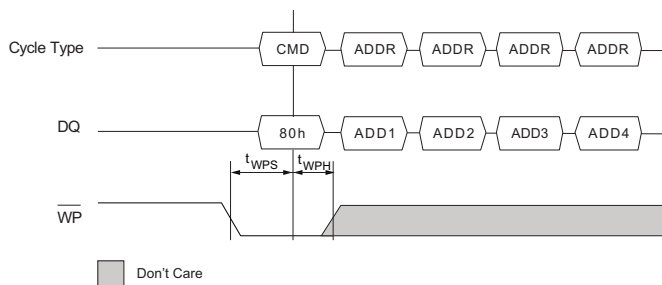


图 22. 写保护使能时序



nvSRAM 存储操作

nvSRAM 通过使用三个存储操作中的一个, 将数据存储到非易失性存储器单元内。存储操作类型包括: 器件断电时自动触发的自动存储, 由 \overline{HSB} 激活的硬件存储和通过发送软件指令激活的软件存储。

自动存储操作

自动存储操作是 SONOS 技术的独有特性, 并在器件上被默认使能。在正常工作时, 器件从 V_{CC} 得到电流, 用以向 V_{CAP} 引脚连接的电容充电。在断电期间, 芯片使用所存储的电荷执行存储操作。如果 V_{CC} 引脚的电压下降到 V_{SWITCH} 以下, 则器件将自动断开 V_{CAP} 引脚与 V_{CC} 间的连接。这时, 将使用 V_{CAP} 电容提供的电源启动存储操作。

注意: 如果电容没有连接到 V_{CAP} 引脚, 则必须通过使用自动存储禁用指令 (A3h) 来禁用自动存储。当 V_{CAP} 引脚上没有连接电容时, 如果使能了自动存储, 则器件在没有足够的电荷的情况下将尝试自动存储, 以完成存储操作。这样会破坏 nvSRAM 数据。

图 23. 自动存储模式

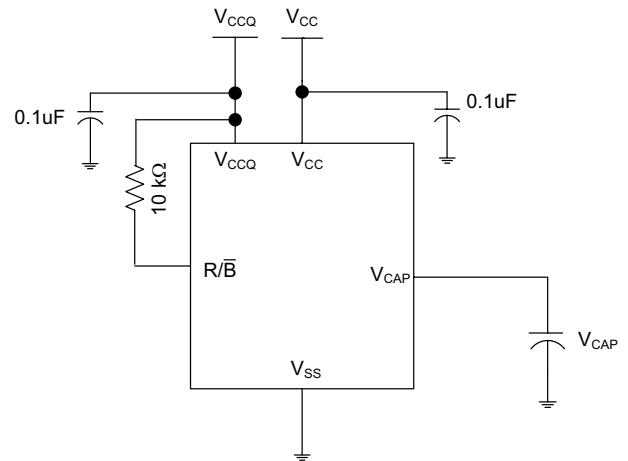


图 23 显示的是自动存储操作的正确存储电容 (V_{CAP}) 连接。请参考第 20 页上的直流电气特性, 以了解 V_{CAP} 的大小。通过片上调压器将 V_{CAP} 引脚上的电压调整为 V_{VCAP} 。需要将上拉电阻放置在 R/\overline{B} 上, 保证在上电时该电阻保持无效状态。仅在 R/\overline{B} 信号在加电处于三态时, 该上拉电阻才有效。nvSRAM 的上电回读操作完成后, 主微控制器必须处于活动状态或者 R/\overline{B} 要保持非活动状态, 直到主微控制器的复位结束为止。为了减少不必要的非易失性存储, 将忽略自动存储和硬件存储操作, 除非在最新的存储或回读周期后至少要执行一次写操作。

硬件存储 ($\overline{\text{HSB}}$) 操作

该器件提供了 $\overline{\text{HSB}}$ 引脚，用于控制硬件存储操作。 $\overline{\text{HSB}}$ 引脚用于请求硬件存储周期。当 $\overline{\text{HSB}}$ 引脚被置为低电平时，器件将在 t_{DELAY} 时间内有条件地启动存储操作。仅在最后的存储或回读周期完成后发生对 SRAM 的写操作时，才开始实际的存储周期。在 $\overline{\text{HSB}}$ 处于低电平时，正在执行的 SRAM 写操作将在存储操作起始前必须在 t_{DELAY} 的时间内完成写操作。但是，在 $\overline{\text{HSB}}$ 处于低电平后所要求的 SRAM 写周期都被禁止，直到 $\overline{\text{R/B}}$ 返回高电平状态为止。如果 $\overline{\text{HSB}}$ 为低电平，器件将使 $\overline{\text{R/B}}$ 保持低电平状态。但所有的 SRAM 读和写周期都被禁止，直至主机控制器或其他外部源使 $\overline{\text{HSB}}$ 返回高电平状态为止。进行正常器件操作时， $\overline{\text{HSB}}$ 引脚必须为高电平。如果该应用没有使用 $\overline{\text{HSB}}$ 引脚，则应该使用 4.7 k Ω 至 10 k Ω 间的外部上拉电阻值将该引脚置为高电平。

软件存储操作

通过发送软件存储指令 (84h、A5h) 可以启动软件存储操作。不管是否设置了写锁存，nvSRAM 都会启动一个存储周期。更多详细信息，请参见第17页上的nvSRAM中的软件存储指令 (84h、A5h)。

nvSRAM 的回读操作

nvSRAM 使用两个回读操作中的一个来读取非易失性存储器单元中的数据。这两个回读操作包括：硬件回读（在上电周期或掉电期间内由器件自动激活）和软件启动的回读周期。

硬件回读（加电）

加电时或在低功率状态发生之后 ($V_{\text{CC}} < V_{\text{SWITCH}}$)，内部回读请求将被锁存。如果加电时 V_{CC} 再次超过 V_{SWITCH} ，将自动启动回读周期并需要在 t_{HRECALL} 的时间内来完成。在此期间，nvSRAM 将 $\overline{\text{R/B}}$ 引脚驱动为低电平。同时，对 nvSRAM 进行的所有读和写操作都被禁止。

软件回读

通过发送软件回读指令 (FCh) 可以启动软件回读操作。nvSRAM 启动回读周期并使用从非易失性单元中所回读的数据来覆盖 SRAM 中的数据。更多详细信息，请参见第 17 页上的 nvSRAM 的软件回读指令 (FCh)。

最大额定值

超过最大额定值可能会缩短器件的使用寿命。这些用户指导未经过测试。

存储温度	-65 °C 到 +150 °C
最长存储时间在 150°C 环境温度下可保存	1000 个小时
在 85°C 环境温度下	可保存 20 年
最高结温	150°C
V _{CC} (相对于 V _{SS}) 的供电电压	-0.5 V 到 +4.1 V
V _{CCQ} (相对于 V _{SS}) 的供电电压	-0.5 V 到 +2.4 V
高阻 (High Z) 状态下的 输出直流电压	-0.5 V 至 V _{CCQ} + 0.5 V
输入电压	-0.5 V 到 V _{CCQ} + 0.5 V

所有引脚的瞬变电压 (< 20 ns) 与接地电位相比

.....	-2.0 V 到 V _{CCQ} + 2.0 V
封装功率散耗 (T _A = 25 °C)	1.0 W
包装铅焊温度 (3 秒)	+260 °C
直流输出电流 (每次允许一个输出, 输出时间 1 秒)	20 mA
静电放电电压 (根据 MIL-STD-883, 方法 3015)	> 2001 V
栓锁电流	> 140 mA

工作范围

范围	环境温度 (T _A)	V _{CC}	V _{CCQ}
工业级	-40°C 至 +85°C	2.7 V 至 3.6 V	1.70 V 至 1.95 V

直流电气特性

在工作范围

参数	说明	测试条件	最小值	典型值 ^[6]	最大值	单位
V _{CC}	内核电源		2.7	3.0	3.6	V
V _{CCQ}	I/O 供电电源		1.70	1.80	1.95	V
I _{CC1}	V _{CC} 平均电流	t _{RC} ≥ 30 ns	-	-	100	mA
I _{CCQ1}	V _{CCQ} 平均电流	t _{RC} ≥ 30 ns 无输出负载下取得的值 (I _{OUT} = 0 mA)				
		CY14V116F7	-	-	30	mA
		CY14V116G7	-	-	60	mA
I _{CC2}	存储期间的 V _{CC} 平均电流	所有输入无需关注, V _{CC} = V _{CC} (最大值) t _{STORE} 的平均电流	-	-	10	mA
I _{CC3}	V _{CC} 的平均电流 t _{RC} ≥ 200 ns ; V _{CC} = V _{CC} (典型值)、 25 °C	所有输入在 CMOS 电平循环。	-	-	50	mA
I _{CCQ3}	V _{CCQ} 的平均电流 t _{RC} ≥ 200 ns ; V _{CCQ} = V _{CCQ} (典型值)、 25 °C	所有输入在 CMOS 电平循环。 无输出负载下取得的值 (I _{OUT} = 0 mA)				
		CY14V116F7	-	-	15	mA
		CY14V116G7	-	-	30	mA
I _{CC4} ^[7]	自动存储周期期间的 V _{CAP} 平均电流	所有输入均无需关注。t _{STORE} 期间的平均电流	-	-	6	mA
I _{SB}	V _{CC} 待机电流	$\overline{CE} \geq (V_{CCQ} - 0.2 V)$ 。	-	-	5	mA
I _{SB1}	V _{CCQ} 待机电流	V _{IN} ≤ 0.2 V 或 ≥ (V _{CCQ} - 0.2 V)	-	-	2	mA
I _{IX}	输入漏电流	V _{CCQ} = V _{CCQ} (最大值)、V _{SS} ≤ V _{IN} ≤ V _{CCQ}	-1	-	+1	μA
I _{OZ}	输出漏电流	V _{CCQ} = V _{CCQ} (最大值)、 V _{SS} ≤ V _{IN} ≤ V _{CCQ} ; 输出被禁用	-1	-	+1	μA

注释:

- 典型值的温度为 25 °C、V_{CC} = V_{CC} (典型值) 和 V_{CCQ} = V_{CCQ} (典型值)。并非 100% 经过测试。
- 该参数仅在设计上得到保证, 但未经过测试。

直流电气特性 (续)

在工作范围

参数	说明	测试条件	最小值	典型值 ^[6]	最大值	单位
V_{IH}	输入高电平电压		$0.8 \times V_{CCQ}$	-	$V_{CCQ} + 0.3$	V
V_{IL}	输入低电平电压		$V_{SS} - 0.3$	-	$0.2 \times V_{CCQ}$	V
V_{OH}	输出高电平电压	$I_{OH} = -100 \mu A$	$V_{CCQ} - 0.1$	-	V_{CCQ}	V
V_{OL}	输出低电平电压 (R/ \bar{B} 除外)	$I_{OL} = 100 \mu A$	-	-	0.1	V
	输出低电平电压 (针对 R/ \bar{B})	$I_{OL} = 3 \text{ mA}$	-	-	0.2	V
V_{CAP} ^[8]	存储电容	在 V_{CAP} 引脚和 V_{SS} 之间	19.8	22.0	82.0	μF
$V_{V_{CAP}}$ ^[9、10]	器件在 V_{CAP} 引脚上驱动的最大电压	$V_{CC} = V_{CC}$ (最大值)	-	-	5.0	V

数据保留时间与耐久性

在工作范围

参数	说明	最小值	单位
$DATA_R$	数据保留时间	20	年
NV_C	非易失性存储操作	1,000,000	周期

电容

参数 ^[10]	说明	测试条件	最大值	单位
C_{IN}	时钟和输入引脚上的输入电容	$T_A = 25 \text{ }^\circ\text{C}$ 、 $f = 1 \text{ MHz}$ 、 $V_{CC} = V_{CC}$ (典型值)、 $V_{CCQ} = V_{CCQ}$ (典型值)	10	pF
C_{IO}	数据和 I/O 引脚上的输入电容		10	pF
C_{OTHER}	所有其他控制引脚上的电容		10	pF

热阻

参数 ^[10]	说明	测试条件	165 ball FBGA	单位
Θ_{JA}	热阻系数 (结至环境)	根据 EIA/JESD51 的要求, 测试条件要遵循测试热阻的标准测试方法和过程。	15.6	$^\circ\text{C/W}$
Θ_{JC}	热阻系数 (结至外壳)		2.9	$^\circ\text{C/W}$

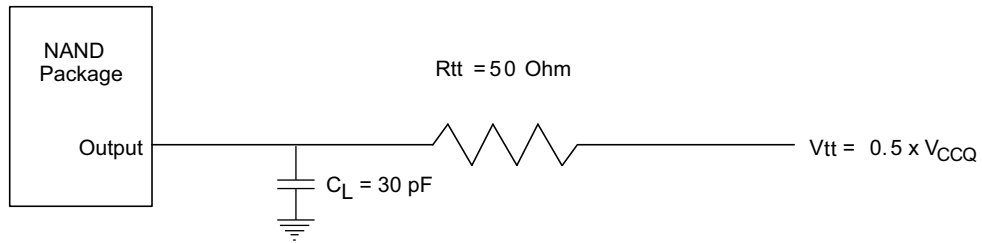
注释:

- V_{CAP} 的最小值保证能够提供用来完成自动存储操作的足够电荷。 V_{CAP} 的最大值保证 V_{CAP} 的电容在加电回读周期期间被充电至最小电压, 使紧急断电循环可以顺利完成自动存储操作。因此, 建议使用的电容属于规定的最小极限值和最大极限值内。
- 当选择 V_{CAP} 电容时, V_{CAP} 引脚上的最大电压 ($V_{V_{CAP}}$) 仅供指导之用。在工作温度范围内, V_{CAP} 电容的额定电压应高于 $V_{V_{CAP}}$ 电压。
- 这些参数仅通过设计保证, 并未经过测试。

交流测试条件

输入脉冲电平 0 V 到 V_{CCQ}
输入上升和下降时间 (10%–90%) < 5 ns
输入和输出时序参考电平 $V_{CCQ}/2$

图 24. 驱动器的输出参照



交流切换特性

时序模式

在工作范围

参数 ^[11]	说明	模式 2		模式 3		单位
		35 ns		30 ns		
		最小值	最大值	最小值	最大值	
t _{ADL}	地址周期到数据加载的时间	100	–	100	–	ns
t _{ALH}	ALE 保持时间	10	–	5	–	ns
t _{ALS}	ALE 设置时间	15	–	10	–	ns
t _{AR}	ALE 到 \overline{RE} 的延迟	10	–	10	–	ns
t _{CEA}	\overline{CE} 访问时间	–	30	–	25	ns
t _{CH}	\overline{CE} 保持时间	10	–	5	–	ns
t _{CHZ} ^[12]	\overline{CE} 为高电平到输出高阻态的时间	–	50	–	50	ns
t _{CLH}	CLE 保持时间	10	–	5	–	ns
t _{CLR}	CLE 到 \overline{RE} 的延迟	10	–	10	–	ns
t _{CLS}	CLE 设置时间	15	–	10	–	ns
t _{COH}	\overline{CE} 为高电平到输出保持的时间	15	–	15	–	ns
t _{IR}	输出为高阻态到 \overline{RE} 为低电平的时间	0	–	0	–	ns
t _{CS}	\overline{CE} 设置时间	25	–	25	–	ns
t _{DH}	数据保留时间	5	–	5	–	ns
t _{DS}	数据设置时间	15	–	10	–	ns
t _{RC}	\overline{RE} 周期时间	35	–	30	–	ns
t _{REA}	\overline{RE} 访问时间	–	25	–	20	ns
t _{REH}	\overline{RE} 为高电平的保持时间	15	–	10	–	ns
t _{RHOH}	\overline{RE} 为高电平到输出保持的时间	15	–	15	–	ns
t _{RHW}	\overline{RE} 为高电平到 \overline{WE} 为低电平的时间	100	–	100	–	ns
t _{RHZ} ^[12]	\overline{RE} 为高电平到输出为高阻态的时间	–	100	–	100	ns
t _{RP}	\overline{RE} 脉冲宽度	17	–	15	–	ns
t _{RST} ^[13]	器件复位时间	–	500/600/ 8000	–	500/600/ 8000	μs
t _{WC}	\overline{WE} 周期时间	35	–	30	–	ns
t _{WB}	\overline{WE} 为高电平或时钟上升沿到 SR[6] 为低电平的时间	–	100	–	100	ns
t _{WH}	\overline{WE} 为高电平的保持时间	15	–	10	–	ns
t _{WHR}	\overline{WE} 指令、地址或数据输入周期到数据输出周期的时间	80	–	80	–	ns
t _{WP}	\overline{WE} 脉冲宽度	17	–	15	–	ns
t _{WW}	\overline{WP} 转换到指令周期的时间	100	–	100	–	ns
t _{WPS}	\overline{WP} 的设置时间	25	–	25	–	ns
t _{WPH}	\overline{WP} 保持时间	10	–	10	–	ns

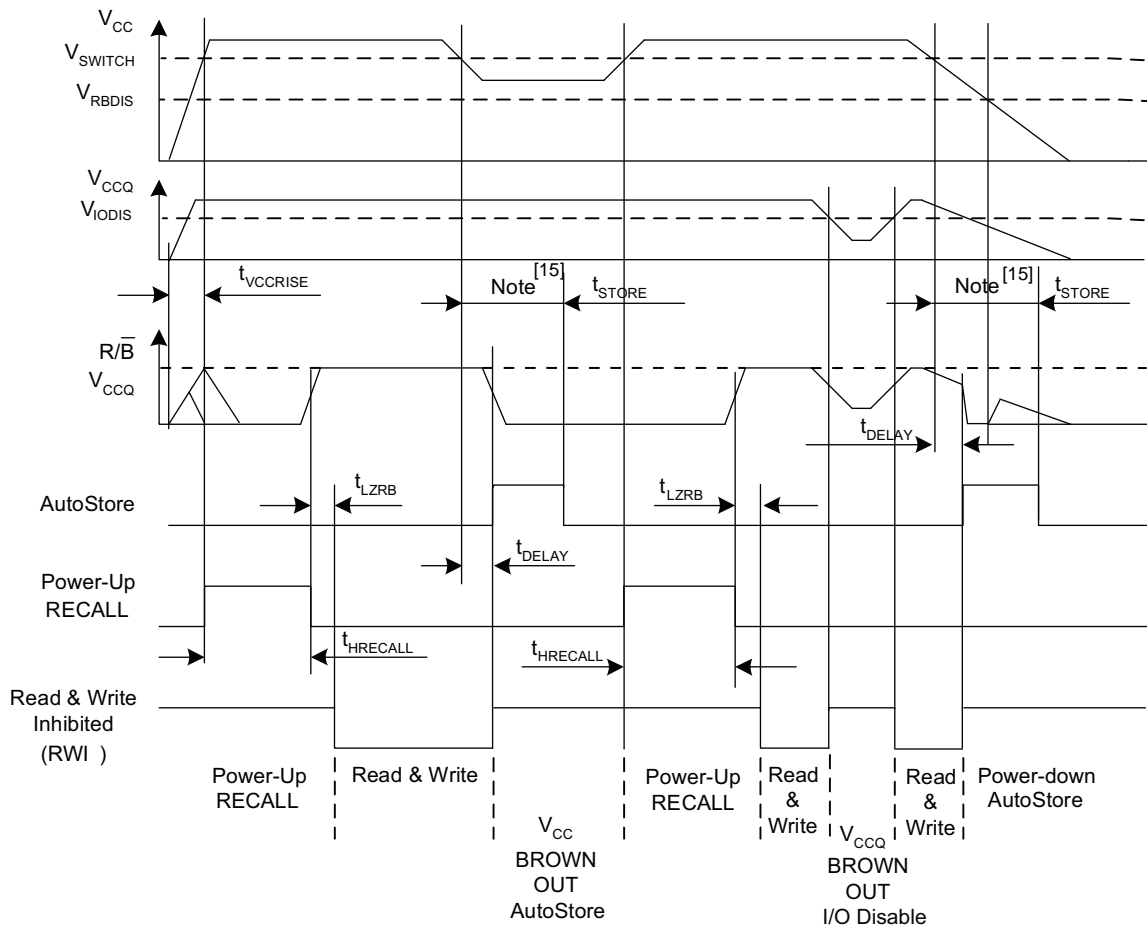
注释:

- 测试条件假设信号跳变时间不大于 5 ns，时序参考电平为 $V_{CCQ}/2$ ，输入脉冲电平介于 0 到 V_{CCQ} （典型值）之间，指定 I_{OL}/I_{OH} 的输出加载以及负载电容为 30 pF，如图 24 所示。
- 这些参数仅通过设计保证，并未经过测试。
- 这里介绍了 t_{RST} 的三个最大值：器件不执行任何存储或回读操作的时间 / 器件执行回读操作的时间 / 器件执行存储操作的时间。

nvSRAM 的自动存储 / 加电回读特性

参数	说明	最小值	最大值	单位
$t_{HRECALL}^{[14]}$	加电回读时间	-	30	ms
$t_{STORE}^{[15]}$	存储周期时间	-	8	ms
$t_{DELAY}^{[16]}$	完成 SRAM 写周期的时间	-	45	ns
$t_{VCCRRISE}^{[17]}$	V_{CC} 上升时间	150	-	μs
V_{SWITCH}	V_{CC} 的低电压触发电平	-	2.65	V
V_{IODIS}	禁用 I/O 时的电压 V_{CCQ}	-	1.6	V
$t_{LZRB}^{[17]}$	R/\bar{B} 到输出有效的时间	-	5	μs
$V_{RBDIS}^{[17]}$	禁用 R/\bar{B} 输出时的电压 V_{CC}	-	1.9	V

图 25. 自动存储或加电回读^[18、19]



注释:

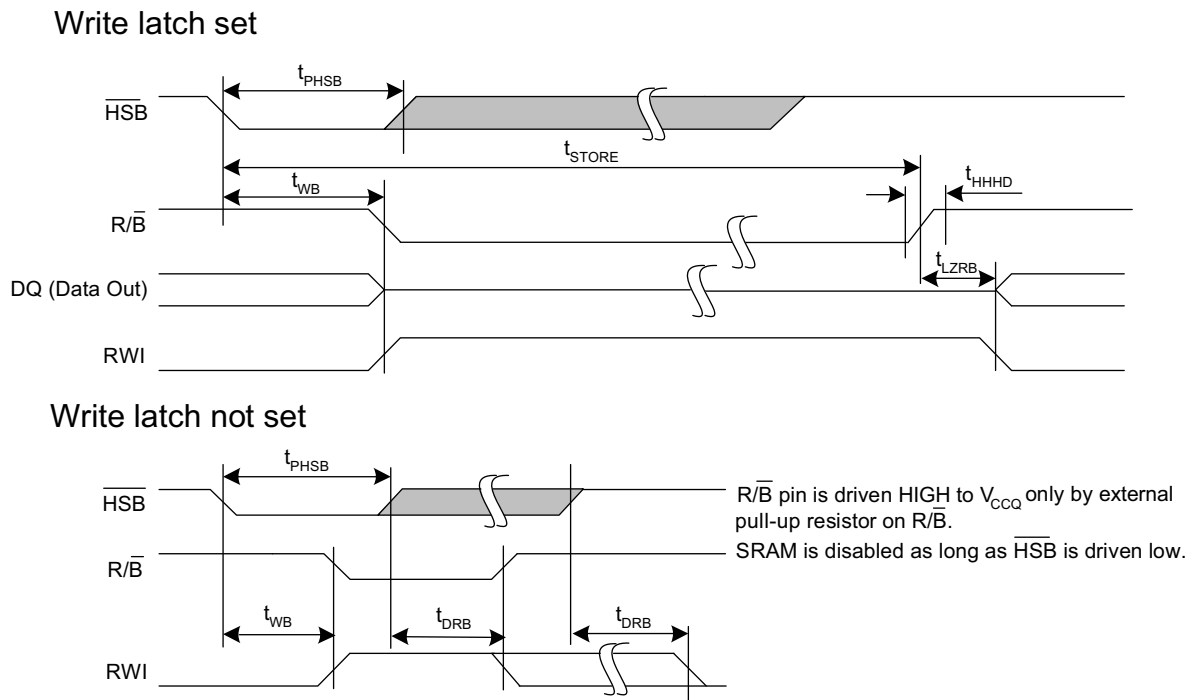
14. 当 V_{CC} 超过了 V_{SWITCH} 时, 将开始计算 $t_{HRECALL}$ 。
15. 如果最后的非易失性循环完成后尚未对 SRAM 进行写操作, 则不会发生自动存储或硬件存储操作。
16. 硬件存储和自动存储启动后, SRAM 写入操作将在 t_{DELAY} 时间内继续保持为使能。
17. 这些参数在设计上得到保证, 但未经过测试。
18. V_{CC} 小于 V_{SWITCH} 时, 将在存储、回读时忽略读写周期。
19. 仅在外部上拉电阻被连接到 R/\bar{B} 引脚时, 引脚才被驱动到高电平, 即 V_{CCQ} 。 R/\bar{B} 驱动器被禁用。

软件存储特性

在工作范围

参数	说明	最小值	最大值	单位
t_{PHSB}	硬件存储脉冲宽度	15	–	ns
t_{DRB}	未设置写入锁存时 R/\bar{B} 到输出有效的时间	–	100	ns
t_{RECALL}	回读期间	–	600	μ s
$t_{SS}^{[20]}$	软件序列处理时间	–	500	μ s

图 26. 硬件存储周期^[21]



订购信息

订购代码	封装图	封装类型	工作范围
CY14V116G7-BZ30XI	51-85195	165 ball FBGA	工业级
CY14V116G7-BZ30XIT			

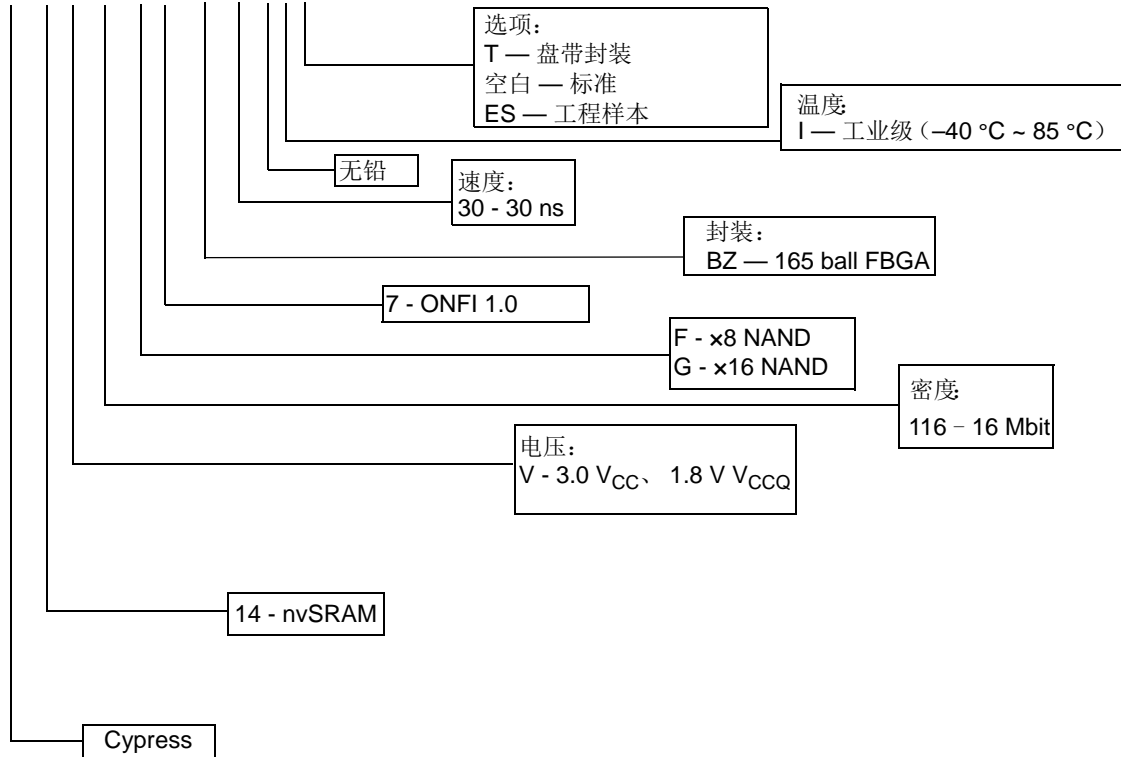
注释:

20. 这是执行软序列指令所需要的时间。必须将 VCC 电源保持为高电平状态，以确保有效地寄存指令。

21. 如果执行完最后非易失性循环而未对 SRAM 进行写操作，将不发生自动存储或硬件存储操作。

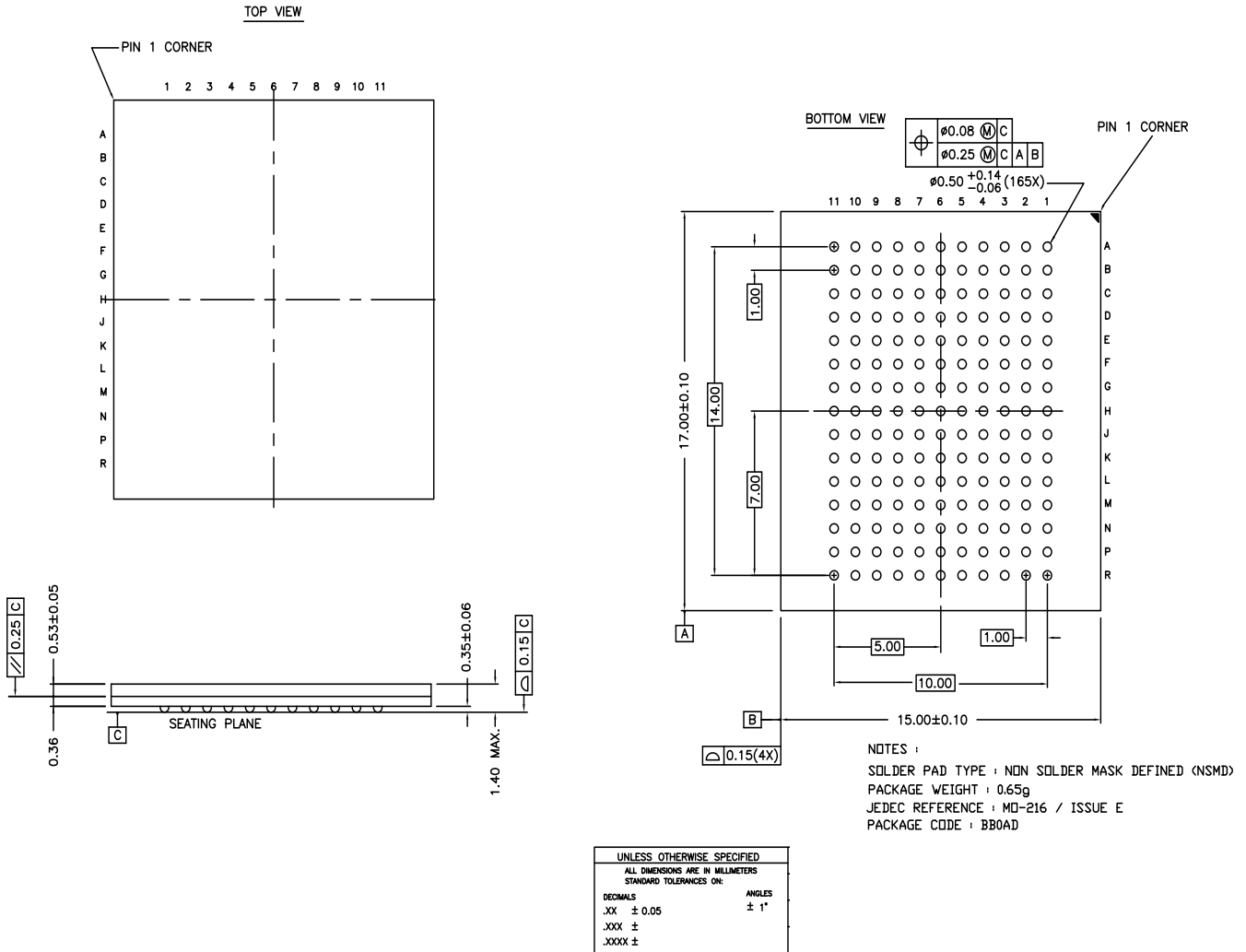
订购代码定义

CY 14 V 116 F 7 - BZ 30 X I T



封装图

图 27. 165 ball FBGA (15 mm x 17 mm x 1.40 mm) 封装外形 (51-85195)



51-85195 *D

缩略语

缩略语	说明
ALE	地址锁存使能
\overline{CE}	芯片使能
CLE	指令锁存使能
CMOS	互补金属氧化物半导体
CRC	循环冗余校验
EIA	电子工业联盟
I/O	输入 / 输出
JEDEC	联合电子设备工程委员会
JESD	JEDEC 标准
nvSRAM	非易失性静态随机访问存储器
ONFI	开放式 NAND 闪存接口
NV	非易失性
\overline{RE}	读使能
RoHS	有害物质限制
R \overline{W}	读 / 写
RWI	禁止读和写
SR	状态寄存器
\overline{WE}	写使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
Hz	赫兹
kHz	千赫兹
k Ω	千欧
MHz	兆赫兹
MT/s	每秒百万次传输次数
μ A	微安
μ F	微法
μ s	微秒
mA	毫安
ms	毫秒
ns	纳秒
Ω	欧姆
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: CY14V116F7/CY14V116G7, 使用异步 NAND 接口的 16 Mbit nvSRAM 文档编号: 001-92103				
修订版本	ECN 编号	提交日期	变更者	变更说明
**	4341514	04/11/2014	MX	本档版本号为 Rev**, 译自英文版 001-75528 Rev*C。
*A	4661108	02/13/2015	MX	更新了模板。
*B	5698753	04/27/2017	LISZ	本档版本号为 Rev*B, 译自英文版 001-75528 Rev*J。

销售、解决方案和法律信息

全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到离您最近的办事处，请访问赛普拉斯所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司, 2012-2017 年。本文件是赛普拉斯半导体公司及其子公司, 包括 Spansion LLC (“赛普拉斯”) 的财产。本文件, 包括其包含或引用的任何软件或固件 (“软件”), 根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定, 赛普拉斯保留在该等法律和条约下的所有权利, 且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议, 赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可 (无再许可) (1) 在赛普拉斯特软件著作权项下的下列许可 (一) 对以源代码形式提供的软件, 仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件, 和 (二) 仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供 (无论直接提供或通过经销商和分销商间接提供), 和 (2) 在被软件 (由赛普拉斯公司提供, 且未经修改) 侵犯的赛普拉斯专利的权利主张项下, 仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内, 赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保, 包括但不限于关于适用性和特定用途的默认保证。赛普拉斯保留更改本文件的权利, 届时将不另行通知。在适用法律允许的限度内, 赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件, 包括任何样本设计信息或程序代码信息, 仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权使用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统 (包括急救设备和手术植入物)、污染控制或有害物质管理系统中的关键部件, 或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途 (“非预期用途”)。关键部件指, 若该部件发生故障, 经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任, 赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任, 包括因人身伤害或死亡引起的主张, 并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标, 及上述项目的组合, WICED, 及 PSOC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。