



本ドキュメントはCypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、仕様の開発元企業として「スパンション」, 「Spansion」, 「富士通」または「Fujitsu」の名が記載されておりますが、これらの製品は Cypress が新規および既存のお客様に引き続き提供してまいります。

商品仕様の継続性について

Cypress 製品として提供することに伴う商品仕様としての変更はなく、ドキュメントとしての変更もありません。また本ページのお知らせは、変更情報として追記いたしません。本ドキュメントに変更情報が記載されている場合、それは本お知らせを除いた前版からの変更点です。なお、今後改訂は必要に応じて行われますが、その際の変更内容は改訂後のドキュメントに記載いたします。

オーダー型格および品名について

Cypress は既存のオーダー型格および品名を引き続きサポートいたします。これらの製品をご注文の際は、このドキュメントに記載されているオーダー型格および品名をご使用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレス (銘柄コード: CY) は、車載や産業機器、ネットワーク プラットフォームから高機能民生機器およびモバイル機器まで、今日の最先端組み込みシステム向けに高性能で高品質のソリューションを提供します。NOR フラッシュ メモリや F-RAMTM、SRAM、TraveoTM マイクロコントローラー、業界唯一の PSoC[®] プログラマブル システムオンチップ ソリューション、アナログおよび PMIC Power Management IC、CapSense[®] 静電容量タッチセンシング コントローラー、Wireless BLE Bluetooth[®] Low-Energy、USB コネクティビティ ソリューションなど、幅広い差別化製品ポートフォリオを、一貫した革新性と業界最高クラスの技術サポート、比類のないシステム バリューとともにグローバルに提供します。

正誤表

MB96300 スーパーシリーズ ハードウェアマニュアル 第3版(CM45-10102-3)に対する正誤表です。

F²MC-16FX

16ビット・マイクロコントローラ

MB96300 スーパーシリーズ

ハードウェアマニュアル

2012.09.28

日付	ページ	項目	訂正内容
2012/09/28	420	17.2	<p>「■要求レベル設定レジスタ(ELVRn: 外部割込みレベルレジスタ)」 「表 17.2-1 外部端子の割込み要求検出要因」の下に<注意事項>を追記。</p> <p><注意事項></p> <ul style="list-style-type: none"> - 外部割込みレベルレジスタ(ELVRn)の変更により、外部割込み要求レジスタ(EIRRn)内の要因ビットがセットされる場合があります。 - 外部割込みレベルレジスタ(ELVRn)の変更後には、外部割込み要求レジスタ(EIRRn)を初期化してください。 - 外部割込みレベルレジスタ(ELVRn)の変更および、外部割込み要求レジスタ(EIRRn)の初期化は、以下に示す手順に従ってください。 <ol style="list-style-type: none"> 1. 外部割込み要求許可レジスタ(ENIRn)の対象となるビットを禁止状態にする。 2. 外部割込みレベルレジスタ(ELVRn)の対象となるビットを設定する。 3. 外部割込みレベルレジスタ(ELVRn)を読み出す。 4. 外部割込み要求レジスタ(EIRRn)の対象となるビットをクリアする。 5. 外部割込み要求許可レジスタ(ENIRn)の対象となるビットを許可状態にする。 (ただし、4. と5. は 16ビットデータによる同時書込みができません。) <p>本モジュール内のレジスタを設定する時には必ず外部割込み要求許可レジスタ(ENIRn)を禁止状態に設定してください。 また、外部割込み要求許可レジスタ(ENIRn)を許可状態にする前に必ず外部割込み要求レジスタ(EIRRn)を事前にクリアしてください。 これは、レジスタの設定時や割込許可状態時に誤って割込要因が起きてしまうことを避けるためです。 不要なビットを"1"に設定することを避けるため品種で使用しない端子に対応するレジスタの設定を変更してはいけません。</p>
2012/09/28	594	22.7	<p>「■メッセージメモリ内のオブジェクトの構造」 MDIRビット説明の下に<注意事項>を追記。</p> <p><注意事項></p> <p>MDIRビットには常に"1"を設定してください。</p>
2012/09/28	652	25.2	<p>「[bit2]CKSEL: 測定対象クロック選択」の説明で参照するレジスタ名を修正。</p> <p>(誤) CR クロック周波数はCKSCR:RCFS ビット(第6章 クロック参照)によって設定されます。 (正) CR クロック周波数はCKFCR:RCFS ビット(第6章 クロック参照)によって設定されます。</p>
2012/09/28	809	31.1	<p>「図 31.1-1 メモリパッチ機能のブロック図」の下に、以下の説明を追記。</p> <p>パッチ機能制御/ステータスレジスタ(PFCSx)は、F²MC-16FXバス(CPUバス)に接続されています。F²MC-16FXバスはアドレスアクセス後、次サイクルでデータをアクセスするパイプライン構造のため、PFCSxレジスタによりメモリパッチ機能を有効に設定した直後のアクセスではパッチ機能は無効であり、ブレークポイントの検出も行われません。このため、メモリパッチ機能をイネーブルにする命令を実行した直後にアクセスするアドレスにはメモリパッチをあてずに使用してください。</p>

日付	ページ	項目	訂正内容
2012/09/28	825	32.2	<p>「32.2 ROMミラー機能選択レジスタ」の説明文として、以下を追記。</p> <p>ROMミラー機能選択レジスタ(ROMM)で、ROMやRAMのミラーリングを指定した直後に、該当するROM/RAMミラー領域に分岐、またはリード・ライトした場合、正しく命令実行されません。</p> <p>ROM/RAMミラー機能を使用する際、ROMMレジスタの初期値から変更した場合、直後には、最低一つのNOP命令を配置するか、あるいはROM/RAMミラー領域のアクセスに関係しない命令を配置してください。</p>
2011/07/19	840	33.4.2	<p>33.4.2 の章タイトル下の注記に、以下の を追記。</p> <p>フラッシュメモリタイミング設定レジスタ (MTCRA, MTCRB) は、フラッシュメモリのアクセスモードおよびウェイト状態の数を設定するために使用されます。表 33.4-4 に推奨される設定を示します。</p> <p>MTCRA/MTCRBレジスタに書き込む際は、必ずワードアクセスを使用してください。 [micom-docu-errata:1123]</p>
2011/07/19	845	33.4.2	<p>「表 33.4-4 MTCRA, MTCRB 推奨設定」の下の注記に、以下の を追記。</p> <p>MTCRA/MTCRBレジスタに書き込む際は、必ずワードアクセスを使用してください。 [micom-docu-errata:1123]</p>