



请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

特性

- 适用于集成晶体应用的低噪声 PLL
- 差分时钟输出：可通过 I²C 重新配置
- 支持 15 MHz 到 2.1 GHz 的输出频率范围
- 具有高度集成 VCO 的分数倍分频锁相环
- 可在一个拥有固定频率的集成晶振上工作
- 支持 LVPECL、LVDS、HCSL 和 CML 等输出标准格式
- 适用于 3.3、2.5 和 1.8 V 的供电电压
- 对于大于 150 MHz 的输出，集成抖动的典型值为 150 fs（频率偏移 = 12 kHz 到 20 MHz）
- 提供 VCXO 功能，拉电压总范围 TPR (±50 ppm 到 ±275 ppm) 可调校
- 8-LCC 封装的尺寸为 7.0 × 5.0 (CY2941x) 或 5.0 × 3.2 (CY2942x) mm

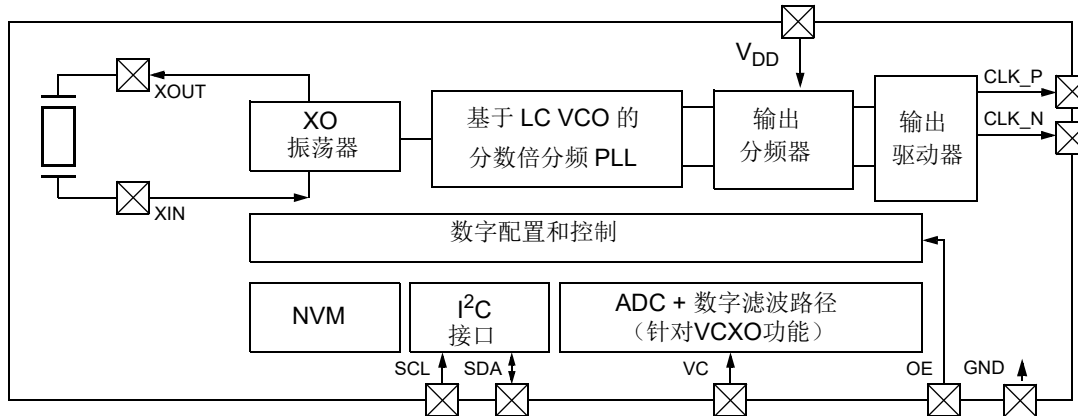
功能描述

CY2941x/CY2942x 是基于 PLL 的可编程晶体振荡器解决方案，它支持多种输出频率选项。输出频率可在现场编程或由厂家编程，所支持的频率范围从 15 MHz 到 2.1 GHz。此外，还可以通过 I²C 接口配置其他频率。精湛的设计技术可确保：在电压为 1.8 V 到 3.3 V，环境温度为 -40 °C 到 +105 °C，在整个可靠输出频率范围内提供优越的抖动特性。因此，本产品系列非常合适于通信应用（如 OTN、SONET/SDH、xDSL、GbE、网络、无线基础设施）、测试和仪器仪表应用，以及高速数据转换器。此外，由于具有 VCXO 功能，CY2941x/CY2942x 系列能够使用于要求压控时钟源的应用和同步定时应用的数字时钟解决方案。

可以使用 [ClockWizard 2.1](#) 创建 CY2941x/CY2942x 器件的配置。如需编程支持，请联系 [Cypress technical support](#) 或电邮至 clocks@cypress.com。

如需完全的相关的文档，[点击这里 \(Here\)](#)。

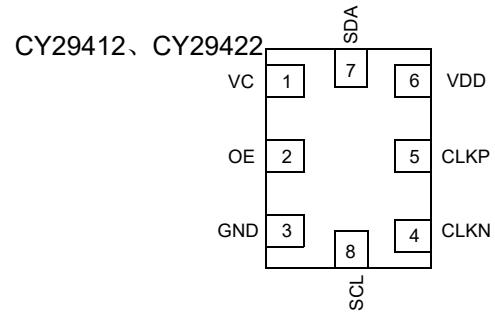
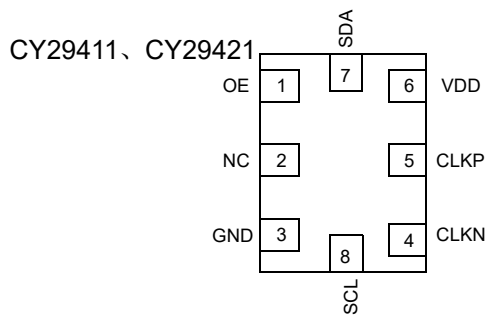
逻辑框图



目录

引脚框图	3	交流电气规范 (针对LVPECL、LVDS、CML输出)	9
引脚说明	3	交流电气规范 (针对HCSL输出)	10
功能概述	4	时序参数	10
可编程特性	4	相位抖动特性	11
架构概述	4	I ² C总线时序规范	11
内部状态框图	4	频率稳定性	12
少量/大量更改	5	电压和时序定义	13
编程支持	5	相位噪声图	15
可编程OE极性	5	订购信息	18
可编程VCXO	5	订购代码定义	18
供电电压序列	5	封装图	19
I ² C接口	5	缩略语	21
存储空间分配	5	文档惯例	21
最大绝对额定值	6	测量单位	21
建议的工作条件	6	文档修订记录页	22
直流电气规范	6	销售、解决方案和法律信息	23
直流规范 (针对LVDS输出)	7	全球销售和 design 支持	23
直流规范 (针对LVPECL输出)	7	产品	23
直流规范 (针对CML输出)	7	PSoC [®] 解决方案	23
直流规范 (针对HCSL输出)	7	赛普拉斯开发者社区	23
VCXO特定参数	8	技术支持	23

引脚框图



引脚说明

名称	引脚编号	描述
CY29411/CY29421 (8-LCC)		
OE	1	输出使能输入
NC	2	未连接
GND	3	接地
CLKN	4	补充时钟输出
CLKP	5	主时钟输出
V _{DD}	6	供电电压
SDA	7	串行数据输入 / 输出
SCL	8	I ² C 的串行时钟输入
CY29412/CY29422 (8-LCC)		
VC ^[1]	1	VCXO 的输入电压
OE	2	输出使能输入
GND	3	接地
CLKN	4	补充时钟输出
CLKP	5	主时钟输出
V _{DD}	6	供电电压
SDA	7	串行数据输入 / 输出
SCL	8	I ² C 的串行时钟输入

注释:

1. 如果 VC 未使用, 不要悬浮, 应将其连到 VDD 或 GND。

功能概述

可编程特性

表 1. 可编程特性

特性	详细说明
频率调校	PLL 的频率
	振荡器调校（负载电容直）
功能	OE 极性、I ² C 地址
供电电压	V _{DD} （1.8 V、2.5 V 或 3.3 V）
VCXO	使能 / 禁用 VCXO
	Kv 极性
	TPR
	调制带宽
输出标准	LVPECL、LVDS、HCSSL、CML

架构概述

CY2941x/CY2942x 器件是基于 PLL 的高性能、可编程晶体振荡器，它支持多种功能和多种输出规范。该器件具有一个一次性可编程（OTP）非易失性存储器（NVM），可用于存储通用器件配置以及与输出频率有关的设置（请参考图 2）。通用器件配置不受输出频率的影响，这些配置包括：芯片电源、OE 极性、I²C 器件地址、输入参考、输出规范和 VCXO。CY2941x/CY2942x 器件还包含易失性存储器（显示为图 1 中的“NVMCopy”），器件退出上电复位时的 NVM 精确副本被存储在这个存储器中。芯片设置取决于易失性存储器的内容，输出频率则取决于该存储器存储的配置情况，如图 1 所示。可以通过 I²C 总线对易失性存储器进行访问和更改。

图 1. NVM 和易失性存储器结构

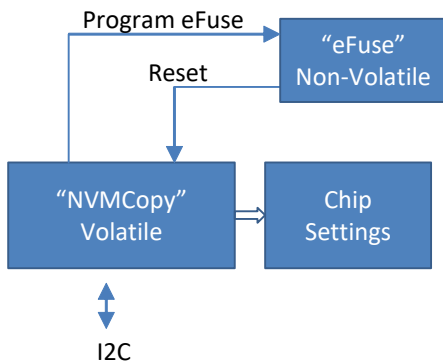
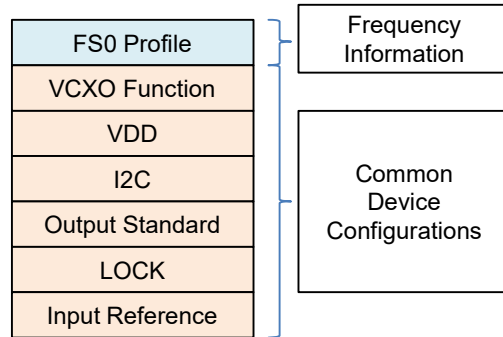


图 2 显示了理论上的内部存储器结构，包括频率配置文件和通用器件配置设置。

图 2. 存储器的结构



存储器结构设置的说明

- FS0: 包含频率信息
- VCXO 功能: 包含有关 VCXO 功能的参数，如：使能 / 禁用、TPR、调制带宽和 Kv（VC 与频率的斜率）等信息
- V_{DD}: 1.8/2.5/3.3 V 电压范围的信息
- I²C 地址: I²C 地址（可编程）信息
- 输出规范: LVPECL、LVDS、HCSSL 或 CML
- 锁定（LOCK）: 使用 2 位格式表示 NVM 锁定状态
- 输入参考: 包含固定的信息，用户不能修改它

内部状态框图

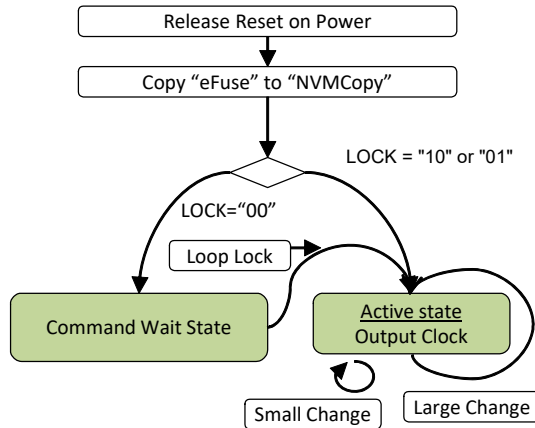
CY2941x/CY2942x 包含一个用于控制器件操作的状态机。复位后，状态机将“eFuse”内容加载到“NVMCopy”内，如图 3 所示。根据 LOCK 的值，该状态机会进入“命令等待状态”或“工作状态”。在“命令等待状态”中，用户可以访问所有寄存器，并能读取 / 写入“NVMCopy”的数据。在这种状态中会使用以下命令：

锁定状态是通过 2 位格式来确定：00、01、10 或 11。电源达到指定范围内的某个值时，器件将退出复位状态。

未配置的器件的锁定状态为 LOCK = “00”（非易失性存储器不被锁定）（如图 3 所示），所以退出复位状态后，它会进入“命令等待状态”。状态机会等待以下命令：

- 写入易失性存储器
- 编程非易失性存储器（NVM）
- 环路锁定

图 3. 状态框图



将 LOCK 编程为 “10” 或 “01” 时，器件将进入 “工作状态”，并且器件会在所编程的频率下工作。

在 “命令等待状态” 下，用户可以配置器件（写入或不写入 NVM 都能进行）。使用情况包括：

- 测试输出频率
 - 写入到易失性存储器内，并选择性地写入到 NVM 内（如果需要）
 - 为了进行测试操作，可以锁定环路

在 NVM 锁定状态下，不能重新编程 NVM。如果需要，可以通过大量或少量更改命令来改变输出频率。

少量 / 大量更改

少量更改表示频率的改变范围在 ±500 ppm 内。可以通过 I²C 加载频率信息，并且输出频率从原始值变为新值时不会产生任何窄脉冲。更多有关信息，请参见交流电气规范（针对 LVPECL、LVDS、CML 输出）。

大量更改表示频率改变量大于 ±500 ppm，并且通过 I²C 接口实现。器件将重校准和配置 PLL，直到此过程结束输出将为差分低同步。

编程支持

CY2941x/CY2942x 是一个软件可配置的解决方案，其中，赛普拉斯为用户提供了一个编程软件，用于根据要求来配置器件的可编程特性。

可编程 OE 极性

CY2941x/CY2942x 包含一个用于设置 OE 极性的位（默认为低电平有效）。用户可以将 OE 极性设置为高电平有效或低电平有效。当 OE 解除时，输出将是差分低同步。

可编程 VCXO

器件采用了专有技术，根据 VC 控制电压对 VCO 频率进行调制，从而调制频率。与晶振参考相比，使用 VCXO 引脚的时钟输入可

提供线性度和准确度更高的输出。此外，VCXO 的特性也非常稳定，并不受温度、供电电压或处理过程变化的影响。

Kv（频率与 VC 的斜率）、TPR VC 带宽和 VCXO 打开 / 关闭均可编程。

供电电压序列

CY2941x/CY2942x 对启动序列没有任何特殊要求。启动过程要求 V_{DD} 是单调上升的，如本数据手册所述。上升后，V_{DD} 必须保持在 “推荐的工作条件” 中所指定的范围内。另外，系统还要实现欠压检测和保护功能。

其它输入信号的上电时间可以比 V_{DD} 更早或更晚，该输入信号与 V_{DD} 之间没有任何时序要求。当所有输入信号均处于已配置的状态时，器件会正常运行。

I²C 接口

CY2941x/CY2942x 支持两线式串行接口 I²C，该接口支持快速模式（400 kbps）和 7 位地址。器件地址是可编程的，默认情况下该地址为 55h。需要在 VDD 达到最小规范值至少 5 ms 之后才能对 I²C 进行首次访问。

存储空间分配

表 2. 通用配置

存储器地址	说明
50h–57h	器件配置

表 3. FS0：频率配置

存储器地址	说明
10h	DIVO
11h	DIVO、DIVN_INT
12h	ICP、DIVN_INT、PLL_MODE
13h	DIVN_FRAC_L
14h	DIVN_FRAC_M
15h	DIVN_FRAC_H

表 4. 其他信息

存储器地址	说明
00h（只读）	器件 ID（= 51h）
D4h–D6h	用户可配置的信息

用户必须编写配置工具所创建的全部内容，并不能将部分内容写入到器件内。

访问其他位置，会导致器件发生严重错误。

最大绝对额定值

超过最大额定值^[2]可能会缩短器件的使用寿命。用户指南未经测试。

接地电压电位范围	-0.5 V 到 +3.8 V
输入电压	-0.5 V 到 3.8 V
存放温度（非冷凝）	-55 °C 到 +150 °C
结温	-40 °C 到 +125 °C
编程温度	0 °C 到 +125 °C

编程电压	2.5 V ± 0.1 V
eFuse 编程供电电流	50 mA
数据保留时间（ $T_J = 100\text{ °C}$ ）	> 10年
最多的编程周期	1
ESD HBM（JEDEC JS-001-2012）	2000 V
ESD MM（JEDEC JESD22-A115B）	200 V
ESD CDM（JEDEC JESD22-C101E）	400 V
闩锁电流	± 140 mA

建议的工作条件

参数	说明	最小值	最大值	单位
V_{DD}	内核供电电压、工作电压范围为 1.8 V ±5%	1.71	1.89	V
	内核供电电压、2.5 V 的工作电压范围、2.5 V ±10%	2.25	2.75	
	内核供电电压、3.3 V 的工作电压范围、3.3 V ±10%	2.97	3.63	
T_A	环境温度	-40	+105	°C
UL-94	易燃性等级 1/8 英寸, V-0	-	10	ppm
f_{RES}	频率分辨率	-	2	ppb
$T_{PLLHOLD}$	PLL 的工作温度范围	-	125	°C

直流电气规范

参数 ^[2]	说明	测试条件	最小值	典型值	最大值	单位
I_{DD}	供电电流, LVPECL	$V_{DD} = 3.3\text{ V}/2.5\text{ V}$, 将一个 50 Ω 的电阻连接到 V_{TT} ($V_{DD} - 2.0\text{ V}$) 上, 有共模电流	-	93	106	mA
	供电电流, LVPECL	$V_{DD} = 3.3\text{ V}/2.5\text{ V}$, 将一个 50 Ω 的电阻连接到 V_{TT} ($V_{DD} - 2.0\text{ V}$) 上, 无共模电流 ^[3]	-	81	94	
	供电电流, LVDS	$V_{DD} = 3.3\text{ V}/2.5\text{ V}/1.8\text{ V}$, 在 CLKP 和 CLKN 之间连接一个 100 Ω 的电阻	-	69	81	
	供电电流, HCSSL	$V_{DD} = 3.3\text{ V}/2.5\text{ V}/1.8\text{ V}$, 将 33 Ω 和 49.9 Ω 的电阻接地	-	80	93	
	供电电流, CML	$V_{DD} = 3.3\text{ V}$, 将一个 50 Ω 的电阻连接到 V_{DD} 上	-	73	86	
	供电电流, 仅供给 PLL	$V_{DD} = 3.3\text{ V}$	-	59	70	
I_{IH}	输入高电流	逻辑输入, 输入 = V_{DD}	-	30	50	μA
I_{IL}	输入低电流	逻辑输入, 输入 = GND	-	30	50	μA
V_{IH} ^[4]	输入高电压	OE、FS、SCL、SDA 逻辑电平 = 1	$0.7 \times V_{DD}$	-	-	V
V_{IL} ^[4]	输入低电压	OE、FS、SCL、SDA 逻辑电平 = 0	-	-	$0.3 \times V_{DD}$	V
V_{IN}	输入的电压电平	所有输入, 相对于 GND	-0.5	-	3.8	V
R_P	内部上拉电阻	OE, 被配置为高电平有效	-	200	-	k Ω
R_D	内部下拉电阻	OE, 被配置为低电平有效	-	200	-	k Ω

注释:

- 超过“最大绝对额定值”列出的值可能造成器件永久性损坏。这只是压力额定值; 并不暗示器件在这些值或者在本数据手册操作部分所示值之上的任何其他条件下能正常运行。让器件长期在最大绝对额定值的条件下工作, 会影响器件的可靠性或导致器件永久性损坏。
- 在 **ClockWizard 2.1**, 中, 通过设置输出标准为 LVPECL2 来配置输出为“LVPECL 非通用模式电流”。参见 **AN210253** 了解更多的有关针对不同应用场景配置的 LVPECL 终端。
- I^2C 操作仅适用于 V_{DD} 是 1.8 V 和 2.5 V 的时候。

直流规范 (针对 LVDS 输出)

($V_{DD} = 1.8\text{ V}$ 、 2.5 V 或 3.3 V)

参数	说明	条件	最小值	典型值	最大值	单位
$V_{OCM}^{[5]}$	输出共模电压	$V_{DD} = 2.5\text{ V}$ 或 3.3 V	1.125	1.200	1.375	V
ΔV_{OCM}	各个互补输出状态改变时 V_{OCM} 的改变	—	—	—	50	mV
I_{OZ}	输出漏电流	输出关闭, $V_{OUT} = 0.75\text{ V} \sim 1.75\text{ V}$	-20	—	20	μA

直流规范 (针对 LVPECL 输出)

($V_{DD} = 2.5\text{ V}$ 或 3.3 V , 并且通用模式电流)

参数	说明	条件	最小值	典型值	最大值	单位
V_{OH}	输出高电平电压	终端电阻 = $50\ \Omega$ 连接到 V_{TT} ($V_{DD} - 2.0\text{ V}$)	$V_{DD} - 1.165$	—	$V_{DD} - 0.800$	V
V_{OL}	输出低电平电压	终端电阻 = $50\ \Omega$ 连接到 V_{TT} ($V_{DD} - 2.0\text{ V}$)	$V_{DD} - 2.0$	—	$V_{DD} - 1.55$	V

直流规范 (针对 CML 输出)

($V_{DD} = 1.8\text{ V}$ 、 2.5 V 或 3.3 V)

参数	说明	条件	最小值	典型值	最大值	单位
V_{OH}	输出高电平电压	终端电阻 = $50\ \Omega$ 连接到 V_{DD}	$V_{DD} - 0.085$	$V_{DD} - 0.01$	V_{DD}	V
V_{OL}	输出低电平电压	终端电阻 = $50\ \Omega$ 连接到 V_{DD}	$V_{DD} - 0.6$	$V_{DD} - 0.4$	$V_{DD} - 0.32$	V

直流规范 (针对 HCSL 输出)

($V_{DD} = 1.8\text{ V}$ 、 2.5 V 或 3.3 V)

参数	说明	条件	最小值	典型值	最大值	单位
$V_{MAX}^{[6]}$	输出高电平的最大电压	在单端波形上进行测量	—	—	1150	mV
$V_{MIN}^{[6]}$	输出低电平的最小电压	在单端波形上进行测量	-300	—	—	mV
V_{OHDIFF}	差分输出高电压	在差分波形上进行测量	150	—	—	mV
V_{OLDIFF}	差分输出低电压	在差分波形上进行测量	—	—	-150	mV
$V_{CROSS}^{[6]}$	交叉点的绝对电压	在单端波形上进行测量	250	—	600	mV
$V_{CROSSDELTA}^{[6]}$	V_{CROSS} 在所有时钟上升沿上发生的变化	在单端波形上进行测量	—	—	140	mV

注释:

5. 对于 $V_{DDO} = 1.8\text{ V}$, 需要使用外部交流耦合。
6. 这些参数均由设计和出厂校准保证。并非 100% 经过生产测试。

VCXO 特定参数

参数 ^[7]	说明	条件	最小值	典型值	最大值	单位
TPR	总计拉范围	VC 范围为 $0.1 \times V_{DD}$ 到 $0.9 \times V_{DD}$	±50	–	±275	ppm
K_{BSL}	最佳拟合直线 (BSL) 线性	从 BSL 线的偏差	–5	–	5	%
K_{INC}	递增线性	K_V 斜率偏差	–10	–	10	%
K_{BW}	K_V 调制的带宽	可编程	5	10	20	kHz
K_{RANGE}	电压范围	在允许的电压范围内	0	–	V_{DD}	V
V_{CTYP}	额定中心电压	V_{DD} 配置 = 1.8 V	–	0.9	–	V
		V_{DD} 配置 = 2.5 V	–	1.25	–	V
		V_{DD} 配置 = 3.3 V	–	1.65	–	V
R_{VCIN} ^[8]	VC 的输入电阻	–	5	–	–	MΩ
V_{RANGE}	输入电压范围	在线性度确保范围内	$0.1 \times V_{DD}$	–	$0.9 \times V_{DD}$	V

注释:

7. 这些参数均由设计和出厂校准保证。并非 100% 经过生产测试。
 8. R_{VCIN} is 100% tested.

交流电气规范 (针对 LVPECL、LVDS、CML 输出)

($V_{DD} = 3.3\text{ V}$ 和 2.5 V 对于 LVPECL, 并且通用模式电流, $V_{DD} = 3.3\text{ V}$, 2.5 V 和 1.8 V 对于 LVDS 和 CML 输出)

参数 ^[9]	说明	测试条件	最小值	典型值	最大值	单位
f_{OUT}	输出频率	符合 LVPECL、CML、LVDS 输出规范	15	–	2100	MHz
t_{RF}	LVPECL 输出的上升 / 下降时间	从交流电平的 20% 到它的 80%。 在 PECL 为 156.25MHz 的时候测得。	–	–	350	ps
	CML 输出的上升 / 下降时间	从交流电平的 20% 到它的 80%。 在 CML 为 156.25MHz 的时候测得。	–	–	350	ps
	LVDS 输出的上升 / 下降时间	从交流电平的 20% 到它的 80%。 在 LVDS 为 156.25MHz 的时候测得。	–	–	350	ps
t_{ODC}	输出占空比	差分信号达到最大电平的 50%， 输出频率 = 156.25 MHz。	45	50	55	%
V_P	LVDS 输出差分峰值	频率范围为 15 ~ 700 MHz	247	–	454	mV
V_P	LVDS 输出差分峰值	频率范围为 700 ~ 2100 MHz	150	–	454	mV
ΔV_P	各个互补输出状态改变时 V_P 的改变	–	–	–	50	mV
V_P	LVPECL 输出差分峰值	$f_{OUT} = 15 \sim 325\text{ MHz}$	450	–	–	mV
		$f_{OUT} = 325 \sim 700\text{ MHz}$	350	–	–	mV
		$f_{OUT} = 700 \sim 2100\text{ MHz}$	250	–	–	mV
V_P	CML 输出差分峰值	$f_{OUT} = 15 \sim 700\text{ MHz}$	250	–	600	mV
V_P	CML 输出差分峰值	$f_{OUT} = 700 \sim 2100\text{ MHz}$	200	–	600	mV
t_{CCJ}	周期抖动	峰值, 在差分信号上进行测量, 输出频率 = 156.25 MHz, 一万个周期, 晶振频率 = 100 ~ 130 MHz	–	–	50	ps
t_{PJ}	周期抖动	峰值, 在差分信号上进行测量, 输出频率 = 156.25 MHz, 一万个周期, 晶振频率 = 100 ~ 130 MHz	–	–	50	ps
J_{RMS}	RMS 相位抖动	$f_{OUT} = 156.25\text{ MHz}$, 频率偏移 = 12 kHz ~ 20 MHz, 非 VCXO 模式	–	150	250	fs
非 VCXO 模式						
PN1k	相位噪声, 偏移 = 1 kHz	晶振频率 = 100 ~ 130 MHz, $f_{OUT} = 156.25\text{ MHz}$	–	–	–113	dBc/Hz
PN10k	相位噪声, 偏移 = 10 kHz	晶振频率 = 100 ~ 130 MHz, $f_{OUT} = 156.25\text{ MHz}$	–	–	–127	dBc/Hz
PN100k	相位噪声, 偏移 = 100 kHz	晶振频率 = 100 ~ 130 MHz, $f_{OUT} = 156.25\text{ MHz}$	–	–	–135	dBc/Hz
PN1M	相位噪声, 偏移 = 1 MHz	晶振频率 = 100 ~ 130 MHz, $f_{OUT} = 156.25\text{ MHz}$	–	–	–144	dBc/Hz
PN10M	相位噪声, 偏移 = 10 MHz	晶振频率 = 100 ~ 130 MHz, $f_{OUT} = 156.25\text{ MHz}$	–	–	–152	dBc/Hz
PN-SPUR	Spur	频率偏移 \geq PLL 的更新速率	–	–	–65	dBc/Hz

注释:

9. 这些参数均由设计和出厂校准保证。并非 100% 经过生产测试。

交流电气规范 (针对 HCSL 输出)

参数 ^[10]	说明	测试条件	最小值	典型值	最大值	单位
f_{OUT}	输出频率	HCSL	15	–	700	MHz
E_R	上升沿速率	在差分波形上进行测量， 电压范围：–150 mV ~ +150 mV	0.6	–	5.7 ^[11]	V/ns
E_F	下降沿速率	在差分波形上进行测量， 电压范围：–150 mV ~ +150 mV	0.6	–	5.7 ^[11]	V/ns
t_{STABLE}	电压环路 (VRB) 稳定所需要的时间	在差分波形上进行测量， 电压范围：–150 mV ~ +150 mV	500	–	–	ps
R-F_MATCHING	上升 / 下降时间匹配	在单端波形上进行测量，上升沿速率和 下降沿速率相互匹配，频率为 100 MHz	–100	–	100	ps
t_{DC}	输出占空比	在差分波形上进行测量， $f_{OUT} = 100$ MHz	45	–	55	%
t_{CCJ}	周期间抖动	在差分波形上进行测量， 频率为 100 MHz	–	–	50	ps
$J_{RMSPCIE}$	随机抖动，符合PCIE规范版本3.0	频率为 100 ~ 130 MHz 的晶振	–	–	1	ps (RMS)

时序参数

参数 ^[10]	说明	最小值	最大值	单位
t_{PU}	电源电压的上升 (从 0.5 V 到 $V_{DD(min)}$) 时间。电源上升必须是单调的。	0.01	3000	ms
t_{WAKEUP}	从供电电压为最低指定值到时钟输出频率的精度小于 ± 0.1 ppm 的时间	–	10	ms
t_{OEEN}	从 OE 信号边沿到输出被使能的时间	–	2.5	ms
t_{OEDIS}	从 OE 信号边沿到输出被禁用的时间	–	10	μ s
t_{FSMALL}	频率发生变化的时间 (针对小触发，即 $\leq \pm 500$ ppm)， $\pm 1\%$ 目标频率	–	20	μ s
t_{FLARGE}	频率发生变化的时间 (针对大触发，即 $> \pm 500$ ppm)	–	2.5	ms

注释:

10. 这些参数均由设计和出厂校准保证。并非 100% 经过生产测试。

11. 边沿速率大于 4 V/ns，以符合抖动性能的要求。

相位抖动特性

集成带宽为 12 kHz ~ 20 MHz

参数 ^[12]	说明	条件	最小值	典型值	最大值	单位
不支持 VCXO 功能						
J _{RMS}	RMS 抖动	F _{OUT} = 644.53 MHz	–	110	–	fs
J _{RMS}	RMS 抖动	F _{OUT} = 622.08 MHz	–	120	–	fs
J _{RMS}	RMS 抖动	F _{OUT} = 156.25 MHz	–	145	–	fs
J _{RMS}	RMS 抖动	F _{OUT} = 2.105 GHz	–	145	–	fs
调制带宽 = 10 kHz, V _{DD} = 3.3 V, F _{OUT} = 622.08 MHz						
J _{RMS}	RMS 抖动	TPR = 50 ppm, Kv = 37.9 ppm/V	–	151	–	fs
J _{RMS}	RMS 抖动	TPR = 155 ppm, Kv = 117.4 ppm/V	–	158	–	fs
J _{RMS}	RMS 抖动	TPR = 275 ppm, Kv = 208.3 ppm/V	–	170	–	fs
调制带宽 = 10 kHz, V _{DD} = 2.5 V, F _{OUT} = 622.08 MHz						
J _{RMS}	RMS 抖动	TPR = 50 ppm, Kv = 50 ppm/V	–	152	–	fs
J _{RMS}	RMS 抖动	TPR = 155 ppm, Kv = 155 ppm/V	–	160	–	fs
J _{RMS}	RMS 抖动	TPR = 275 ppm, Kv = 275 ppm/V	–	175	–	fs
调制带宽 = 10 kHz, V _{DD} = 1.8 V, F _{OUT} = 622.08 MHz						
J _{RMS}	RMS 抖动	TPR = 50 ppm, Kv = 69.4 ppm/V	–	153	–	fs
J _{RMS}	RMS 抖动	TPR = 155 ppm, Kv = 215.3 ppm/V	–	166	–	fs
J _{RMS}	RMS 抖动	TPR = 275 ppm, Kv = 381.9 ppm/V	–	190	–	fs

I²C 总线时序规范

参数 ^[12, 13]	说明	最小值	典型值	最大值	单位
f _{SCL}	SCL 时钟频率	–	–	400	kHz
t _{HD:STA}	启动条件的保持时间	0.6	–	–	μs
t _{LOW}	SCL 为低电平的时间	1.3	–	–	μs
t _{HIGH}	SCL 为高电平的时间	0.6	–	–	μs
t _{SU:STA}	重复启动条件的建立时间	0.6	–	–	μs
t _{HD:DAT}	数据保持时间	0	–	–	μs
t _{SU:DAT}	数据建立时间	100	–	–	ns
t _R	上升时间	–	–	300	ns
t _F	下降时间	–	–	300	ns
t _{SU:STO}	停止条件的建立时间	0.6	–	–	μs
t _{BUF}	停止和启动条件之间的总线空闲时间	1.3	–	–	μs

注释:

12. 这些参数均由设计和出厂校准保证。并非 100% 经过生产测试。

13. I²C 操作仅适用于 V_{DD} 是 1.8 V 和 2.5 V 的时候。

频率稳定性

参数	说明	测试条件	最小值	典型值	最大值	单位
$f_{\text{TOLERANCE}}$	频率公差	V_{DD} = 最小值到最大值, T_{A} = +25 °C	-20	-	+20	ppm
f_{TC}	温度特性	V_{DD} = 最小值到最大值, T_{A} = -40 °C to +85 °C	-20	-	+20	ppm
f_{TC}	温度特性	V_{DD} = 最小值到最大值, T_{A} = -40 °C to +105 °C	-30	-	+30	ppm
f_{AGE}	频率老化		-5	-	+5	ppm/ 年

电压和时序定义

图 4. 差分输出定义

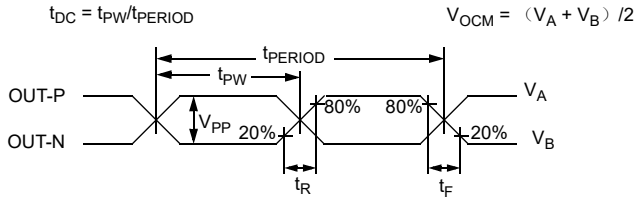


图 5. 输出使能 / 禁用时间

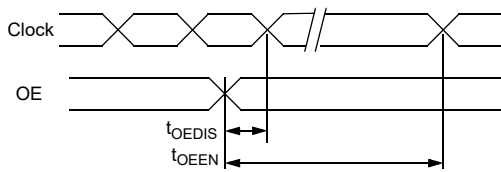


图 6. 电压上升和 PLL 锁定时间

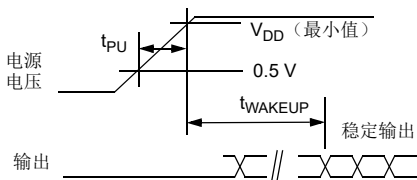


图 7. 输出终端电路

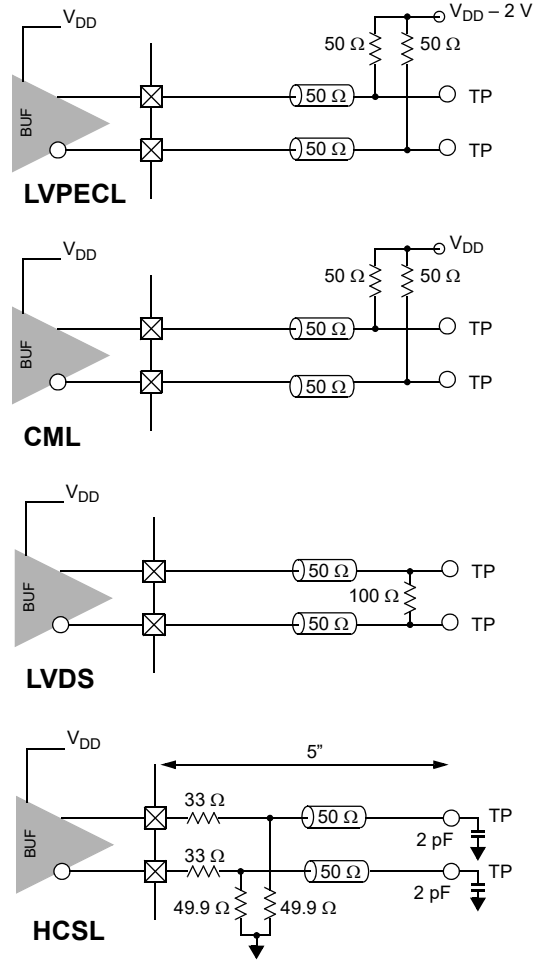
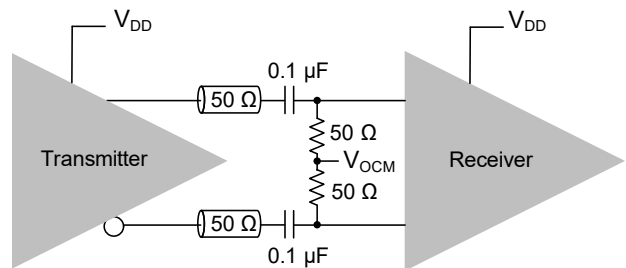
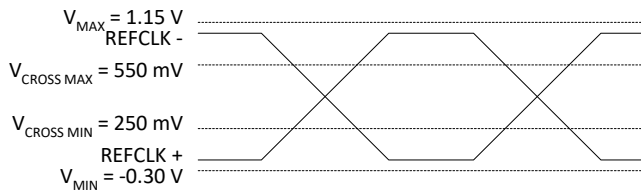
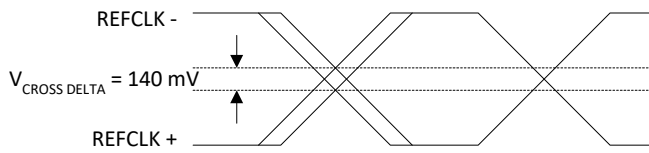
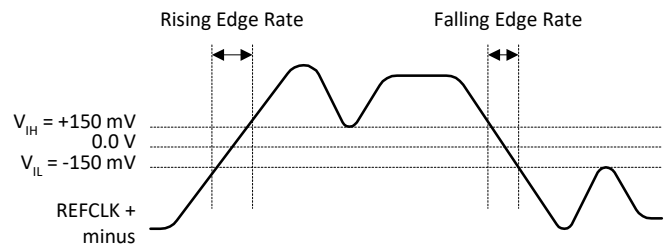
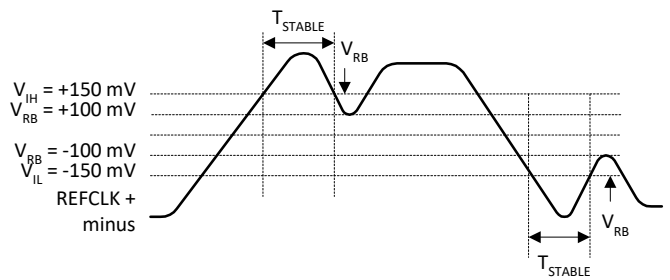
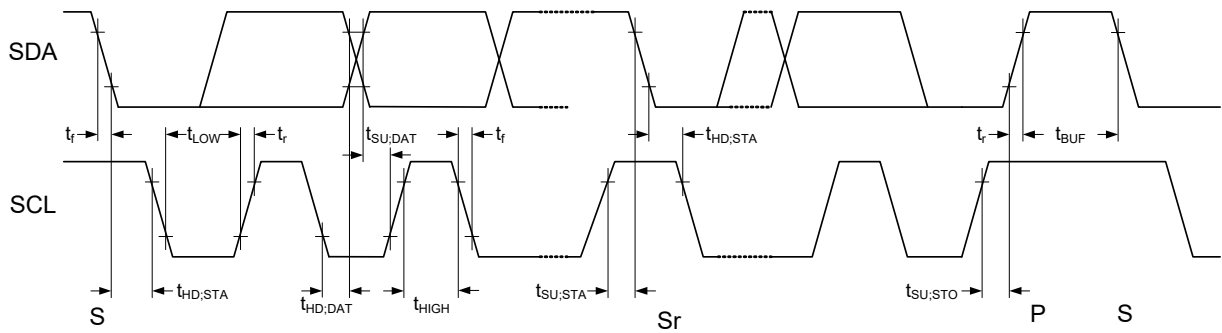


图 8. LVDS Termination for 1.8 V^[14]



注释:

14. 此图所示的终端电路特指在 $V_{DD}=1.8V$ 操作时的 LVDS 输出标准。这种情况下需要 AC 耦合 (100-nF 串容)。如图所示, 需要在目标电路上放置跟随偏置电压 (V_{OCM}) 的 50 欧姆的终端电阻。

图 9. HCSL: 绝对交叉点的单端测量点

图 10. HCSL: Delta 交叉点的单端测量点

图 11. HCSL: 上升和下降时间的差分测量点

图 12. HCSL: 环路的差分测量点

图 13. I²C 总线时序规范


相位噪声图

图 14. 156.25 MHz (12 kHz–20 MHz) 典型相位噪声图

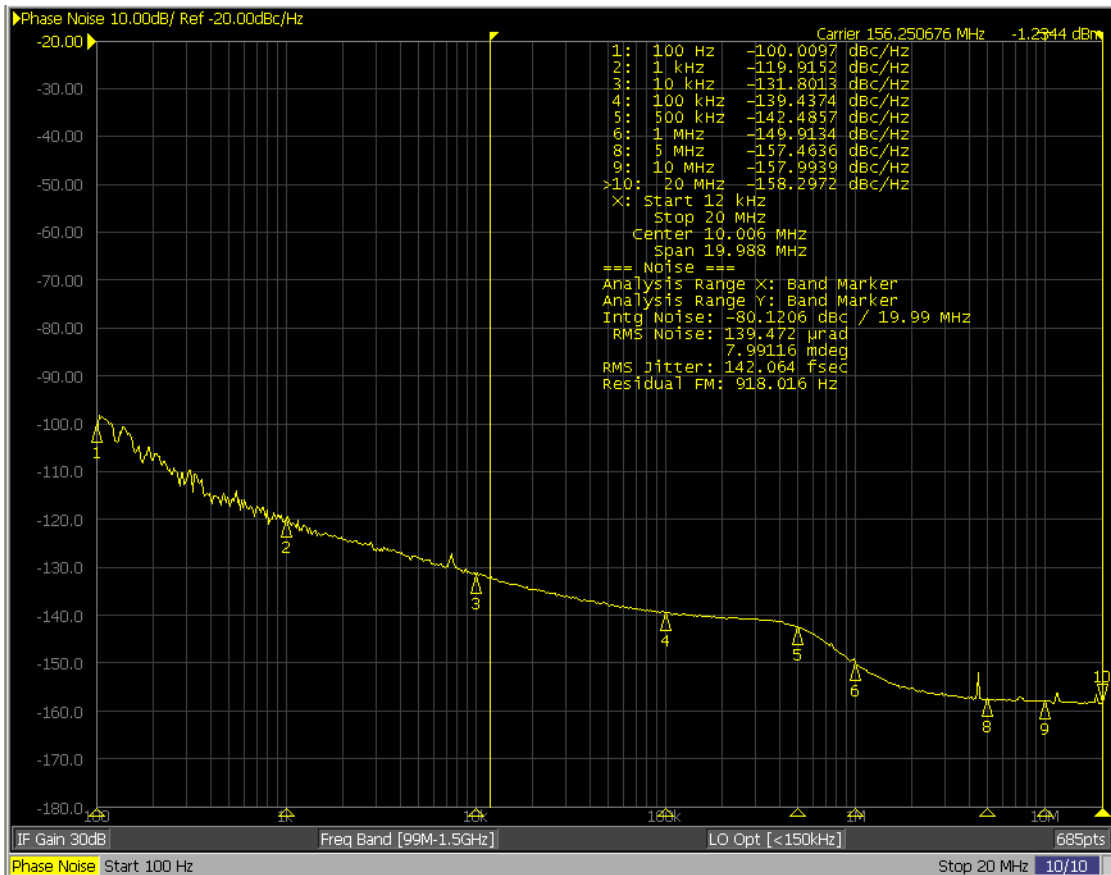


图 15. 622.08 MHz (12 kHz–20 MHz) 典型相位噪声图

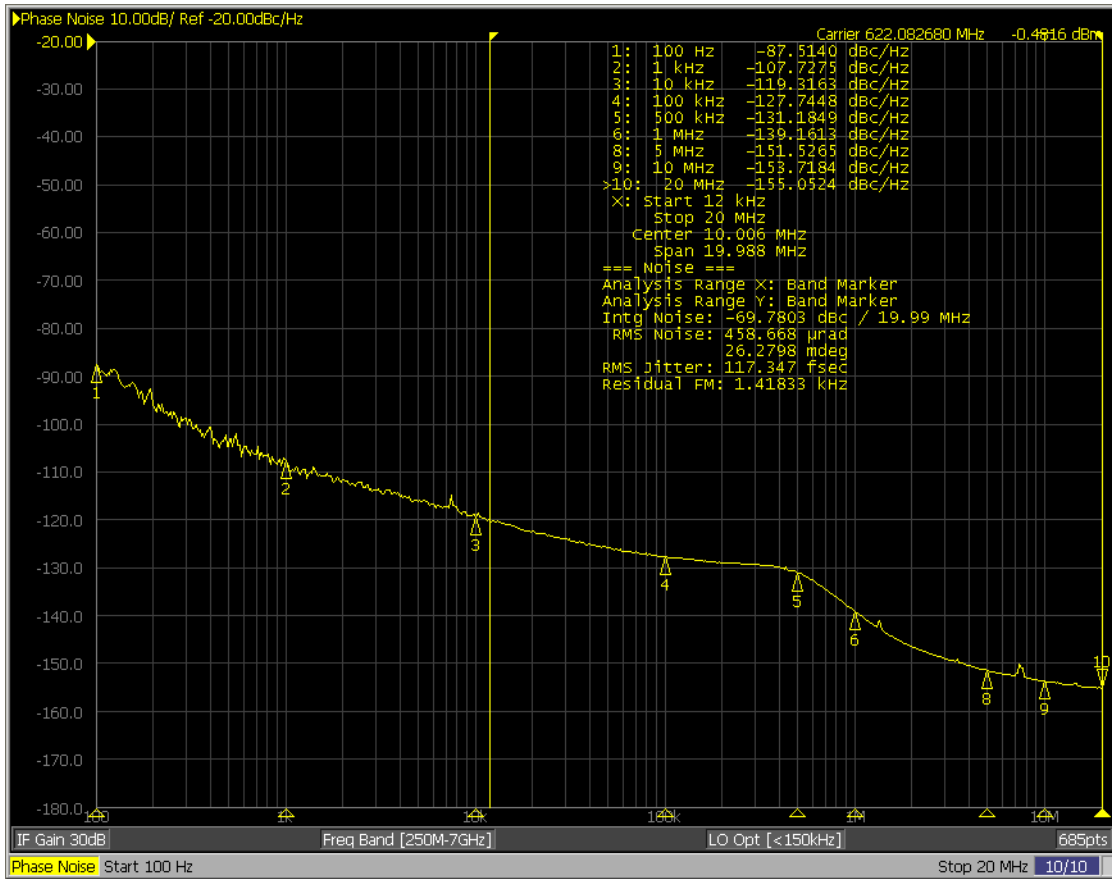
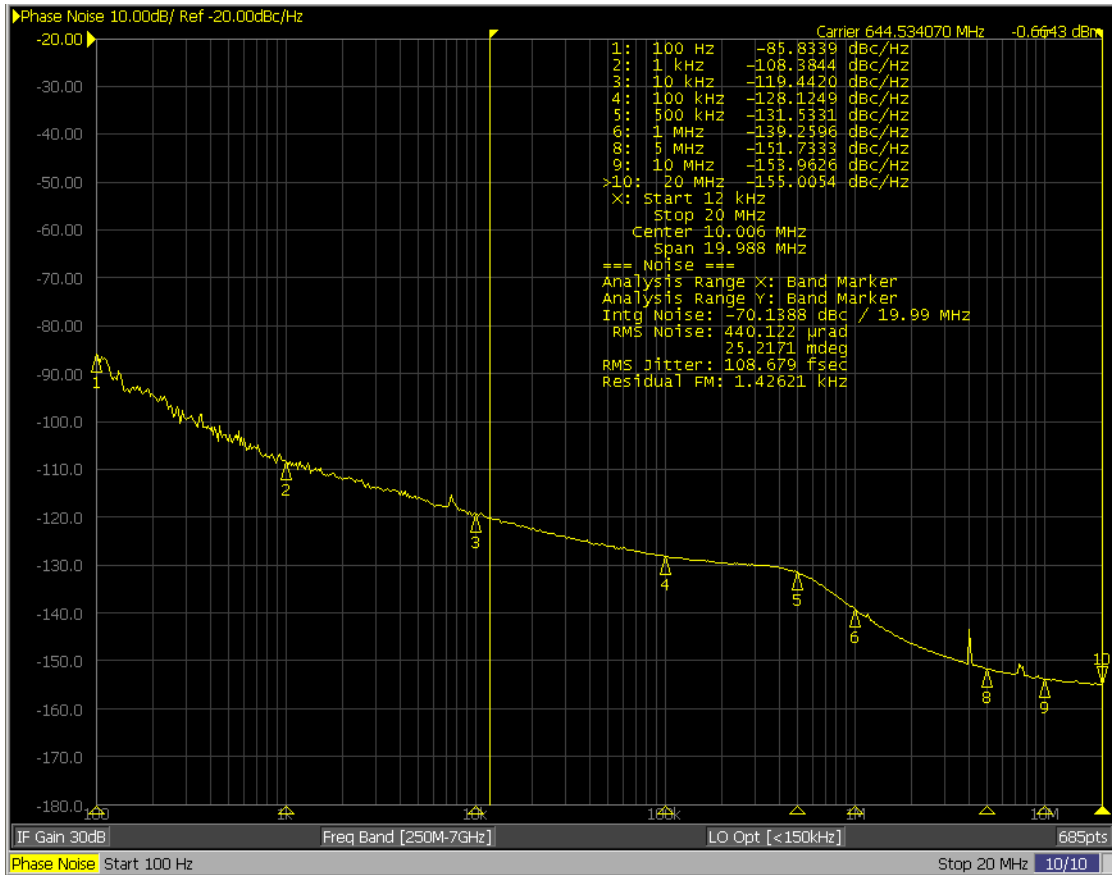
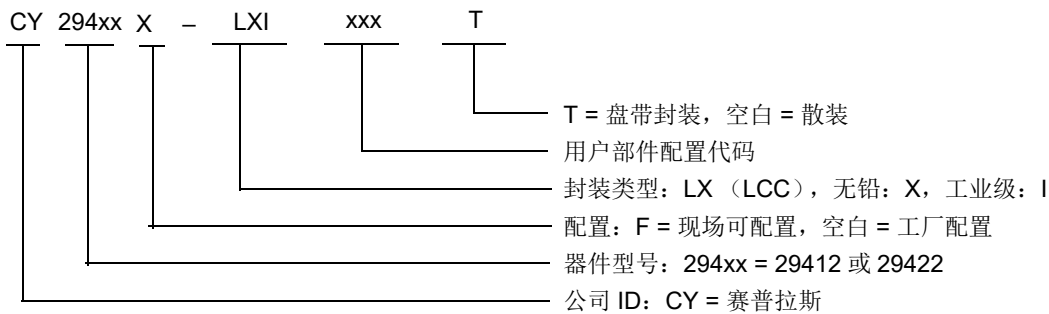


图 16. 644.53 MHz (12 kHz–20 MHz) 典型相位噪声图

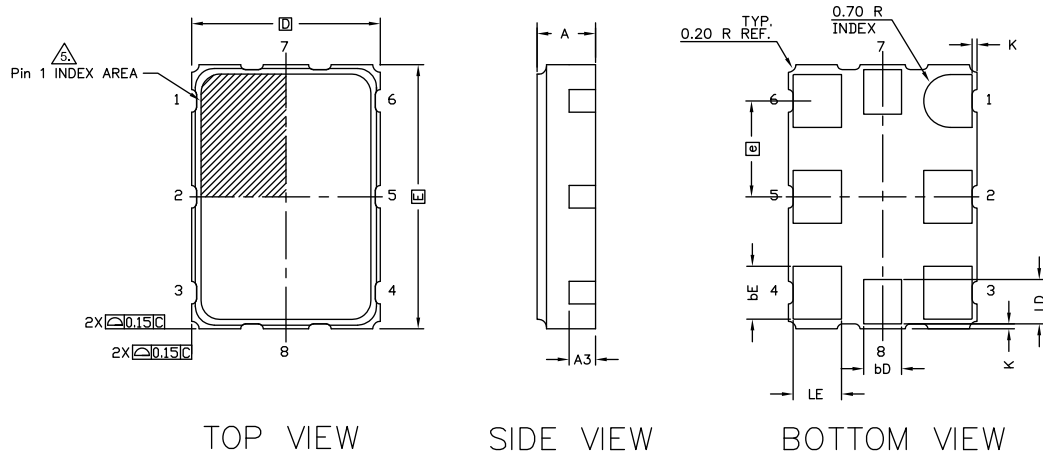


订购信息

订购代码	配置	封装说明	生产流程
CY29411FLXIT	现场可编程	8-LCC 7.0 × 5.0 mm — 盘带封装	工业温度范围: -40°C 到 +105°C
CY29411LXIxxxT	工厂配置 ^[15]	8-LCC 7.0 × 5.0 mm — 盘带封装	工业温度范围: -40°C 到 +105°C
CY29412FLXIT	现场可编程	8-LCC 7.0 × 5.0 mm — 盘带封装	工业温度范围: -40°C 到 +105°C
CY29412LXIxxxT	工厂配置 ^[15]	8-LCC 7.0 × 5.0 mm — 盘带封装	工业温度范围: -40°C 到 +105°C
CY29421FLXIT	现场可编程	8-LCC 5.0 × 3.2 mm — 盘带封装	工业温度范围: -40°C 到 +105°C
CY29421LXIxxxT	工厂配置 ^[15]	8-LCC 5.0 × 3.2 mm — 盘带封装	工业温度范围: -40°C 到 +105°C
CY29422FLXIT	现场可编程	8-LCC 5.0 × 3.2 mm — 盘带封装	工业温度范围: -40°C 到 +105°C
CY29422LXIxxxT	工厂配置 ^[15]	8-LCC 5.0 × 3.2 mm — 盘带封装	工业温度范围: -40°C 到 +105°C

订购代码定义

注释:

15. 这些是由工厂编程、用户指定的器件型号。更多详细信息, 请联系当地的赛普拉斯 FAE 或销售代表。

封装图
图 17. 8 引脚陶瓷 LCC (5.0 × 7.0 × 1.75 mm) 封装外形 — 002-10174


SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	1.65	-	1.75
A3	0.70 REF		
D	5.00 BSC		
E	7.00 BSC		
bD	1.00		
bE	1.40		
LD	1.18		
LE	1.28		
K	0.13		
e	2.54 BSC		
N	8		
ND	1		
NE	3		

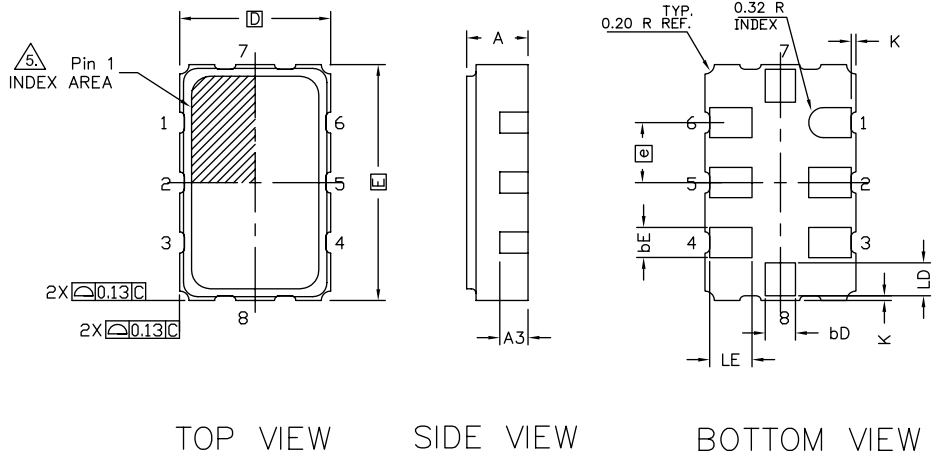
NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. N IS THE TOTAL NUMBER OF TERMINALS.
3. ND IS THE NUMBER OF TERMINALS ON "D" DIMENSION.
4. NE IS THE NUMBER OF TERMINALS ON "E" DIMENSION.

△ PIN #1 ID ON TOP WILL BE LOCATED WITHIN THE INDICATED ZONE.


002-10174 *A

图 18. 8 引脚陶瓷 LCC (3.2 × 5.0 × 1.45 mm) 封装外形 — 002-10273



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	1.35	-	1.45
A3	0.60 REF		
D	3.20 BSC		
E	5.00 BSC		
bD	0.64		
bE	0.64		
LD	0.70		
LE	0.90		
K	0.10		
e	1.27 BSC		
N	8		
ND	1		
NE	3		

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. N IS THE TOTAL NUMBER OF TERMINALS.
3. ND IS THE NUMBER OF TERMINALS ON "D" DIMENSION.
4. NE IS THE NUMBER OF TERMINALS ON "E" DIMENSION.
5.  PIN #1 ID ON TOP WILL BE LOCATED WITHIN THE INDICATED ZONE.

002-10273 *A

缩略语

表 5. 本文中使用的缩略语

缩略语	说明
AC	交流
ADC	模数转换器
BCL	最佳拟合直线
CML	电流模式逻辑
DC	直流
ESD	静电放电
FS	频率选择
HCSL	高速电流驱动逻辑
I ² C	两线式集成电路
JEDEC	电子器件工程联合委员会
LDO	低压差（电压调节器）
LVC MOS	低压互补金属氧化物半导体
LVDS	低压差分信号
LVPECL	低压正射极耦合逻辑
NVM	非易失性存储器
OE	输出使能
PLL	锁相环
POR	上电复位
PSoC [®]	可编程片上系统
QFN	四方扁平无引脚
RMS	均方根
SCL	串行 I ² C 时钟
SDA	串行 I ² C 数据
VCXO	压控振荡器
VRB	电压环路
XTAL	晶体
OTP	一次性可编程

文档惯例

测量单位

表 6. 测量单位

符号	测量单位
°C	摄氏度
fs	飞秒
GHz	千兆赫
kΩ	千欧
kHz	千赫兹
MHz	兆赫兹
MΩ	兆欧
μA	微安
μm	微米
μs	微秒
μW	微瓦
mA	毫安
mm	毫米
mΩ	毫欧
ms	毫秒
mV	毫伏
nH	纳亨
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
ps	皮秒
ppm	百万分率
ppb	十亿分率
V	伏特

文档修订记录页

文档标题: CY2941x/CY2942x , 高性能可编程振荡器 文档编号: 002-03965				
版本	ECN编号	提交日期	变更者	变更说明
**	4999680	11/03/2015	YANS	本档版本号为 Rev**, 译自英文版 001-97768 Rev**。
*A	5249999	04/29/2016	YLIU	本档版本号为 Rev*A, 译自英文版 001-97768 Rev*B。
*B	6375500	11/05/2018	SSAS	本档版本号为 Rev*B, 译自英文版 001-97768 Rev*J。

销售、解决方案和法律信息

全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、原厂代表和经销商组成的全球性网络。如欲查找离您最近的办事处，请访问 [赛普拉斯所在地](#)。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmhc
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

赛普拉斯半导体公司，2015-2018 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC (“赛普拉斯”) 的财产。本文件，包括其包含或引用的任何软件或固件 (“软件”)，根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可 (无再许可权) (1) 在赛普拉斯特软件著作权利项下的下列许可权 (一) 对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和 (二) 仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供 (无论直接提供或通过经销商和分销商间接提供)，和 (2) 在被软件 (由赛普拉斯公司提供，且未经修改) 侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。(如果发现此类问题，赛普拉斯会提供勘误表) 赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用者应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统 (包括急救设备和手术植入物)、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途 (“非预期用途”)。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。