

**Excelon™-LP 4M ビット
(512K×8) シリアル (SPI) F-RAM****特長**

- 512K×8 論理構成として設計された 4M ビット強誘電体 RAM (F-RAM)
 - 100 兆回 (10^{14}) の読み出し／書き込みサイクルの無限の耐久性
 - 151 年間のデータ保持 (23 ページのデータ保持期間およびアクセス可能回数を参照してください)
 - NoDelay™ 書き込み
 - 高信頼性強誘電体プロセス
- 高速シリアル ペリフェラル インターフェース (SPI)
 - 50MHz の最大周波数
 - SPI モード 0 (0, 0) およびモード 3 (1, 1) をサポート
- 洗練された書き込み保護スキーム
 - 書き込み保護 (WP) ピンを使用したハードウェアによる保護
 - 書き込みディセーブル命令 (WRDI) を使用したソフトウェアによる保護
 - アレイの 1/4、1/2 または全体を対象としたソフトウェアブロック保護
- デバイス ID とシリアル番号
 - デバイス ID はメーカー ID と製品 ID を含む
 - 固有 ID
 - シリアル番号
- 専用 256 バイト特殊セクタ F-RAM
 - 専用特殊セクタの書き込みと読み出し
 - 保存コンテンツは最大 3 回の標準はんだリフローサイクルに耐え得る
- 低消費電力
 - 40MHz での 2.4mA (Typ) のアクティブ電流
 - 2.3μA (Typ) のスタンバイ電流
 - 0.70μA (Typ) のディープパワーダウンモード電流
 - 0.1μA (Typ) のハイバネートモード電流
- 低電圧動作
 - CY15V104QN: $V_{DD}=1.71V \sim 1.89V$
 - CY15B104QN: $V_{DD}=1.8V \sim 3.6V$
- 民生用と産業用の動作温度
 - 民生用動作温度範囲: $0^{\circ}C \sim +70^{\circ}C$
 - 産業用動作温度範囲: $-40^{\circ}C \sim +85^{\circ}C$
- パッケージ
 - 8 ピン小型集積回路 (SOIC) パッケージ
 - 8 ピンリードレスクアッドフラットグリッドアレイ (GQFN) パッケージ
- RoHS 準拠

機能説明

Excelon-LP CY15X104QN は低消費電力で高度な強誘電体プロセスを適用した 4M ビットの非揮発性メモリです。強誘電体ランダムアクセスメモリ (F-RAM) は非揮発性であり、RAM 同様に読み書きを実行します。またシリアルフラッシュや EEPROM、その他の非揮発性メモリによる複雑さ、オーバーヘッド、システムレベルの信頼性関連問題を回避し、151 年間にわたって信頼できるデータ保持ができます。

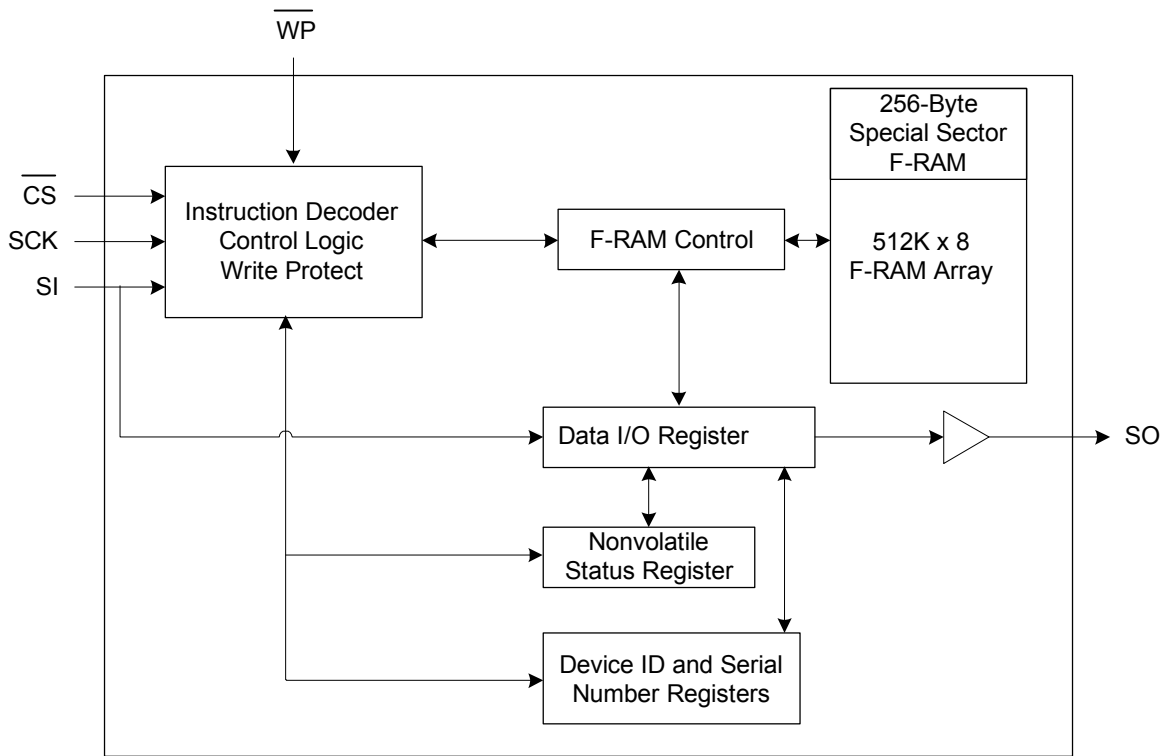
シリアルフラッシュや EEPROM と異なり、CY15X104QN はバス速度で書き込み動作を実行します。書き込み遅延は発生しません。データは各バイトがデバイスに正常に転送された直後にメモリアレイに書き込まれます。次のバスサイクルはデータポーリングを必要とせず開始できます。また、本製品は他の非揮発性メモリと比べ多くの書き換え可能回数を提供しています。CY15X104QN は 10^{14} 回の読み出し／書き込みサイクル、すなわち EEPROM に比べ 1 億倍の書き込みサイクルに対応できます。

これらの能力により、CY15X104QN は頻繁な高速書き込みを必要とする非揮発性メモリの用途に理想的なものになります。これらの用途例は、書き込み回数を重視するデータ収集から、シリアルフラッシュや EEPROM を使った場合にその長い書き込み時間に起因してデータを損失する可能性がある厳しい工業用制御まで及びます。

CY15X104QN はハードウェア置き換えができるため、シリアル EEPROM やフラッシュを使用するユーザーに大幅な利点を提供します。CY15X104QN は F-RAM 技術の高速書き込み機能を強化する高速 SPI バスを使用します。このデバイスは読み出し専用のデバイス ID と固有 ID 機能が組み込まれており、ホストが各製品のメーカー、メモリ容量、製品のレビジョンおよび固有 ID を判断できます。また、本製品は基板またはシステムを特定するために使用できる書き込み可能な 8 バイトシリアル番号レジスタを備えています。

すべての関連資料の一覧については、[ここをクリック](#)してください。

論理ブロック図



目次

ピン配置	4	ACテスト条件	23
ピンの機能	5	ACスイッチング特性	24
機能概要	6	パワー サイクル タイミング	26
メモリ アーキテクチャ	6	注文情報	27
シリアル ペリフェラル インターフェース (SPI) バス	6	注文コードの定義	27
SPIプロトコルで使用される用語	6	パッケージ図	28
SPIモード	7	略語	30
電源投入時から最初のアクセスまで	8	本書の表記法	30
機能説明	9	測定単位	30
コマンドの構成	9	改訂履歴	31
最大定格	20	セールス、ソリューション、および法律情報	32
動作範囲	20	ワールドワイド販売と設計サポート	32
DC電気的特性	20	製品	32
データ保持期間およびアクセス可能回数	23	PSoC®ソリューション	32
静電容量	23	サイプレス開発者コミュニティ	32
熱抵抗	23	テクニカル サポート	32

ピン配置

図 1. 8 ピン GQFN ピン配置

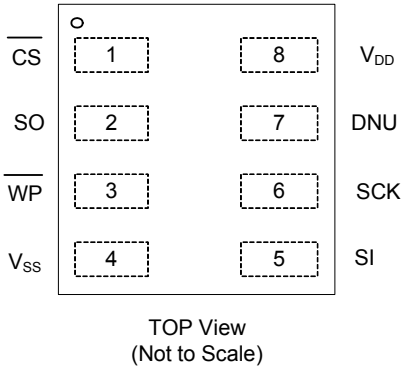
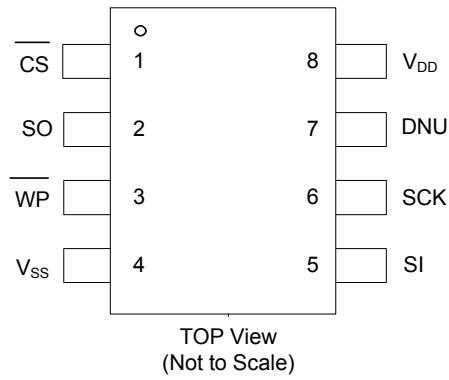


図 2. 8 ピン SOIC ピン配置



ピンの機能

ピン名	入出力	説明
CS	入力	チップセレクト : アクティブ LOW 入力であり、デバイスを起動させる。HIGH になった場合、デバイスは低消費電力のスタンバイモードに移行し、他の入力を無視し、出力はトライステートにされる。LOW になった場合、デバイスは SCK 信号を内部でアクティブにする。CS の立ち下がりエッジは、すべてのオペコードの発行前に発生しなければならない
SCK	入力	シリアルクロック : 入出力はシリアルクロックに同期。シリアルクロックの立ち上がりエッジでは入力がラッチされ、立ち下がりエッジでは出力が駆動される。クロック周波数は 0MHz ~ 50MHz の範囲内であり、同期特性のためいつでも割り込まれる可能性がある
Si ^[1]	入力	シリアル入力 : このピンからデバイスにすべてのデータを入力。入力は SCK の立ち上がりエッジでサンプリングされ、そのとき以外では無効。電源 (I _{DD}) 仕様を満たすために、常に有効な論理レベルに駆動する必要がある
SO ^[1]	出力	シリアル出力 : データ出力ピンであり、読み出し中に駆動され、そのとき以外ではトライステートのままになる。データ遷移はシリアルクロック SCK の立ち下がりエッジで駆動される
WP	入力	書き込み保護 : アクティブ LOW ピンであり、ステータスレジスタの WPEN ビットが「1」にセットされているとき、ステータスレジスタへの書き込み動作を防ぐ。その他の書き込み保護機能がステータスレジスタによって制御されるため、このことは重要。書き込み保護の詳細は 11 ページの表 2 と 11 ページの表 5 を参照してください。このピンは内部で弱プルアップ抵抗に接続され、開放 (基板上で未接続) 状態の場合この抵抗によって HIGH に維持される。このピンを使用しない場合、V _{DD} に接続することも可能
DNU	使用禁止	使用禁止 : このピンは開放 (基板上で未接続) のままにするか、または V _{DD} に接続
V _{SS}	電源	デバイスグラウンド : システムのグラウンドに接続する必要がある
V _{DD}	電源	デバイスの電源入力

注

1. SI を SO と接続し 1 本のデータインターフェースとして利用されることがあります。

機能概要

CY15X104QN はシリアル F-RAM メモリです。メモリ アレイは 524,288×8 ビットに論理構成され、業界標準のシリアル ペリフェラル インターフェース (SPI) バスを使用してアクセスされます。F-RAM の機能動作はシリアル フラッシュやシリアル EEPROM と類似しています。同じピン配置の CY15X104QN とシリアル フラッシュや EEPROM との相違点は、F-RAM の優れた書き込み性能、高耐久性および低消費電力です。

メモリ アーキテクチャ

CY15X104QN のアクセスには、8 データ ビットごとに 512K 箇所の位置をアドレス指定します。これら 8 データ ビットは順次シフトイン/シフトアウトされます。アドレスは、チップ セレクト (バス上で複数デバイスを可能にする) とオペコード、3 バイトのアドレスを含む SPI プロトコルを使ってアクセスされます。アドレス範囲の上位 5 ビットは「ドント ケア」値です。19 ビットのアドレスで、一義的に各バイト アドレスを指定します。

CY15X104QN のほとんどの機能は、SPI インターフェースにより制御されるか、または基板上に搭載された回路によって処理されます。メモリ動作に要するアクセス時間は、シリアル プロトコルに必要な時間以外は基本的に 0 です。すなわち、メモリは SPI バスの速度で読み書きされます。シリアル フラッシュや EEPROM と異なり、書き込み処理がバス速度で行われるので、デバイスの書き込み準備を知るためにポーリングする必要はありません。新しいバストランザクションがデバイスに送り込まれるまでに書き込み動作は完了します。これはインターフェースの節で詳しく説明されています。

シリアル ペリフェラル インターフェース (SPI) バス

CY15X104QN は SPI スレーブ デバイスであり、最大 50MHz の速度で動作します。この高速シリアル バスにより、SPI マスターとの間で高性能なシリアル通信が可能です。多くの一般的なマイクロコントローラーは、ハードウェア SPI ポートを持っているため、直接インターフェースを可能にします。この機能を持たないマイクロコントローラーで、通常のポートピンを使用して SPI ポートをエミュレートすることは容易です。CY15X104QN は SPI モード 0 および 3 で動作します。

SPI 概要

SPI は、チップ セレクト (CS)、シリアル入力 (SI)、シリアル出力 (SO) およびシリアルクロック (SCK) ピンから成る 4 ピン インターフェースです。

SPI は、メモリ アクセスにクロックとデータ ピンを使用し、データ バス上の複数デバイスをサポートする同期シリアル インターフェースです。SPI バス上のデバイスは、CS ピンを使用してアクティブにされます。

チップ セレクト、クロック、データの相互関係は SPI モードによります。このデバイスは、SPI モード 0 および 3 をサポートします。これらの両モードで、CS がアクティブになった後の最初の立ち上がりエッジから始まる SCK の立ち上がりエッジで、データが F-RAM にクロック入力されます。

SPI プロトコルはオペコードによって制御されます。これらのオペコードは、バス マスターからスレーブ デバイスへのコマ

ンドを指定します。CS がアクティブにされた後、バス マスターから最初に転送されるバイトがオペコードです。オペコードに続いて、アドレスとデータが転送されます。処理が完了した後、新しいオペコードが発行される前に、CS を非アクティブにする必要があります。

SPI プロトコルで使用される用語

SPI プロトコルで一般的に使用される用語は以下のとおりです。

SPI マスター

SPI マスター デバイスは SPI バスを制御します。SPI バスは、1 つまたは複数のスレーブ デバイスを制御する 1 つのマスターのみを持つことができます。すべてのスレーブが同じ SPI バスラインを共有し、マスターは CS ピンを使用してスレーブ デバイスのいずれかを選択することができます。すべての処理は、マスターがスレーブの CS ピンを LOW にプルダウンすることによってスレーブ デバイスをアクティブにして開始する必要があります。マスターは SCK も生成し、SI と SO ライン上のすべてのデータ転送はこのクロックに同期されます。

SPI スレーブ

SPI スレーブ デバイスは、チップ セレクト ラインを介してマスターによってアクティブにされます。スレーブ デバイスは SPI マスターからの SCK を入力とし、すべての通信はこのクロックに同期されます。SPI スレーブは SPI バス上で通信を開始することはなく、単にマスターからの命令に従って動作します。

CY15X104QN は SPI スレーブとして動作し、他の SPI スレーブ デバイスと SPI バスを共有する場合があります。

チップ セレクト (CS)

スレーブ デバイスを選択するためには、マスターは該当する CS ピンをプルダウンする必要があります。CS ピンが LOW になっているときのみ、命令をスレーブ デバイスに発行することができます。デバイスが選択されていない場合、SI ピン経由のデータは無視され、シリアル出力ピン (SO) は高インピーダンス状態が保持されます。

注：新しい命令は CS の立ち上がりエッジで開始する必要があります。したがって、アクティブなチップ セレクト サイクルごとに 1 つのオペコードのみが発行されます。

シリアル クロック (SCK)

シリアル クロックは SPI マスターによって生成され、CS が LOW になった後、通信はこのクロックと同期されます。

CY15X104QN はデータ通信のために SPI モード 0 と 3 をサポートします。これらの両モードにおいて、入力は SCK の立ち上がりエッジでスレーブ デバイスによってラッチされ、出力は立ち上がりエッジで発行されます。そのため、SCK の最初の立ち上がりエッジが、SPI 命令の最初の最上位ビット (MSb) が SI ピンに到着したことを意味します。さらに、すべてのデータの入力と出力は SCK と同期されます。

データ転送 (SI / SO)

SPI データ バスは、シリアル データ通信用に SI と SO の 2 ラインで構成されます。SI はマスター アウト スレーブ イン (MOSI)、SO はマスター イン スレーブ アウト (MISO) と呼ばれています。マスターは SI ピンを介してスレーブに命令を発行し、スレーブは SO ピンを介して応答します。複数のスレーブ デバイスは、前述のように SI と SO ラインを共有する場合があります。

CY15X104QN は、[図 3](#) に示すようにマスターと接続することができる SI と SO 用の 2 本の独立したピンを備えています。専用 SPI バスを持たないマイクロコントローラーでは、汎用ポートが使用されることもあります。コントローラーのハードウェア リソースを減らすために、2 つのデータ ピン (SI、SO) を 1 つにまとめて接続し、WP ピンを HIGH に固定接続することができます。[図 4](#) に、ピンを 3 本のみ使用したこのコンフィギュレーションを示します。

図 3. SPI ポートを使用するシステム コンフィギュレーション

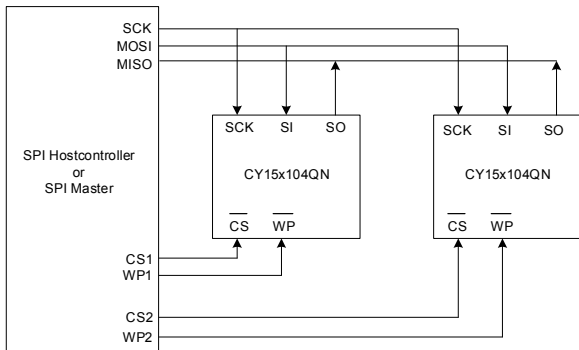
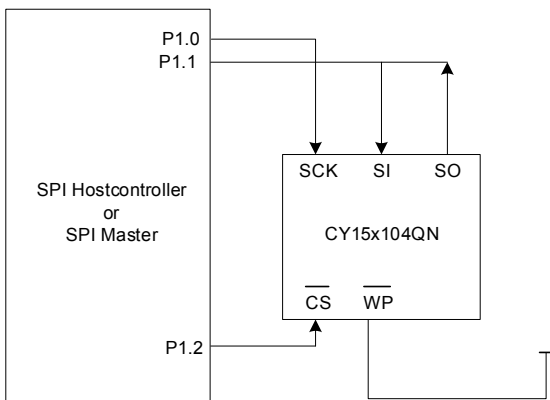


図 4. SPIポートを使用しないシステムコンフィギュレーション



最上位ビット (MSb)

SPI プロトコルでは、送信される最初のビットが MSb である必要があります。この方式はアドレスとデータ転送の両方に適用されます。

4M ビット シリアル F-RAM は、あらゆる読み書き動作のために 3 バイトのアドレスを必要とします。アドレスが 19 ビットであるため、入力された最初の 5 ビットはデバイスによって無視されます。これらの 5 ビットは「ドント ケア」ですが、より高容量メモリへの円滑な移行を可能にするために、これらを「0」に設定することをサイプレスは推奨します。

シリアル オペコード

CS が LOW になってスレーブ デバイスが選択された後、最初に受信されたバイトは、意図されている動作のオペコードとして扱われます。CY15X104QN は標準オペコードをメモリ アクセスに使用します。

無効なオペコード

無効なオペコードが受信されるとそのオペコードは無視され、デバイスは次の CS の立ち上がりエッジまで SI ピン上にある追加のシリアル データを無視し、SO ピンはトライステートのままとなります。

ステータス レジスタ

CY15X104QN には、8 ビットのステータス レジスタが 1 個あります。ステータス レジスタ内のビットはデバイスを設定するために使用されます。これらのビットは [11 ページの表 3](#) で説明されています。

SPI モード

CY15X104QN は、SPI ペリフェラルが次の 2 つのモードのいずれかで動作しているマイクロコントローラーによって駆動することができます。

- SPI モード 0 (CPOL=0、CPHA=0)
- SPI モード 3 (CPOL=1、CPHA=1)

この両モードでは、入力データは CS がアクティブにされた後の最初の立ち上がりエッジから始まる SCK の立ち上がりエッジでラッチされます。クロックが HIGH 状態から起動される場合 (モード 3) では、入力データはクロック トグル後の最初の立ち上がりエッジでラッチされます。出力データは SCK の立ち下がりエッジで利用可能となります。2 つの SPI モードは [図 5](#) と [図 6](#) に示されています。バス マスターがデータを送っていないときのクロックの状態は以下のとおりです。

- モード 0 では、SCK が 0 のままです。
- モード 3 では、SCK が 1 のままです。

CS ピンを LOW にすることによりデバイスが選択されたとき、デバイスは SCK ピンの状態から SPI モードを検出します。デバイス選択時に、SCK ピンが LOW ならデバイスは SPI モード 0 で動作し、SCK ピンが HIGH ならデバイスは SPI モード 3 で動作します。

図 5. SPI モード 0

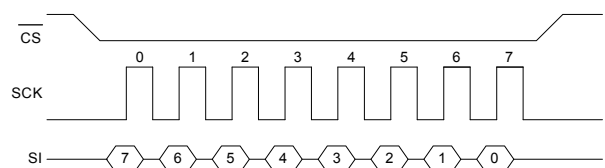
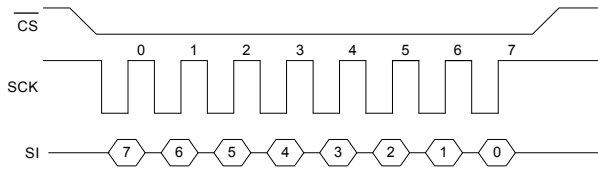


図 6. SPI モード 3



電源投入時から最初のアクセスまで

電源投入後の t_{PU} の間、CY15X104QN へはアクセスできません。ユーザーは、 $t_{PU}(V_{DD}(\text{min}))$ から CS が初めて LOW になる
ときまでの最短期間)のタイミングパラメーターに従わなければなりません。詳細は [26 ページのパワー サイクル タイミング](#)
を参照してください。

機能説明

コマンドの構成

バス マスターが CY15X104Q に発行するコマンド (オペコード と呼ばれる) は 15 個あります (表 1 を参照してください)。これらのオペコードはメモリが実行する機能を制御します。

表 1. オペコード コマンド

名称	説明	オペコード		最大周波数 (MHz)
		16 進	2 進	
書き込みイネーブル制御				
WREN	書き込みイネーブルラッチセット	06h	0000 0110b	50
WRDI	書き込みイネーブルラッチリセット	04h	0000 0100b	50
レジスタアクセス				
RDSR	ステータスレジスタ読み出し	05h	0000 0101b	50
WRSR	ステータスレジスタ書き込み	01h	0000 0001b	50
メモリ書き込み				
WRITE	メモリデータ書き込み	02h	0000 0010b	50
メモリ読み出し				
READ	メモリデータ読み出し	03h	0000 0011b	40
FSTRD	メモリデータ高速読み出し	0Bh	0000 1011b	50
特殊セクタメモリアクセス				
SSWR	特殊セクタ書き込み	42h	0100 0010b	50
SSRD	特殊セクタ読み出し	4Bh	0100 1011b	40
ID およびシリアル番号				
RDID	デバイス ID 読み出し	9Fh	1001 1111b	50
RUID	固有 ID 読み出し	4Ch	0100 1100b	50
WRSN	シリアル番号書き込み	C2h	1100 0010b	50
RDSN	シリアル番号読み出し	C3h	1100 011b	50
低消費電力モード コマンド				
DPD	ディープパワーダウン開始	BAh	1011 1010b	50
HBN	ハイバネートモード開始	B9h	1011 1001b	50
予約済み				
予約済み	予約済み	未使用オペコードは、将来の使用のために予約される		—

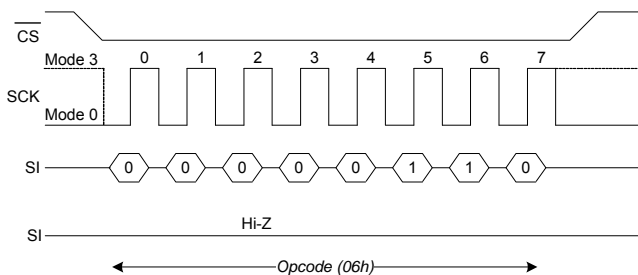
書き込みイネーブル制御コマンド

書き込みイネーブル ラッチ セット (WREN、06h)

CY15X104QN は書き込みが無効の状態です。電源投入されます。WREN コマンドを書き込み動作の前に発行する必要があります。WREN オペコードを送信することにより、ユーザーは書き込み動作に次のオペコードを発行することができます。これには、ステータスレジスタ書き込み (WRSR)、メモリ書き込み (WRITE)、特殊セクタ書き込み (SSWR)、シリアル番号書き込み (WRSN) が含まれます。

WREN オペコードを発行すると、内部書き込みイネーブルラッチがセットされます。WEL と呼ばれるステータスレジスタ内のフラグビットはラッチの状態を示します。WEL=「1」は、書き込みが許可されることを示します。ステータスレジスタの WEL ビットに書き込んでもこのビットの状態に影響を与えません。WREN オペコードだけがこのビットをセットできます。WEL ビットは、WRDI、WRSR、WRITE、SSWR または WRSN 動作に続く CS の立ち上がりエッジで自動的にクリアされます。これにより、別の WREN コマンドを発行せず、ステータスレジスタまたは F-RAM アレイへの二重の書き込みを防ぐことができます。図 7 は WREN コマンドのバスコンフィギュレーションを示します。

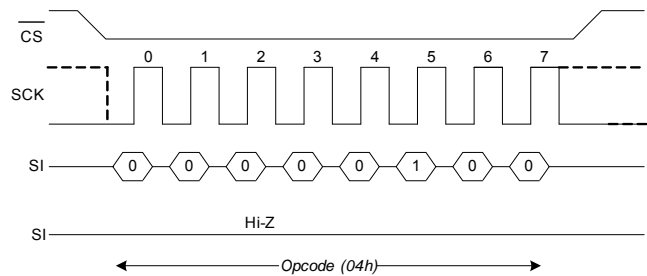
図 7. WREN バスコンフィギュレーション



書き込みイネーブル ラッチ リセット (WRDI、04h)

WRDI コマンドは、書き込みイネーブルラッチをクリアすることによりすべての書き込み動作を無効にします。ステータスレジスタの WEL ビットを読んで書き込みが無効になっていることを確認し、WEL が「0」に等しいことを確認します。図 8 に WRDI コマンドのバスコンフィギュレーションを示します。

図 8. WRDI バスコンフィギュレーション



ステータス レジスタおよび書き込み保護

CY15X104QN の書き込み保護機能は多層的であり、ステータス レジスタによって有効にされます。ステータス レジスタは以下のように構成されています (工場出荷時の初期値は、WEL、BP0、BP1、ビット 4 ~ 5、WPEN は「0」、ビット 6 は「1」です)。

表 2. ステータス レジスタ

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
WPEN (0)	X (1)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEL (0)	X (0)

表 3. ステータス レジスタ ビット定義

ビット	定義	説明
ビット 0	ドント ケア	このビットは書き込み不可であり、読み出し時に常に「0」を返す
ビット 1 (WEL)	書き込みイネーブル	WEL はデバイスの書き込みが有効かどうかを示す。 電源投入時、このビットの初期値は「0」(無効)。 「WEL=1」 --> 書き込みが有効 「WEL=0」 --> 書き込みが無効
ビット 2 (BP0)	ブロック保護 ビット「0」	ブロック保護に使用。詳細は表 4 を参照してください
ビット 3 (BP1)	ブロック保護 ビット「1」	ブロック保護に使用。詳細は表 4 を参照してください
ビット 4 ~ 5	ドント ケア	これらのビットは書き込み不可であり、読み出し時に常に「0」を返す
ビット 6	ドント ケア	このビットは書き込み不可であり、読み出し時に常に「1」を返す
ビット 7 (WPEN)	書き込み保護 イネーブルビット	書き込み保護ピン (WP) の機能を有効にするために使用。詳細は表 5 を参照してください

ビット 0 と 4 ~ 5 は「0」に、ビット 6 は「1」に固定され、これらのビットは修正できません。F-RAM はリアルタイムで書き込まれ、ビジー状態がないため、ビット 0 (シリアルフラッシュやEEPROMでは「Ready or Write in progress」(待機または書き込み中)の状態を示すビット)は不要であり、「0」として読み出されることに注意してください。ただし、デバイスがディープパワーダウンモード (DPD、BAh) またはハイバネートモード (HBN、B9h) から復帰する場合は例外です。BP1 および BP0 はソフトウェアの書き込み保護機能を制御する不揮発性ビットです。WEL フラグは、書き込みイネーブルラッチの状態を示します。ステータスレジスタのWELビットに直接書き込んで状態は変わりません。このビットは内部でWRENおよびWRDIコマンドでそれぞれセットおよびクリアされます。

BP1 と BP0 はメモリブロックの書き込み保護ビットです。それらは表 4 に示すように書き込み保護されるメモリ領域を指定します。

表 4. ブロックメモリの書き込み保護

BP1	BP0	保護されるアドレス範囲
0	0	無し
0	1	60000h ~ 7FFFFh (上位 1/4)
1	0	40000h ~ 7FFFFh (上位 1/2)
1	1	00000h ~ 7FFFFh (全体)

BP1 と BP0 ビットおよび書き込みイネーブルラッチは、メモリへの書き込みを防止する唯一のメカニズムです。残りの書き込み保護機能は、ブロック保護ビットへの不用意な変更を防止します。

ステータスレジスタの書き込み保護イネーブルビット (WPEN) は、ハードウェア書き込み保護 (WP) ピンの効果を制御します。WP ピンタイミング図は 25 ページの図 24 を参照してください。WPEN ビットが「0」にセットされると、WP ピンの状態は無視されます。WPEN ビットが「1」にセットされたとき、WP ピンが LOW になるとステータスレジスタへの書き込みは防止されます。したがって、ステータスレジスタは WPEN=「1」かつ WP=「0」のときにのみ書き込みから保護されます。表 5 は書き込み保護条件をまとめたものです。

表 5. 書き込み保護

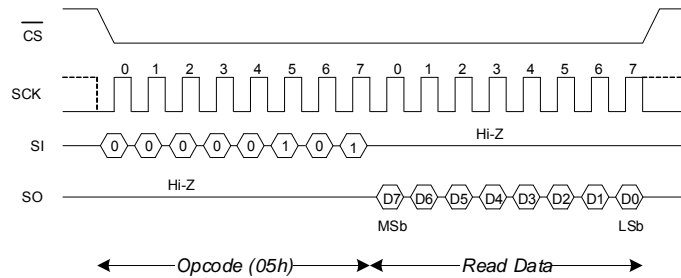
WEL	WPEN	WP	保護 ブロック	非保護 ブロック	ステータス レジスタ
0	X	X	保護	保護	保護
1	0	X	保護	非保護	非保護
1	1	0	保護	非保護	保護
1	1	1	保護	非保護	非保護

レジスタ アクセス コマンド

ステータス レジスタ読み出し (RDSR、05h)

RDSR コマンドでは、バス マスターはステータス レジスタの内容を検証することができます。ステータス レジスタを読み出すことで、書き込み保護機能の現時点の状態に関する情報を得ます。RDSR オペコードに続いて、CY15X104QN はステータス レジスタの内容を持つ 1 バイトを返します。

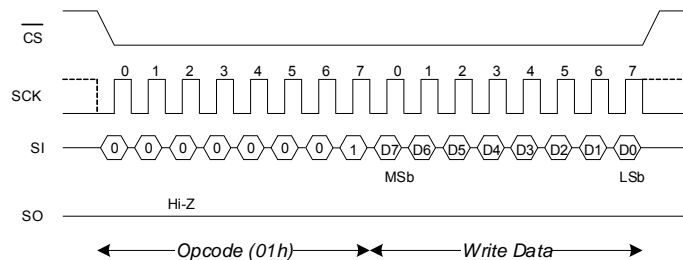
図 9. RDSR バス コンフィギュレーション



ステータス レジスタ書き込み (WRSR、01h)

WRSR コマンドを使って、SPI バス マスターがステータス レジスタへ書き込み、WPEN、BP0、BP1 ビットを必要に応じて設定することで書き込み保護のコンフィギュレーションを変更することができます。WRSR コマンドを発行する前に、WP ピンが HIGH または非アクティブである必要があります。CY15X104QN では、WP がメモリ アレイではなくステータス レジスタのみへの書き込みを防止することに注意してください。WRSR コマンドを送信する前に、書き込みを有効にするために WREN コマンドを送信する必要があります。WRSR コマンドの実行は書き込み動作であるため、書き込みイネーブル ラッチがクリアされます。

図 10. WRSR バス コンフィギュレーション (WREN が非表示)



メモリの動作

高いクロック周波数で動作が可能な SPI インターフェースは、F-RAM 技術の高速書き込み機能を際立たせます。シリアルフラッシュや EEPROM と異なり、CY15B104QN はバス速度でシーケンシャル書き込みを実行できます。ページレジスタは不要であり、シーケンシャルな書き込みは何回でも実行できます。

メモリ書き込み動作コマンド

書き込み (WRITE、02h)

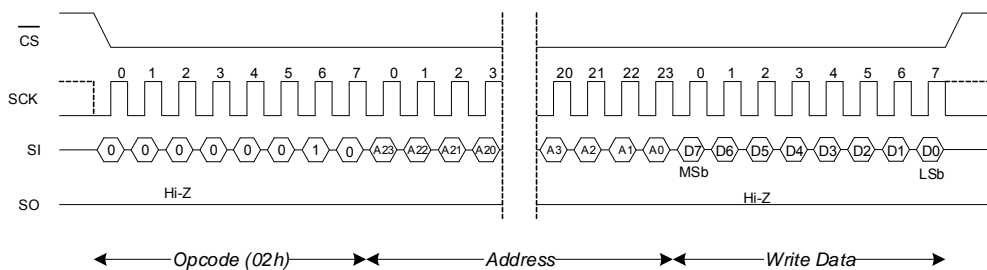
メモリへの全ての書き込みは、アサートおよびデアサートされている CS を伴い WREN オペコードで始まります。次のオペコードは WRITE です。WRITE オペコードの後には、メモリへ書き込む最初のデータ バイトを指定する 19 ビット アドレス (A18 ~ A0) を含む 3 バイト アドレスが続きます。3 バイト アドレスの上位 5 ビットは無視されます。後続のバイトはシーケンシャルに書き込まれるデータ バイトです。バス マスターがクロックを送り、CS を LOW に維持している限り、アドレスは内部でインクリメントされます。7FFFh の最終アドレスに達すると、内部アドレス カウンターは 00000h に戻ります。書き

込まれるすべてのデータ バイトは、MSb ファースト、LSb ラスト方式で 8 クロック サイクルで SI に転送されます。CS の立ち上がりエッジで書き込み動作が終了します。CY15X104QN の書き込み動作を図 11 に示します。

注:

- バースト書き込みが保護されたブロックに達すると、アドレスの自動インクリメントは停止し、書き込み用に受信された後続のデータ バイトのすべてがデバイスに無視されます。EEPROM はページバッファを使用して書き込みスループットを上げます。ページバッファは、書き込み動作が遅いという本来の特性を補完するものです。F-RAM メモリは、各データバイトが (8 番目のクロックの後) クロック入力された直後に F-RAM アレイに書き込まれるため、ページバッファを持っていません。そのため、ページバッファの遅延なしにバイトをいくつも書き込むことができます。
- 書き込み動作中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。

図 11. メモリ書き込み動作 (WREN が非表示)



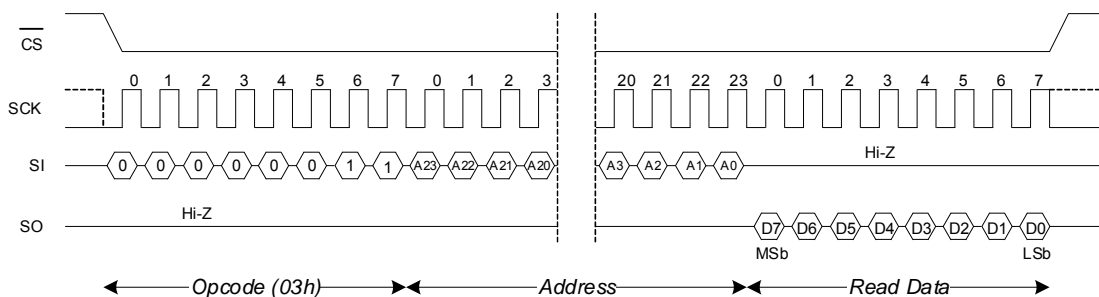
メモリ読み出しコマンド

読み出し (READ、03h)

CS の立ち上がりエッジの後に、バス マスターは READ オペコードを発行できます。READ コマンドの後には、読み出し動作の開始アドレスを指定する 19 ビット アドレス (A18 ~ A0) を含む 3 バイトのアドレスが続きます。アドレスの上位 5 ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の 8 クロック サイクルの間読み出しデータを出力します。SI 入力は読み出しデータ バイトの出力中には無視されま

す。後続のバイトはシーケンシャルに読み出されるデータ バイトです。バス マスターがクロックを送り、CS が LOW である限り、アドレスは内部でインクリメントされます。7FFFh の最終アドレスに達すると、内部アドレス カウンターは 00000h に戻ります。また、本製品は基板またはシステムを特定するために使用できる書き込み可能な 8 バイト シリアル番号レジスタを備えています。CS の立ち上がりエッジで読み出し動作が終了し、SO ピンがトライステートになります。CY15X104QN の読み出し動作を図 12 に示します。

図 12. メモリ読み出し動作

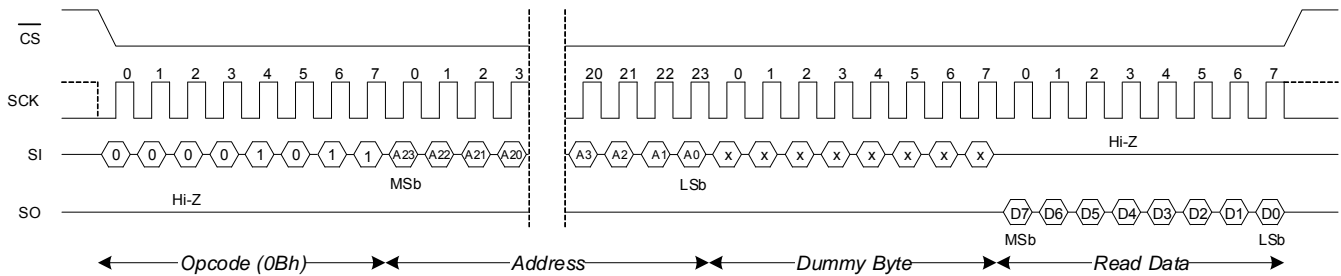


高速読み出し (FAST_READ、0Bh)

CY15X104QN は、シリアル フラッシュ デバイスとのコード互換性のために提供される FAST READ オペコード (0Bh) をサポートします。FAST READ オペコードの後には、読み出し動作の最初のバイトを指定する 19 ビット アドレス (A18 ~ A0) を含む 3 バイト アドレス、およびダミー バイトが続きます。ダミー バイトは 8 クロック サイクルの読み出し遅延を入れることです。ダミー バイトを追加することを除き、高速読み出し動作は通常の読み出し動作と同じです。オペコード、アドレス、ダミー バイトを受信した後、CY15X104QN は SO ラインで MSb

ファースト方式でデータ バイトを出力し始めます。またデバイスが選択されクロックが有効である限り出力を継続します。バルク読み出しの場合、内部アドレス カウンターは自動的にインクリメントされ、最終アドレス 7FFFFh に達するとカウンターは 00000h に戻ります。デバイスが SO ラインでデータを出している間、SI ライン上の遷移は無視されます。CS の立ち上がりエッジで高速読み出し動作が終了し、SO ピンはトライステートになります。CY15X104QN の高速読み出し動作を 図 13 に示します。

図 13. 高速読み出し動作



特殊セクタ メモリ アクセス コマンド

特殊セクタ書き込み (SSWR、42h)

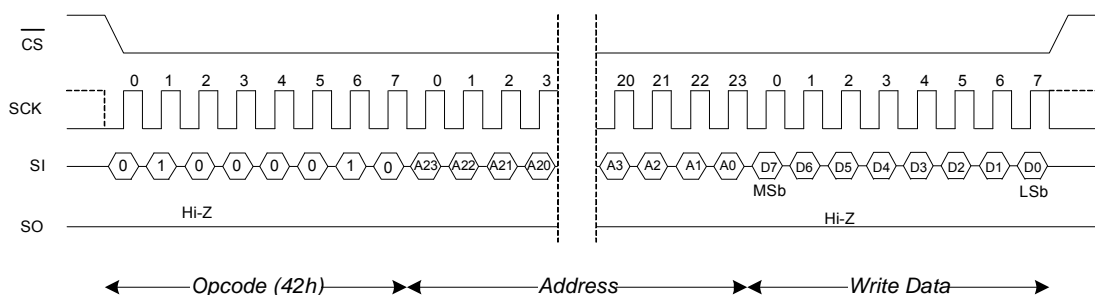
256 バイトの特殊セクタへのすべての書き込みは、CS がアサートおよびデアサートされている状態で WREN オペコードで始まります。次のオペコードは SSWR です。SSWR オペコードの後には、特殊セクタ メモリへ書き込む最初のデータ バイトを指定する 7 ビット セクタ アドレス (A6 ~ A0) を含む 3 バイト アドレスが続きます。3 バイト アドレスの上位 17 ビットは無視されます。後続のバイトはシーケンシャルに書き込まれるデータ バイトです。バス マスターがクロックを送り、CS を LOW に維持している限り、アドレスは内部でインクリメントされます。SSWR ではアドレス ラップはサポートされていません。内部アドレス カウンターが自動的に XXX7Fh にインクリ

メントすると、CS は進行中の SSWR 動作を終了するために HIGH にトグルする必要があります。書き込まれるすべてのデータ バイトは、MSb ファースト、LSb ラスト方式で 8 クロック サイクルで SI に転送されます。CS の立ち上がりエッジで書き込み動作が終了します。CY15X104QN の特殊セクタ書き込み動作を 図 14 に示します。

注:

- 書き込み動作中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。
- 特殊セクタ F-RAM メモリは、標準的なはんだリフローの最大 3 サイクルにわたってデータの完全性を維持することを保証しています。

図 14. 特殊セクタ書き込み動作 (WREN が非表示)



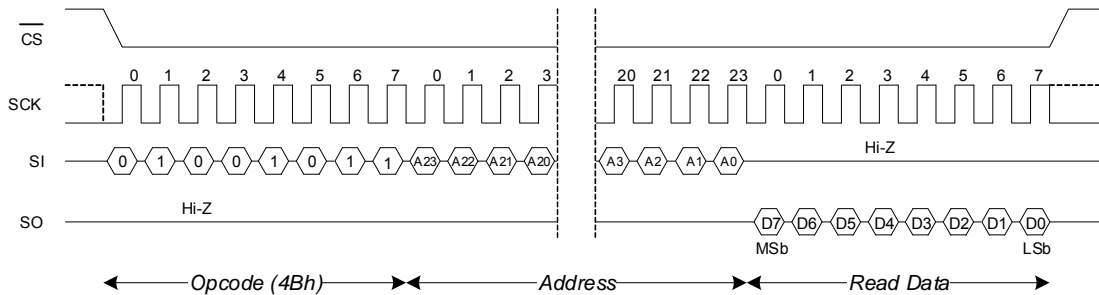
特殊セクタ読み出し (SSRD、4Bh)

CS の立ち下がりエッジの後に、バス マスターは SSRD オペコードを発行できます。SSRD コマンドの後には、特殊セクタ読み出し動作の最初のバイトを指定する 7 ビット アドレス (A6 ~ A0) を含む 3 バイト アドレスが続きます。アドレスの上位 17 ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の 8 クロック サイクルの間読み出しデータを出力します。SI 入力は読み出しデータ バイトの出力中は無視されます。後続のバイトはシーケンシャルに読み出されるデータ バイトです。バス マスターがクロックを送り、CS が LOW である限り、アドレスは内部でインクリメントされます。SSRD

ではアドレス ラップはサポートされていません。内部アドレス カウンターが自動的に XXX7Fh にインクリメントされると、CS は進行中の SSRD 動作を終了するために HIGH にトグルする必要があります。SO のすべての読み出しデータ バイトは、MSb ファースト、LSb ラスト方式で 8 クロック サイクルで駆動されます。CS の立ち上がりエッジで特殊セクタ読み出し動作が終了し、SO ピンがトライステートになります。CY15X104QN の特殊セクタの読み出し動作を図 15 に示します。

注：特殊セクタ F-RAM メモリは、標準的なハンドリフローの最大 3 サイクルにわたってデータの完全性を維持することを保証しています。

図 15. 特殊セクタ読み出し動作



ID およびシリアル番号コマンド

デバイス ID 読み出し (RDID、9Fh)

CY15X104QN デバイスは、メーカー、製品 ID、ダイレビジョンについて問い合わせを行えます。RDID オペコード 9Fh では、両方とも読み出し専用バイトであるメーカー ID と製品 ID を読み出します。JEDEC から割り当てられた製造業者の ID は、バンク 7 の中にサイプレス (Ramtron) の ID を配置しています。そのため、連続コード 7Fh の 6 バイトとそれに続く C2h の 1 バ

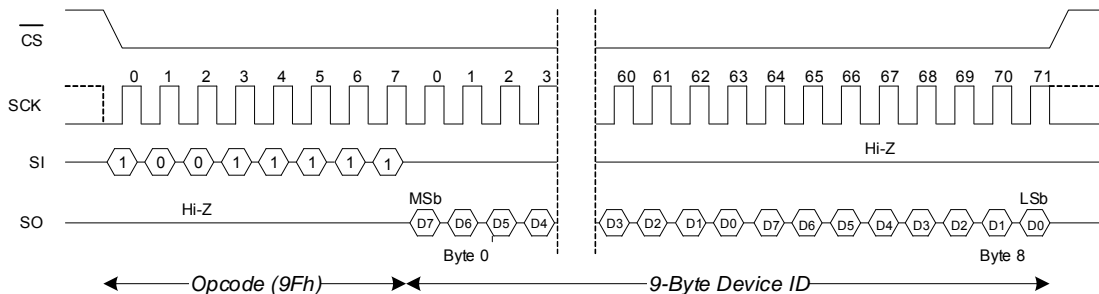
イトがあります。2 バイトの製品 ID はファミリー コードとメモリ容量コード、サブ コード、製品レビジョン コードを含みます。表 6 に、9 バイト デバイス ID のフィールド説明を示します。各製品の 9 バイト デバイス ID については、27 ページの注文情報を参照してください。CY15X104Q のデバイス ID 読み出し動作を図 16 に示します。

注：最下位のデータ バイト (バイト 0) は最初に、最上位のデータ バイト (バイト 8) は最後にシフトアウトされます。

表 6. 9 バイト デバイス ID

デバイス ID フィールドの説明							
メーカー ID [71:16]	ファミリー [15:13]	メモリ容量 [12:9]	突入電流 [8]	サブ タイプ [7:5]	レビジョン [4:3]	電圧 [2]	周波数 [1:0]
56 ビット	3 ビット	4 ビット	1 ビット	3 ビット	2 ビット	1 ビット	2 ビット

図 16. デバイス ID 読み出し



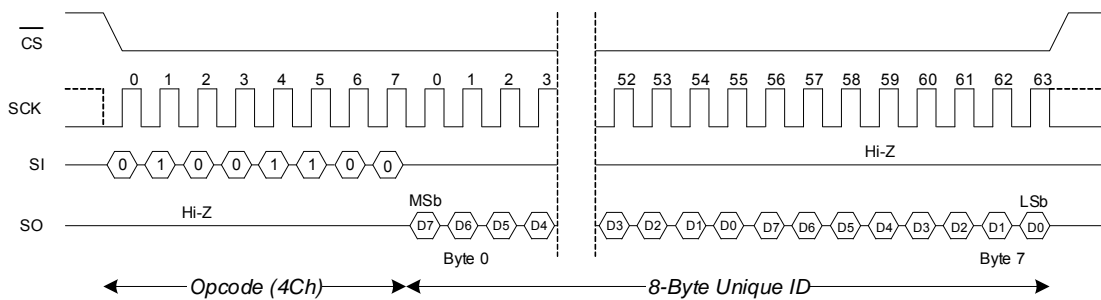
固有 ID 読み出し (RUID、4Ch)

CY15X104QN デバイスは、工場出荷時にプログラムされた各デバイスに固有の 64 ビット番号である固有 ID について問い合わせを行えます。RUID オペコード 4Ch は、8 バイトの読み出し専用固有 ID を読み出します。CY15X104QN の固有 ID 読み出し動作を図 17 に示します。

注:

- 最下位のデータ バイト (バイト 0) は最初に、最上位のデータ バイト (バイト 7) は最後にシフトアウトされます。
- 固有 ID レジスタは、標準的なハンドリフローの最大 3 サイクルにわたってデータ安全性を保証します。

図 17. 固有 ID 読み出し



シリアル番号書き込み (WRSN、C2h)

シリアル番号は、PC 基板またはシステムを一義的に識別するためにユーザーに提供される 8 バイトのワンタイムプログラムブル メモリ空間です。通常、シリアル番号は 2 バイトのカスタム ID、その後続く固有の 5 バイトの一義のシリアル番号と 1 バイトの CRC チェックで構成されています。しかし、エンドアプリケーションでは、8 バイトのシリアル番号に独自フォーマットで定義ができます。シリアル番号レジスタへのすべての書き込みは、CS がアサートおよびデアサートされている状態で WREN オペコードで始まります。次のオペコードは WRSN です。WRSN 命令は、シリアル番号の 8 バイトすべてを書き込

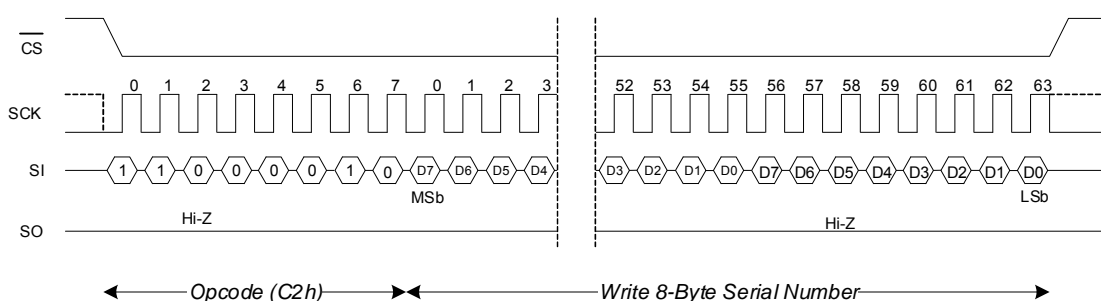
むためにバーストモードで使用することができます。シリアル番号の最後のバイトがシフトインされた後、WRSN 動作を完了するために CS を HIGH に駆動する必要があります。CY15X104QN のシリアル番号書き込み動作を 16 ページの図 18 に示します。

注: CRC チェックサムはデバイスによって計算されません。システム ファームウェアは 7 バイトの内容の CRC チェックサムを計算し、チェックサムを 7 バイトのユーザー定義のシリアル番号に付け加えてから、8 バイト シリアル番号をシリアル番号レジスタにプログラムする必要があります。8 バイト シリアル番号の工場出荷時の初期値は「0000000000000000h」です。

表 7. 8 バイト シリアル番号

16 ビット カスタム ID		40 ビット 固有番号					8 ビット CRC
SN[63:56]	SN[55:48]	SN[47:40]	SN[39:32]	SN[31:24]	SN[23:16]	SN[15:8]	SN[7:0]

図 18. シリアル番号書き込み動作 (WREN が非表示)



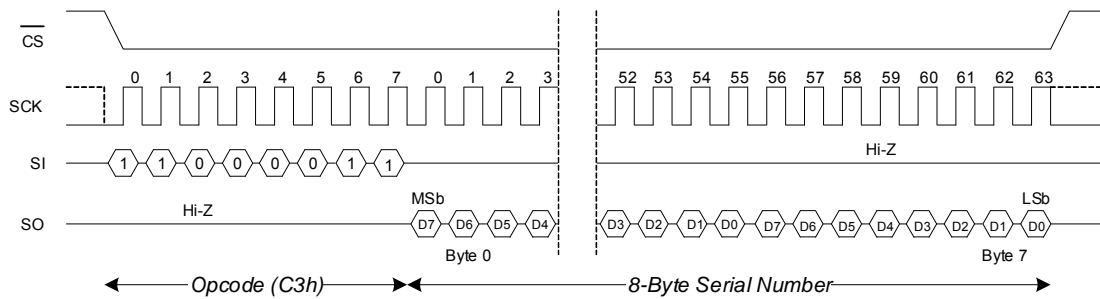
シリアル番号読み出し (RDSN、C3h)

CY15X104QN デバイスは、デバイスを一義的に識別するためにユーザーに提供される 8 バイトのシリアル番号の空間を組み込んでいます。シリアル番号は RDSN 命令で読み出されます。シリアル番号読み出しは、バーストモードで実行して一度にすべての 8 バイトを読み出すことができます。シリアル番号の最後のバイトが読み出された後、デバイスはシリアル番号の最初

のバイトにループバックします。 \overline{CS} が LOW になった後、RDSN のオペコードをシフトすることで RDSN 命令を発行することができます。CY15X104QN のシリアル番号読み出し動作を [図 19](#) に示します。

注：最下位のデータバイト (バイト 0) は最初に、最上位のデータバイト (バイト 7) は最後にシフトアウトされます。

図 19. シリアル番号読み出し動作



低消費電力モード コマンド

ディープパワーダウンモード (DPD、BAh)

CY15X104QN デバイスには省電力のディープパワーダウンモードが実装されています。デバイスは、DPD オペコード BAh がクロック入力され、 \overline{CS} の立ち上がりエッジが適用されてから t_{ENTDPD} の時間後にディープパワーダウンモードに入ります。ディープパワーダウンモードでは、SCK と SI ピンは無視され、SO は Hi-Z になりますが、デバイスは \overline{CS} ピンの監視を継続します。

t_{CSDPD} の \overline{CS} パルス幅は、 t_{EXTDPD} 時間後に DPD モードを終了します。CS パルス幅は、ダミーコマンドサイクルを送信するか、または SCK と I/O がドントケアになっている間に CS のみをトグルすることによって生成できます。ディープパワーダウンモードからの復帰中は、I/O は Hi-Z 状態のままです。DPD の開始と終了タイミングについては、それぞれ [図 20](#) と [図 21](#) を参照してください。

図 20. DPD 開始タイミング

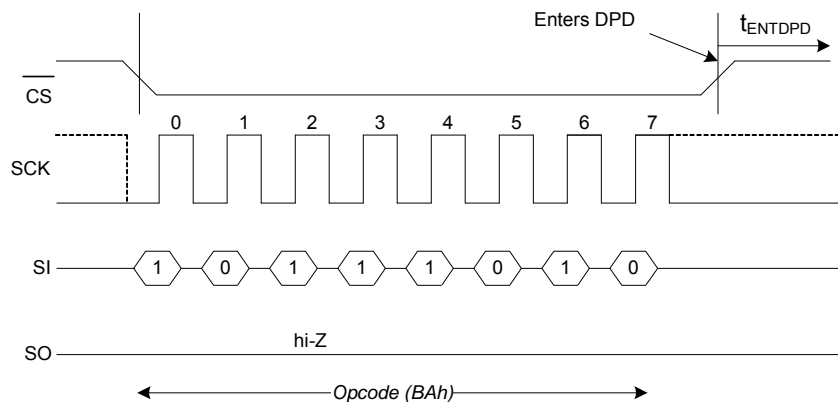
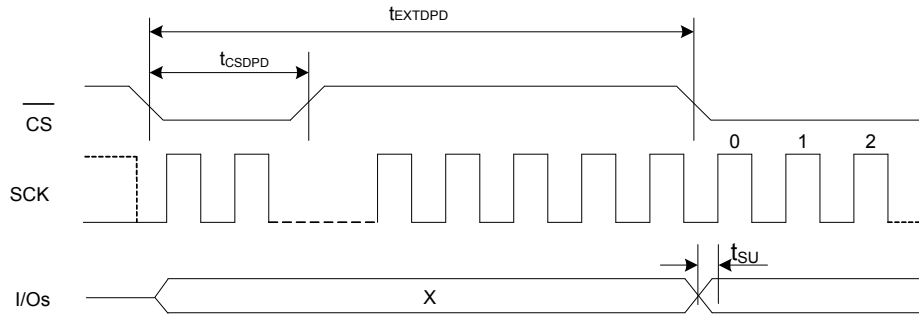


図 21. DPD 終了タイミング

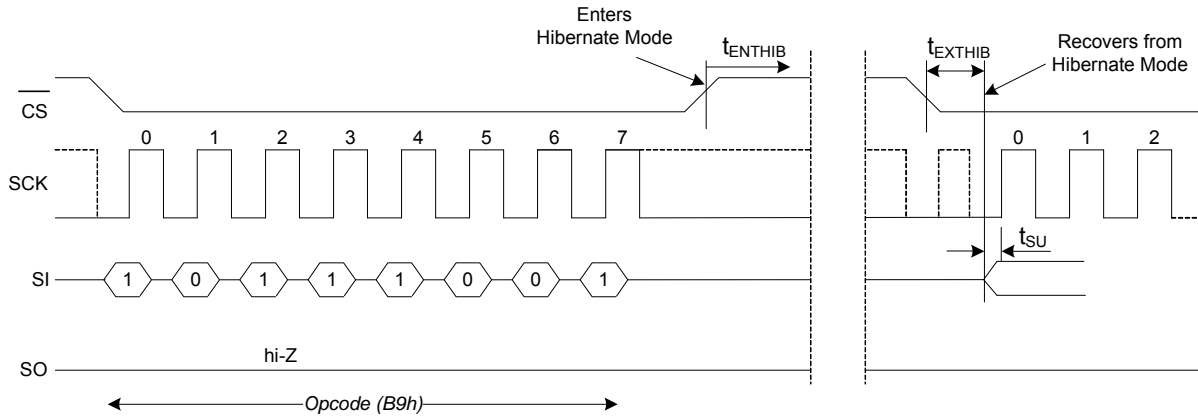


ハイバネート モード (HBN、B9h)

CY15X104QN デバイスには最低消費電力のハイバネート モードが実装されています。デバイスは、HBN オペコード B9h がクロック入力され、CS の立ち上がりエッジが適用されてから t_{ENTHIB} の時間後にハイバネートモードに入ります。ハイバネートモードでは、SCK と SI ピンが無視され、SO が Hi-Z になりますが、デバイスは CS ピンの監視を継続します。CS の次の

立ち下がりエッジで、デバイスは、 t_{EXTHIB} 以内に通常の動作に復帰します。ハイバネートモードからの復帰中は、SO ピンは Hi-Z 状態のままです。デバイスは、復帰期間内では必ずしもオペコードに応答しません。ハイバネートモードを終了するため、コントローラーは、例えば「ダミー」読み出しを送信し、残りの t_{EXTHIB} 時間待機することがあります。

図 22. ハイバネート モード動作



アクセス可能回数

CY15X104QN デバイスには 10^{14} 回以上、読み書きを問わずアクセスすることができます。

F-RAM メモリは読み出しと格納メカニズムを伴い動作します。そのため、メモリ アレイへのアクセス（読み出し／書き込み）に対して、書き換え可能サイクルが行単位で適用されます。F-RAM のアーキテクチャは、64 ビットの列と 32K の行からなるアレイを基にしています。読み出しまたは書き込みは行単位

に行われます。1 行内のデータのアクセス バイト数に関わらず内部的に行に対するアクセスは 1 回です。行内の各バイトは、アクセス可能回数の計算では 1 回だけカウントされます。表 8 は、オペコード、開始アドレス、シーケンシャル 64 バイト データの流れを含む、64 バイトの繰り返しループに対応したアクセス可能回数を示します。これはループによって各バイトがアクセス 1 回を費やしたことになります。

F-RAM は 50MHz のクロック速度で連続的にアクセスされる場合、少なくとも 34.9 年間の読み書き耐久性を提供します。

表 8. 64 バイト ループの繰り返しでアクセス可能回数に達する期間

SCK 周波数 (MHz)	アクセス回数 (サイクル/秒)	アクセス回数 (サイクル/年)	10^{14} 限界に達するまでの年数
50	91,900	2.90×10^{12}	34.5
40	73,040	2.30×10^{12}	43.2
20	36,520	1.16×10^{12}	86.4
10	18,380	5.79×10^{11}	172.7
5	9,190	2.90×10^{11}	345.4

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザーガイドラインはテストされていません。

保存温度 -55°C ~ +125°C
 最大累積保存時間周囲温度 125°C 1000 時間
 周囲温度 85°C 10 年
 最大接合部温度 125°C
 V_{SS} を基準にした V_{DD} 電源電圧：
 CY15V104QN: -1.0V ~ +2.4V
 CY15B104QN: -1.0V ~ +4.1V
 入力電圧 V_{IN} ≤ V_{DD} + 1.0V
 High-Z 状態の出力に印加される
 DC 電圧 -1.0V ~ V_{DD} + 1.0V
 グランド電位を基準にした任意のピンの
 過渡電圧
 (<20ns) -2.0V ~ V_{DD} + 2.0V

パッケージ許容電力損失 (T_A=25°C) 1.0W
 表面実装はんだ付け温度 (3 秒) +260°C
 DC 出力電流 (一度に 1 出力、1 秒間) 15mA
 静電気の放電電圧人体モデル
 (JEDEC 規格 JESD22-A114-B) 2kV
 帯電デバイス モデル
 (JEDEC 規格 JESD22-C101-A) 500V
 ラッチアップ電流 >140mA

動作範囲

デバイス	範囲	周囲温度	V _{DD}
CY15V104QN	民生用	0°C ~ +70°C	1.71V ~ 1.89V
CY15B104QN			1.8V ~ 3.6V
CY15V104QN	産業用	-40°C ~ +85°C	1.71V ~ 1.89V
CY15B104QN			1.8V ~ 3.6V

DC 電気的特性

動作範囲において

パラメーター	説明	テスト条件	温度	Min	Typ ^[2, 3]	Max	単位
V _{DD}	電源	CY15V104QN	—	1.71	1.80	1.89	V
		CY15B104QN	—	1.80	3.30	3.60	

注

- Typ 値は 25°C、V_{DD}=3.3V で測定されます。
- このパラメーターは特性によって保証され、量産中にテストされていません。

DC 電気的特性

動作範囲において

パラメーター	説明	テスト条件	温度	Min	Typ ^[2, 3]	Max	単位		
I _{DD}	V _{DD} 電源電流	V _{DD} =1.71V ~ 1.89V。SCK は V _{DD} -0.2V と V _{SS} の間でトグル。他の入力は V _{SS} または V _{DD} -0.2V。SO= 開放。CY15V104QN-2 OS/LP 製品	f _{SCK} =1MHz	民生用	-	0.2	0.35	mA	
			f _{SCK} =20MHz		-	1.2	1.4		
			f _{SCK} =1MHz	産業用	-	0.2	0.4		
			f _{SCK} =20MHz		-	1.2	1.5		
		V _{DD} =1.8V ~ 3.6V。SCK は V _{DD} -0.2V と V _{SS} の間でトグル。他の入力は V _{SS} または V _{DD} -0.2V。SO= 開放。CY15B104QN-2 OS/LP 製品	f _{SCK} =1MHz	民生用	-	0.25	0.45		
			f _{SCK} =20MHz		-	1.3	1.5		
			f _{SCK} =1MHz	産業用	-	0.25	0.6		
			f _{SCK} =20MHz		-	1.3	1.6		
		V _{DD} =1.71V ~ 1.89V。SCK は V _{DD} -0.2V と V _{SS} の間でトグル。他の入力は V _{SS} または V _{DD} -0.2V。SO= 開放。CY15V104QN-5 OS/LP 製品	f _{SCK} =40MHz	産業用	-	2.4	3		
			f _{SCK} =50MHz		-	3	3.7		
V _{DD} =1.8V ~ 3.6V。SCK は V _{DD} -0.2V と V _{SS} の間でトグル。他の入力は V _{SS} または V _{DD} -0.2V。SO= 開放。CY15B104QN-5 OS/LP 製品	f _{SCK} =40MHz	産業用	-	2.4	3				
	f _{SCK} =50MHz		-	3	3.7				
I _{SB}	V _{DD} スタンバイ電流	V _{DD} =1.71V ~ 1.89V。 CS=V _{DD} 。他のすべての入力は V _{SS} または V _{DD}	T _A =25°C	-	-	2.3	-	μA	
			T _A =70°C				30		
			T _A =85°C				65		
		V _{DD} =1.8V ~ 3.6V。 CS=V _{DD} 。他のすべての入力は V _{SS} または V _{DD}	T _A =25°C			-	2.6		-
			T _A =70°C						31
			T _A =85°C						70

注

- Typ 値は 25°C、V_{DD}=3.3V で測定されます。
- このパラメーターは特性によって保証され、量産中にテストされていません。

DC 電気的特性

動作範囲において

パラメーター	説明	テスト条件	温度	Min	Typ ^[2, 3]	Max	単位		
I_{DPD}	ディープ パワー ダウン 電流	$V_{DD}=1.71V \sim 1.89V$ 。 $CS=V_{DD}$ 。他の入力は V_{SS} または V_{DD}	$T_A=25^\circ C$	-	-	0.7	-	μA	
			$T_A=70^\circ C$						7
			$T_A=85^\circ C$						15
		$V_{DD}=1.8V \sim 3.6V$ 。 $CS=V_{DD}$ 。他の入力は V_{SS} または V_{DD}	$T_A=25^\circ C$			-	0.8		-
			$T_A=70^\circ C$			8			
			$T_A=85^\circ C$			16			
I_{HBN}	ハイバネート モード電流	$V_{DD}=1.71V \sim 1.89V$ 。 $CS=V_{DD}$ 。 他の入力は V_{SS} または V_{DD}	$T_A=25^\circ C$	-	-	0.1	-	μA	
			$T_A=70^\circ C$				0.4		
			$T_A=85^\circ C$				0.9		
		$V_{DD}=1.8V \sim 3.6V$ 。 $CS=V_{DD}$ 。 他の入力は V_{SS} または V_{DD}	$T_A=25^\circ C$			-	0.1		-
			$T_A=70^\circ C$			0.75			
			$T_A=85^\circ C$			1.6			
I_{LI}	WPピンを除く I/O ピンの入力リーク 電流	$V_{SS} < V_{IN} < V_{DD}$		-	-1.00	-	1.00	μA	
	WP ピンの入力 リーク電流						-100.00		1.00
I_{LO}	出力リーク電流	$V_{SS} < V_{OUT} < V_{DD}$	-	-1.00	-	1.00	μA		
V_{IH}	入力 HIGH 電圧	-	-	$0.7 \times V_{DD}$	-	$V_{DD} + 0.3$	V		
V_{IL}	入力 LOW 電圧	-	-	-0.30	-	$0.3 \times V_{DD}$			
V_{OH1}	出力 HIGH 電圧	$I_{OH} = -1mA, V_{DD} = 2.7V$	-	2.40	-	-			
V_{OH2}	出力 HIGH 電圧	$I_{OH} = -100\mu A$	-	$V_{DD} - 0.2$	-	-			
V_{OL1}	出力 LOW 電圧	$I_{OL} = 2mA, V_{DD} = 2.7V$	-	-	-	0.40			
V_{OL2}	出力 LOW 電圧	$I_{OL} = 150\mu A$	-	-	-	0.20			

注

- Typ 値は 25°C、 $V_{DD}=3.3V$ で測定されます。
- このパラメーターは特性によって保証され、量産中にテストされていません。

データ保持期間およびアクセス可能回数

パラメー	説明	テスト条件	Min	Max	単位
T _{DR}	データ保持期間	T _A =85°C	10	–	年
		T _A =70°C	141	–	
		T _A =60°C	151	–	
		T _A =50°C	160	–	
NV _C	アクセス可能回数	動作温度範囲内	10 ¹⁴	–	サイクル

静電容量

すべてのパッケージ。

パラメーター [4]	説明	テスト条件	Max	単位
C _O	出力ピン静電容量 (SO)	T _A =25°C、f=1MHz、V _{DD} =3.3V	8	pF
C _I	入力ピン静電容量		6	pF

熱抵抗

パラメーター [4]	説明	テスト条件	8ピン SOIC パッケージ	8ピン GQFN パッケージ	単位
Θ _{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 による、 熱インピーダンスを測定するための 標準的なテスト方法と手順に従う	88.6	118	°C/W
Θ _{JC}	熱抵抗 (接合部からケース)		56	60	°C/W

AC テスト条件

入力パルス レベル V_{DD} の 10% と 90%

入力の立ち上がりと立ち下がり時間 3ns

入力と出力のタイミング参照レベル 0.5×V_{DD}

出力負荷容量 30pF

注

4. このパラメーターは特性によって保証され、量産中にテストされていません。

AC スイッチング特性

動作範囲において

パラメーター ^[5]		説明	20MHz		40MHz		50MHz		単位
サイプレス パラメーター	代替 パラメーター		Min	Max	Min	Max	Min	Max	
f_{SCK}	–	SCK クロック周波数	0	20	0	40	0	50	MHz
t_{CH}	–	クロック HIGH 時間	22	–	11	–	9	–	ns
t_{CL}	–	クロック LOW 時間	22	–	11	–	9	–	ns
t_{CSS}	t_{CSU}	チップ セレクト セット アップ時間	10	–	5	–	5	–	ns
t_{CSH}	t_{CSH}	チップ セレクト ホールド 時間	10	–	5	–	5	–	ns
t_{HZCS}	$t_{OD}^{[6, 7]}$	出力ディセーブル時間	–	20	–	12	–	10	ns
t_{CO}	t_{ODV}	出力データ有効時間	–	16	–	9	–	8	ns
t_{OH}	–	出力ホールド時間	1	–	1	–	1	–	ns
t_{CS}	t_D	選択解除時間	60	–	40	–	40	–	ns
t_{SD}	t_{SU}	データ セットアップ時間	5	–	5	–	5	–	ns
t_{HD}	t_H	データ ホールド時間	5	–	5	–	5	–	ns
t_{WPS}	t_{WHSL}	WP セットアップ時間 (CS に対して)	20	–	20	–	20	–	ns
t_{WPH}	t_{SHWL}	WP ホールド時間 (CS に対して)	20	–	20	–	20	–	ns

注

5. テスト条件は 23 ページの AC テスト条件に示す 3ns 以下の信号遷移時間、 $0.5 \times V_{DD}$ のタイミング参照レベル、 V_{DD} の 10% ~ 90% の入力パルス レベル、指定の I_{OL} / I_{OH} の出力負荷および 30pF の負荷容量を前提にしています。
6. t_{HZCS} は 5pF の負荷容量が付いている状態で測定されます。出力が高インピーダンス状態に入ると遷移が測定されます。
7. このパラメーターは特性によって保証され、量産中にテストされていません。

図 23. 同期データ タイミング (モード 0)

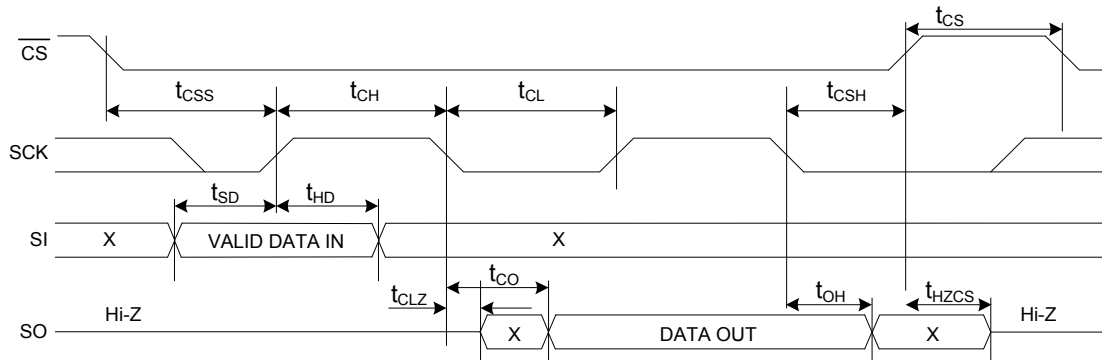
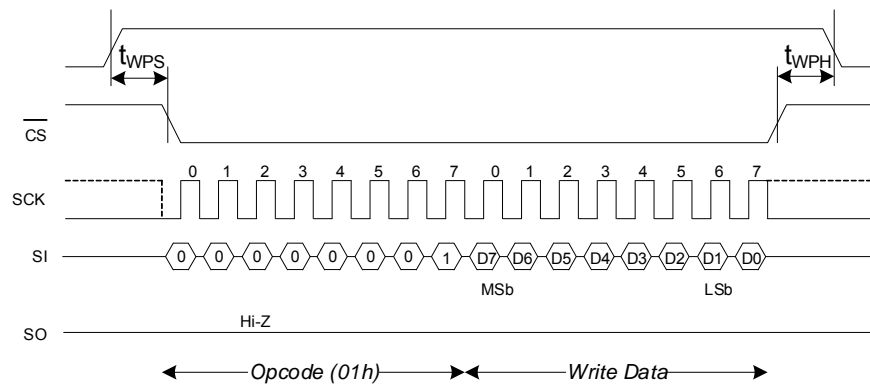


図 24. ステータスレジスタ書き込み (WRSR) 中の書き込み保護タイミング動作

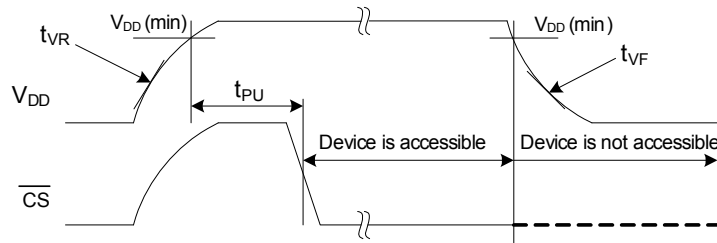


パワー サイクル タイミング

動作範囲において

パラメーター ^[8]		説明	Min	Max	単位
サイプレスパラメーター	代替パラメーター				
t_{PU}		電源投入時 $V_{DD(\text{Min})}$ から最初のアクセス ($\overline{\text{CS}} \text{ LOW}$) までの時間	450	–	μs
$t_{VR}^{[9]}$		V_{DD} 電源投入時ランプ レート	50	–	$\mu\text{s/V}$
$t_{VF}^{[9]}$		V_{DD} 電源切断時ランプ レート	100	–	$\mu\text{s/V}$
$t_{ENTDPD}^{[10]}$	t_{PD}	$\overline{\text{CS}} \text{ HIGH}$ からディープ パワーダウン モード開始までの時間	–	3	μs
$t_{CSDPD}^{[10]}$		ディープ パワーダウン モードから復帰するための $\overline{\text{CS}}$ パルス幅	0.015	$4 \times 1/f_{\text{SCK}}$	μs
$t_{EXTDPD}^{[10]}$	t_{RPD}	$\overline{\text{CS}} \text{ LOW}$ からディープ パワーダウン モード終了までの時間 ($\overline{\text{CS}} \text{ LOW}$ からアクセス準備完了までの時間)	–	10	μs
$t_{ENTHIB}^{[11]}$		$\overline{\text{CS}} \text{ HIGH}$ からハイバネート開始までの時間	–	3	μs
$t_{EXTHIB}^{[11]}$	t_{REC}	$\overline{\text{CS}} \text{ LOW}$ からハイバネート終了までの時間 ($\overline{\text{CS}} \text{ LOW}$ からアクセス準備完了までの時間)	–	450	μs

図 25. パワー サイクル タイミング



注

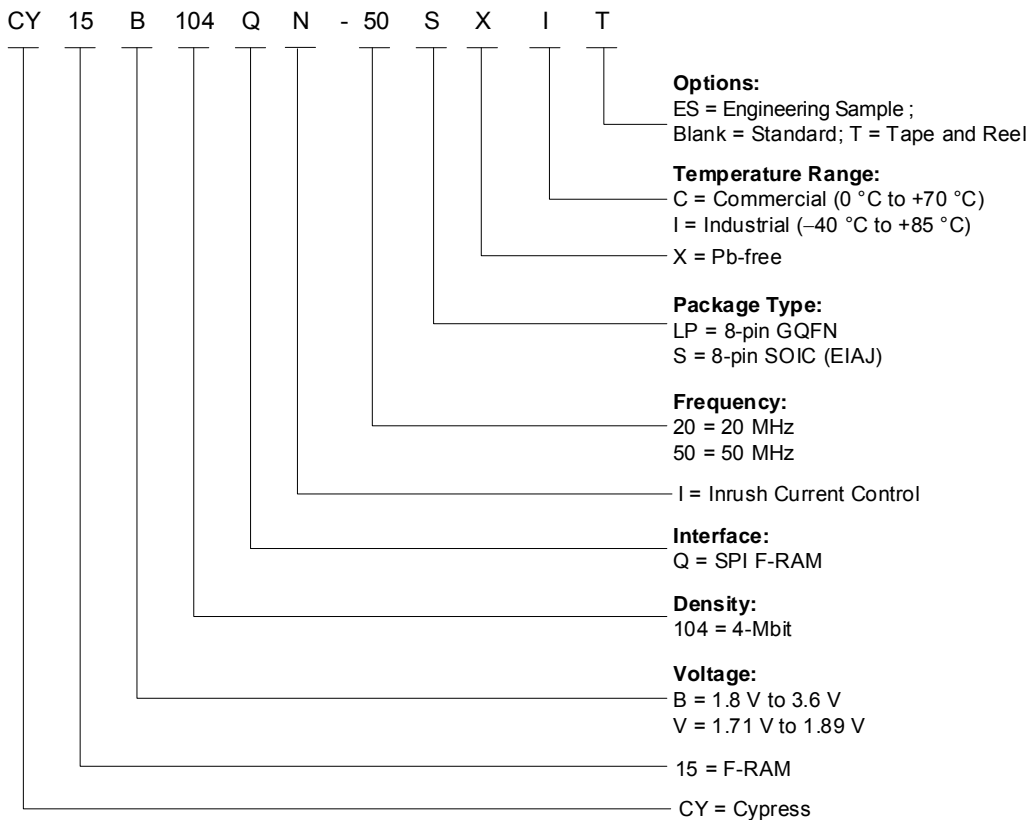
8. テスト条件は 23 ページの AC テスト条件に示す 3ns 以下の信号遷移時間、 $0.5 \times V_{DD}$ のタイミング参照レベル、 V_{DD} の 10% ~ 90% の入力パルス レベル、指定の I_{OL} / I_{OH} の出力負荷および 30pF の負荷容量を前提にしています。
9. V_{DD} 波形上の任意の点で測定した傾きです。
10. 設計で保証されています。ディープ スリープ モードからの復帰タイミングについては 17 ページの図 20 を参照してください。
11. 設計で保証されています。ハイバネート モードからの復帰タイミングについては 19 ページの図 22 を参照してください。

注文情報

注文コード	デバイス ID	パッケージ図	パッケージ タイプ	動作範囲
CY15B104QN-20LPXCES	7F7F7F7F7F7FC22CA1	002-18131	8 ピン GQFN	民生用
CY15B104QN-50SXIES	7F7F7F7F7F7FC22C00	001-85261	8 ピン SOIC (EIAJ)	産業用

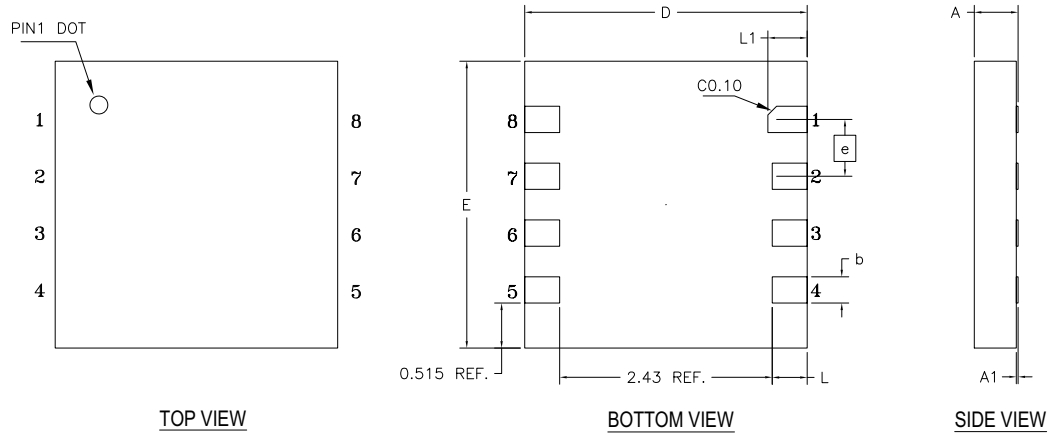
これらすべての製品は鉛フリーです。在庫状況については、最寄りのサイプレスの販売代理店にお問い合わせください。

注文コードの定義



パッケージ図

図 26. 8 ピン GQFN (3.23x3.28x0.55mm) パッケージ図



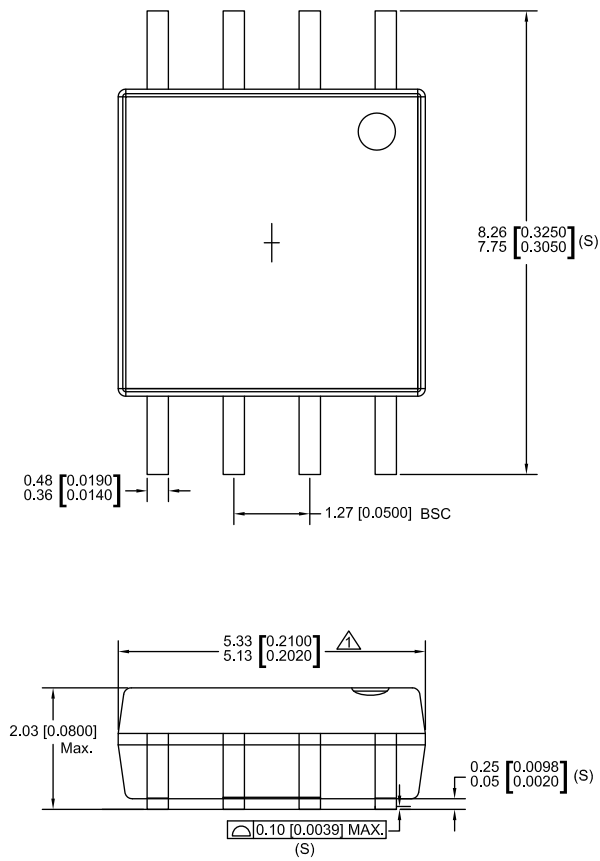
SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
e	0.65 BSC		
N	8		
L	0.30	0.40	0.50
L1	0.35	0.45	0.55
b	0.25	0.30	0.35
D	3.18	3.23	3.28
E	3.23	3.28	3.33
A	0.45	0.50	0.55
A1	0.00	-	0.05

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.

002-18131 *C

図 27. 8 ピン SOIC (208Mil) パッケージ図



NOTE:

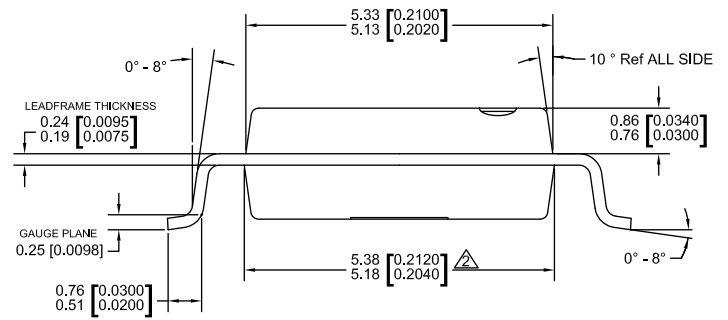
△ DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED 0.006 INCH PER SIDE

△ DOES NOT INCLUDE INTER-LEAD FLASH OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSION SHALL NOT EXCEED 0.010 INCH PER SIDE.

3. THIS PART IS COMPLIANT WITH EIAJ SPECIFICATION EDR-7320

4. LEAD SPAN/STAND OF HEIGHT/COPLANARITY ARE CONSIDERED AS SPECIAL CHARACTER.

5. CONTROLLING DIMENSIONS IN MM. [INCH]



001-85261 **

略語
表 9. 本書で使用する略語

略語	説明
CPHA	Clock Phase (クロック位相)
CPOL	Clock Polarity (クロック極性)
EEPROM	Electrically Erasable Programmable Read-Only Memory (電氣的消去書き込み可能な読み出し専用メモリ)
EIA	Electronic Industries Alliance (米国電子工業会)
F-RAM	Ferroelectric Random Access Memory (強誘電体ランダム アクセス メモリ)
I/O	Input/Output (入力/出力)
JEDEC	Joint Electron Devices Engineering Council (半導体技術協会)
JESD	JEDEC standards (JEDEC 規格)
LSb	Least Significant Bit (最下位ビット)
MSb	Most significant bit (最上位ビット)
RoHS	Restriction of Hazardous Substances (特定有害物質使用制限指令)
SPI	Serial Peripheral Interface (シリアル ペリフェラル インターフェース)
SOIC	Small Outline Integrated Circuit (小型外形集積回路)
GQFN	Grid Array Flat No-lead (リードレス フラット グリッド アレイ)

本書の表記法
測定単位
表 10. 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
M ビット	メガビット
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラッド
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY15B104QN / CY15V104QN、Excelon™-LP 4M ビット (512K×8) シリアル (SPI) F-RAM				
文書番号 : 002-20526				
版	ECN 番号	変更者	発行日	変更内容
**	5972095	HZEN	11/22/2017	これは英語版 002-19436 Rev. *B を翻訳した日本語版 002-20526 Rev. ** です。
*A	6355563	HZEN	10/19/2018	これは英語版 002-19436 Rev. *F を翻訳した日本語版 002-20526 Rev. *A です。

セールス、ソリューション、および法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® マイクロコントローラー	cypress.com/arm
車載向け	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
モノのインターネット (IoT)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラー	cypress.com/mcu
PSoC	cypress.com/psoc
パワー マネージメント IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス接続	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [プロジェクト](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [コンポーネント](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2017-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。)に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。