



THIS SPEC IS OBSOLETE

Spec No: 001-92142

Spec Title: AN52433 - ADVANTAGES OF SERIAL
PERIPHERAL INTERFACE (SPI) NVSRAM
OVER SPI EEPROM IN METERING
APPLICATIONS (ZH)

Replaced by: NONE

AN52433
在测量应用中，与 SPI EEPROM 相比，串行外设接口 (SPI) nvSRAM 的优势

 作者: **Shivendra Singh**

相关项目: 无

 相关器件系列: 赛普拉斯串行 **SPI nvSRAM**

软件版本: 无

 相关应用笔记: **AN64574**

 如果您有任何问题，或者需要获得本应用手册的相关帮助，请通过邮箱 zsk@cypress.com 联系本文作者。

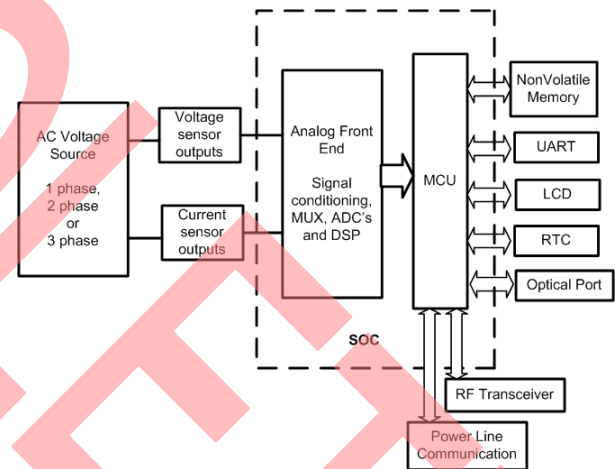
与传统 SPI EEPROM 相比，赛普拉斯的 SPI nvSRAM 非易失性存储器技术提供了显著的优点。本应用笔记介绍的是在测量应用中使用 SPI nvSRAM 的优点。对于使用最新的‘智能’电能表的设计师和构架师，通过本应用笔记可获得很大的帮助。

简介

赛普拉斯 nvSRAM 作为一个示例，它结合了快速 SRAM 单元和基于硅—氧化硅—氮化硅—氧化硅—硅 (SONOS) 的非易失性存储器单元。如果电源供电失败，您可以自动将整个 SRAM 中的内容快速传输到非易失性存储内（自动存储），或通过发送相关软件指令（软件存储）按需要进行传输。nvSRAM 需要通过一个较小的电容（通常为 47 uF）与 V_{CAP} 引脚相连，以完成自动存储操作。采用主电源（V_{CC}）时，nvSRAM 将充电连接至 V_{CAP} 引脚的电容。电源下降至低于某个阈值（V_{SWITCH}）时，nvSRAM 从 V_{CC} 会自动切换到 V_{CAP}，然后完成自动存储周期。

本应用笔记介绍了智能电表的架构概述，并详细说明了在这种电表设计中串行 (SPI) nvSRAM 与 SPI EEPROM 相比具有的优点。图 1 显示的是智能电表的简化框图。非易失性存储器是电表的重要组件之一。当智能电表将信息上传到与供应基础设施相连的网络上，非易失性存储器会在一个时隙内存储能源消耗和环境数据。有价值的信息包括定期的功率读数和表示尝试篡改电表的物理变化。这是为了降低能源消耗和提高电能的使用效率；能量消耗的不同度量（有功功率、无功功率、视在功率或进口和出口）被精细记录。因此，随着智能电表的快速发展，对非易失性存储器大小的要求也越来越高。该数据可靠性和完整性的要求非常重要。

图 1. 电表框图


在测量应用中，nvSRAM 比 EEPROM 更具有优点
更快的串行数据传输

在所有温度和供电电压中，与标准 SRAM 相同，赛普拉斯串行 nvSRAM 产品能以超过 40 MHz 的连续时钟速度执行读写操作。该速度比 EEPROM 技术的速度更快（提高了一倍），因此可以降低数据块传输到串行接口的耗时量。对于一个重载的微控制器系统（如能源管理），它们依靠时间来支持关键性任务，使用 nvSRAM 降低接口开销的方法是很有益的。

写入 nvSRAM 的零时钟周期延迟

密度为 1 Mbit 的典型 EEPROM 器件要求写周期为 6 ms 左右，用于将每 256 字节数据页发送到存储器内。当需要写入几千字节的数据时，写入操作会占用较长时间。nvSRAM 不受该写延迟的影响；所有写操作都按总线速度进行，并且不存在基于存储器的延迟。

例如：

- 将 1 Kbit 的数据从控制器存储器复制到 SPI EEPROM 需要 24 ms。控制器通过 20 MHz SPI 将其存储器中整个 1 Kbit 的数据传输到 EEPROM 页缓冲区耗时 50 μ s，而将页缓冲区中的四页数据写入到 EEPROM 耗时 24 ms。
- 将 1 Kbit 数据从控制器存储器复制到 SPI nvSRAM 只需要 25 μ s。控制器通过 40 MHz SPI 将其存储器中整个 1 Kbit 的数据传输到 nvSRAM 需要 25 μ s 的时间。与 EEPROM 不同，nvSRAM 不需要经过这个页写周期。

因此，nvSRAM 中写延迟的零时钟周期大量提高了它的写时效性。

无需构建存储器占用，使其与页面大小相匹配

通过页面模式，页面大小会根据不同的架构和 EEPROM 的大小而发生改变。必须灵活编写连接至存储器的子程序，以便适应页面大小的变化，另外必须在储存条件的范围内连续测试该子程序。nvSRAM 没有规定页面的大小，所以您可以写入任意大小的数据模块而不用考虑被使用的存储器大小。

无需耗损均衡技术或模块追踪技术

每次将一整页或部分页面（例如，一字节）的内容写入到 EEPROM 时，将会偏向非易失性技术的有限耐久极限。在智能电表（其中要根据电力公司的需要进行设置，要求在几秒进行记录一次数据），该特性非常重要。

对于需要经常对存储器进行写操作的所有 EEPROM 系统，必须慎重管理地址。这种方法被称为‘耗损均衡技术’，该方法是为了平衡每个页面被写入的次数。该过程要求控制器中存在较复杂的驱动器子程序，以便管理所有非易失性访问。该子程序将数据结构的内部寻址转换为存储器中的物理寻址方案。它通常在存储器阵列上保持为‘老化表’，用以跟踪如何使用器件。

这样会消耗小型存档系统中的大量代码空间。由于数据完整性在智能电子式电表的应用中具有根本的重要性（这是由于在许多地区法律规定的），因此这些子程序都需要负担大量的测试工作。在一个架构变化中，当转移到新的处理器系列时，会增大设计周期时间。

赛普拉斯 nvSRAM 不需要耗损均衡技术或老化追踪。它的基本非易失性存储物理层与 EEPROM 的相同。但当需要断电器件时，与 EEPROM 的使用情况不同，它不能连续执行该 nvSRAM。因此，您可以使用更多的基本接口协议将内部数据结构连接到外部存储器中组织上。因此，对于任何存

储信息（用于计费）的安全性、位置、格式和可访问性等信息，nvSRAM 更符合智能电子式电表的要求。

在发生意外断电时，无需进行任何操作

nvSRAM 器件主要的优点是在发生极端故障时，它仍提高了系统数据的完整性。

nvSRAM 器件检测到发生断电情况时，它的电源电压会下降到低于某个阈值。这时它会忽略与处理器相连的其他活动，并自动将内容完整地存储在本地非易失性 SONOS 存储器内。该过程使用的是存储在电容（该电容与 V_{CAP} 相连）中的电能。

但是，当检测到掉电事件时要保存在基于 EEPROM 的系统中的有效数据，必须启动控制器，并执行一个完成的写周期以获得数据模块所需的大小。在该过程中，主电源必须存储足够的能量，以保证为控制器及其外设供电。控制器必须防止由于电源快速切换而导致的崩溃。必须在各种错误条件下彻底测试该系统固件，以确保断电前在所有系统状态下执行正确的操作。

上电时，必须将存储在非易失性部分内的数据重新复制到 SRAM 中。该过程耗时 20 ms，并且非易失性部分的内容不受回读程序的影响。

nvSRAM 的使用情况

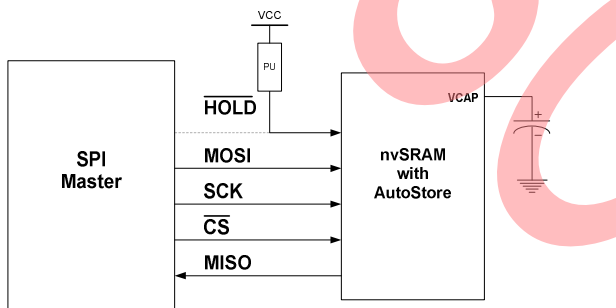
nvSRAM 使用存储电容

赛普拉斯 nvSRAM 器件使用了存储在外部小电容 (V_{CAP}) 中的能量将数据从 SRAM 传输到非易失性存储器内，如图 2 所示。建议该电容的额定值为 $47 \mu\text{F}$ ，由于初始容差、老化以及温度等原因，该值会大量降低。在尺寸和寿命方面，钽和氧化铌类型比较合适。

电容的静电电压等于芯片的供电电压，并且不需要提供大电流（在进行存储操作期间，平均电流仅为 3 mA ）。因此对漏电流要求不严格。该电容通过一个内部开关与主电源轨相连或通过主电源轨充电。这个内部开关作为理想的二极管使用，并且电压下降低于电容电压时，它将断开与电源的连接。

如果 SRAM 使用电池或电容供电，则该电容将不为 SRAM 阵列提供维持电压。完成非易失性存储操作后，数据保留时间通常为 20 年，并且完全独立于电容电压。该电压在完成存储操作后逐渐放电为 0。

图 2. 典型的 SPI nvSRAM（带有存储电容）接口



nvSRAM 不使用存储电容

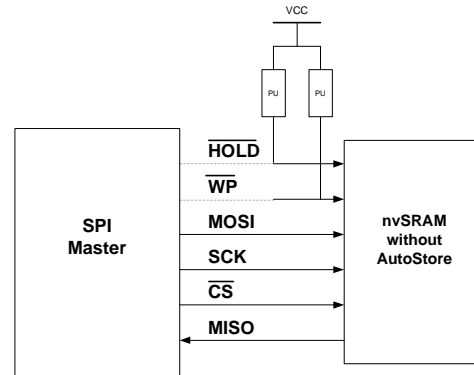
即使 V_{CAP} 引脚上没有本地存储电容，仍可以使用 nvSRAM，如图 3 所示。这是另一个封装选项（没有自动存储功能），其中 V_{CAP} 引脚不可用，并由 $\overline{\text{WP}}$ （写保护）代替；有关更多信息，请参考与 EEPROM 占用的空间相同章节中的内容。在这种情况下，将使用备用的软件编程方案。通过串行接口发送到器件的指令可以将整个 SRAM 的内容存储在非易失性存储器内。此过程取决于系统的功能，包括提前预测电源故障和通过发送软件指令（存储或软件存储）执行所需要的非易失性存储。软件存储过程最多需要 8 ms 的时间来完成非易失性的存储操作。系统必须确保在进行软件存储操作期间，器件电源 V_{CC} 保持稳定。通过将一字节的操作码 ($0x3C$) 发送到串行外设接口 (SPI) 的 SI 线上可以启动存储指令。在该周期内，禁止对 nvSRAM 进行访问。

赛普拉斯建议您使用电表的存储电容方法（自动存储使能），并且在难以满足电源的环境下运行其他系统（微控制器操作不能在那些环境下实现）。

通过使用相应的‘软件回读’指令，用户可以触发回读操作，从而将非易失性存储器中的内容恢复到 SRAM 内。通过将

一字节的回读操作码 ($0x60$) 发送到 SPI 接口的 SI 线上可以启动软件回读操作。完成该操作最多耗时 $600 \mu\text{s}$ ，在此期间禁止对 nvSRAM 进行访问。

图 3. 典型的 SPI nvSRAM（没有存储电容）接口



nvSRAM 与其他存储器技术相比的优势

在电表数据存储应用中，大家公认其他存储器技术优于 EEPROM 的备用方案。与赛普拉斯的 nvSRAM 相同，基于这些技术的器件通常解决同样的 EEPROM 缺点。

赛普拉斯的 nvSRAM 技术根据标准的 CMOS 程序构建，并且由许多生产厂商批量生产，另外还获得了几乎所有 CMOS‘背板’的许可证。因此，在一段时间内，nvSRAM 器件通常能够降低设计的总成本。这些器件非常适合设计时间过长的项目，并且近二十年来，该技术已经在极具挑战的航空电子和通信应用中证明了它可靠性。

与 EEPROM 占用的空间相同

目前，赛普拉斯串行 nvSRAM 器件适用于 8 引脚 SOIC 和 16 引脚 SOIC 封装，如表 1 所示。容量为 1 Mbit 密度的串行 EEPROM 器件通常提供给 8 引脚的 SOIC 封装。可以使用 nvSRAM 来‘升级’EEPROM 设计，但正确管理存储电容的连接非常重要，并且需要修改 PCB。标准 EEPROM 在 $\overline{\text{WP}}$ （写保护）引脚上提供其他控制。在某些使用 EEPROM 的系统中，您可以将该引脚置于低电平，以提供其他写互锁。nvSRAM 具有自动存储功能时，通过使用该引脚可以提供 V_{CAP} 选项。图 4 显示的是 SPI EEPROM 和 SPI nvSRAM（带有自动存储功能）引脚框图之间的区别；图 5 显示的是 SPI EEPROM 和 SPI nvSRAM（没有自动存储功能）引脚框图之间的区别。EEPROM 的 $\overline{\text{WP}}$ 必须断开与微控制器的连接，并且与存储电容相连。

图 4. SPI EEPROM 和 SPI nvSRAM (带有自动存储) 的引脚框图

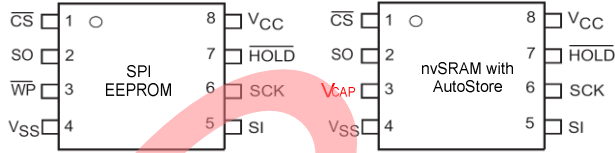
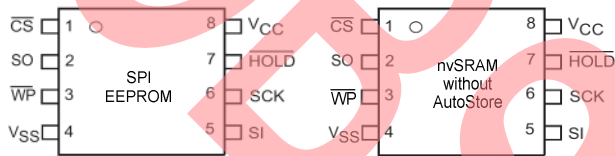


图 5. SPI EEPROM 和 SPI nvSRAM (没有自动存储) 的引脚框图



16 引脚 SOIC 封装中的其他功能

赛普拉斯串行 nvSRAM 器件也适用于 16 引脚 SOIC 封装。其他引脚简化了各种功能，如实时时钟 (RTC)、方波输出、看门狗定时器、时序和断电中断。RTC 允许记录数据测量和此过程的精确时间。nvSRAM RTC 芯片在它的 X1 和 X2 引脚上使用了符合工业标准的 32.768 kHz 监视晶振，以生成用于 RTC 模块的参考输入时钟。nvSRAM RTC 还有内置的校准电路，在此电路中它自动纠正了晶体中的 PPM 漂移。PPM 漂移由外部因素引起，并对系统时序的精度产生影响。通过校准电路您可以在校准寄存器中设置合适的值，并且时钟精度可达+1/-2 ppm。16 引脚 SOIC 封装还提供了一个双向 HSB (硬件存储繁忙) 引脚，并配置将该引脚为芯片输入端。这样，通过使用外部控制器将该输入置于低电平便能够启动非易失性存储。进行存储或回读操作期

间，作为输出引脚的 HSB 将指出器件的就绪 (HSB 为高电平) 或繁忙 (nvSRAM 将 HSB 置于低电平) 状态。表 1 显示的是赛普拉斯当前提供的所有串行 nvSRAM 封装：

表 1. SPI nvSRAM 封装

器件型号	密度	RTC	封装
CY14x101PA	1 Mbit	有	16 引脚 SOIC
CY14x101QxA	1 Mbit	无	8 引脚 SOIC、 16 引脚 SOIC
CY14x512PA	512 Kbit	有	16 引脚 SOIC
CY14x512QxA	512 Kbit	无	8 引脚 SOIC、 16 引脚 SOIC
CY14x256PA	256 Kbit	有	16 引脚 SOIC
CY14x256QxA	256 Kbit	无	8 引脚 SOIC、 16 引脚 SOIC
CY14x064PA	64 Kit	有	16 引脚 SOIC
CY14Mx064QxA	64 Kbit	无	8 引脚 SOIC、 16 引脚 SOIC

总结

赛普拉斯串行 nvSRAM 通过使用当前市场上可用的标准 SPI 接口可以简单与所有计量 IC 和 MCU 集成。它还支持无限的读写周期。凭借其强大功能设置，它可以明显提高电表的整体系统性能。对于测量应用使用的大多数串行非易失性存储器，赛普拉斯串行 nvSRAM 可作为替换器件使用。串行 nvSRAM 器件是一种经济高效的备用器件，能够提供较慢的速度且较低耐久性的技术，并能提高系统性能。

文档修订记录

文档标题：AN52433 — 在测量应用中，与 SPI EEPROM 相比，串行外设接口（SPI）nvSRAM 具有的优势

文档编号：001-92142

修订版	ECN	原始变更	提交日期	变更说明
**	4345931	LISZ	04/14/2014	本文档版本号为 Rev**，译自英文版 001-52433 Rev*F
*A	5347959	ZSK	7/12/2016	Obsolete the AN52433 translation

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问赛普拉斯所在地。

产品

汽车	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明和电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC®解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

社区 | 论坛 | 博客 | 视频 | 培训

技术支持

cypress.com/go/support

此处引用的所有商标或注册商标归其各自所有者所有。

	赛普拉斯半导体 198 Champion Court San Jose, CA 95134-1709	电话 : 408-943-2600 传真 : 408-943-4730 网站 : www.cypress.com
---	--	---

©赛普拉斯半导体公司，2009-2016。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于合理预计会发生运行异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯将不批准将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定用途外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对该材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不另行通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而导致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用受适用的赛普拉斯软件许可协议限制并完全按照此协议使用。