

## 不揮発性スタティック ランダム アクセス メモリ (nvSRAM)、リアルタイムクロック (RTC) の設計ガイドラインおよびベスト プラクティス

著者: Shivendra Singh

関連製品ファミリ: CY14xxxxx (nvSRAM RTC)

関連アプリケーション ノート: AN53313

本アプリケーション ノートの最新版または関連プロジェクト ファイルについては、  
<http://www.cypress.com/go/AN61546> をご覧ください。

AN61546 は、nvSRAM RTC 設計に対応した RTC の機能、コンポーネントの選択基準、及びレイアウト設計のベスト プラクティスについて説明します。このアプリケーション ノートでお勧めするガイドラインとベスト プラクティスは、システム設計時に RTC 機能を持った nvSRAM の設計を手助け、主に不適切なレイアウト設計とコンポーネント選択に起因して発生するタイミング エラーを最小限に抑えることを意図しています。

### 目次

|     |                            |    |     |                                  |    |
|-----|----------------------------|----|-----|----------------------------------|----|
| 1   | はじめに.....                  | 1  | 6.1 | 信号の配線.....                       | 11 |
| 2   | 水晶の基礎.....                 | 2  | 6.2 | RTC クロックの校正.....                 | 12 |
| 3   | 水晶の共振周波数.....              | 3  | 6.3 | nvSRAM RTC のトラブルシューティング ガイド..... | 12 |
| 3.1 | 等価直列抵抗 (ESR).....          | 3  | 7   | まとめ.....                         | 13 |
| 3.2 | 水晶の品質係数.....               | 4  | 8   | 関連文書.....                        | 13 |
| 3.3 | 駆動レベル.....                 | 4  |     | 改訂履歴.....                        | 14 |
| 4   | nvSRAM の RTC クロック発振回路..... | 5  |     | ワールドワイド販売と設計サポート.....            | 15 |
| 4.1 | 負荷容量.....                  | 5  |     | 製品.....                          | 15 |
| 5   | nvSRAM の RTC 回路の設計.....    | 7  |     | PSoC <sup>®</sup> ソリューション.....   | 15 |
| 5.1 | RTC バックアップ電源のオプション.....    | 9  |     | サイプレス開発者コミュニティ.....              | 15 |
| 5.2 | RTC バックアップ時間の計算.....       | 9  |     | テクニカル サポート.....                  | 15 |
| 6   | PCB 設計上の注意事項.....          | 11 |     |                                  |    |

### 1 はじめに

nvSRAM の RTC は標準的なリアルタイム クロック機能及び不揮発性 SRAM 機能を統合しています。サーバ、セキュリティと監視システム、産業用コントローラ、データ ロガー、およびシングル ボード コンピュータなどのアプリケーションでは、システムを確実かつ正確に動作させるために RTC 機能を必要とするいくつかのシステムの例です。nvSRAM 内に備えられている RTC 機能は、nvSRAM の SRAM への無制限な書き込み、電源遮断時の自動的なデータ保存、および重要情報をタイム スタンプ付きで不揮発性メモリへ連続して記録するシステムが可能とゆうような多くの利点を提供します。

RTC ブロックは 32.768kHz の水晶発振を使用して、時間保持機能のためにリファレンス クロックを作り出します。RTC ブロックは、その時点がアクティブ モードであるか、パワーダウンモードであるかに関わらず、システムのタイミング情報を維持します。パワーダウン モード中に RTC ブロックのアクティブ状態を維持するためには、たとえ  $V_{CC}$  電源がオフにされても、クロック発振器を動かし続けるバックアップ電源が必要です。

RTC クロックの精度は、使用するコンポーネント、レイアウト設計、コンポーネントの配置、及び動作温度の精度に主に依存します。クロックの精度は、オンチップ クロックの校正オプションを有効にすることによってさらに向上させることができます。このアプリケーション ノートの「RTC クロック 校正」節では、RTC クロックの校正について簡単に説明します。

このアプリケーション ノートは水晶の動作、nvSRAM の RTC コンポーネント選択基準、及びレイアウト設計ガイドラインについて説明します。

## 2 水晶の基礎

水晶は、クォーツ素材から形成されています。これは二酸化珪素を含み、圧電素子特性を示します。クォーツは水晶表面に圧力が加わると、電位を生成します。逆に、電位が水晶表面に加わると、機械的な変形、または振動が発生します。これらの振動は以下の条件で決る周波数を発生させます。

- 水晶片の物理的な寸法
- 水晶の結晶軸との関係における水晶の切断面
- 動作温度
- 発振回路

固有発振周波数は安定しています。それに加え、共振は数万から数百万に及ぶ高い品質係数  $Q$  範囲を持っています。

水晶は発振回路の設計にとって重要な幾つかの基本的な特性を持っています。標準水晶シンボルは図 1 に示され、その等価回路は図 2 に示されています。この回路は、連動のインダクタンス  $L_1$ 、連動の抵抗  $R_1$ 、および連動の容量  $C_1$  を含む直列のコンポーネントから構成されています。並列のコンポーネント  $C_0$  は水晶のシャント容量です。

水晶のリアクティブ コンポーネントが共振周波数で打ち消される時、motional resistance としても知られる等価直列抵抗 (ESR) は水晶のインピーダンスになります。ESR および  $Q$  は反比例します。ESR が低いほど、水晶での消費電力が少なくなります。高い ESR の水晶は、動作時により多くの電力を必要とし、起動時に長い時間がかかります。

図 1. 水晶のシンボル

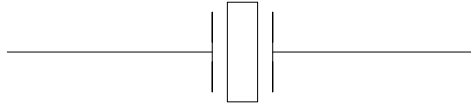
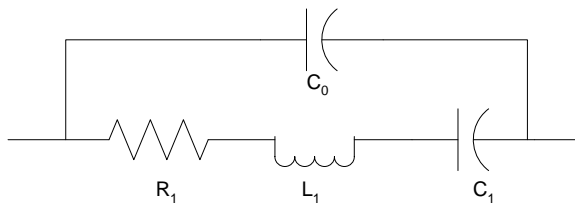


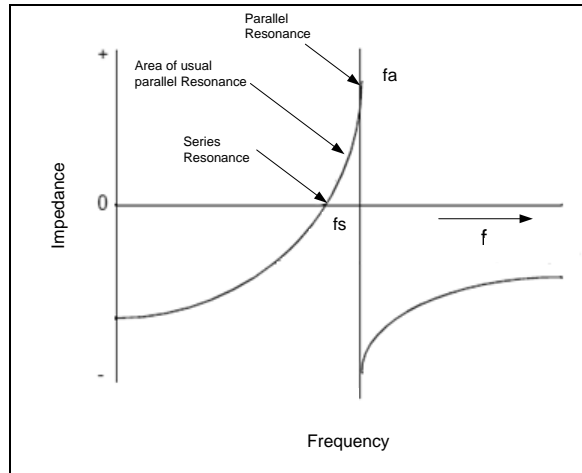
図 2. 水晶の等価回路



### 3 水晶の共振周波数

図 3 は水晶のリアクタンス周波数プロットを示します。水晶には、直列共振および並列共振と定義された二つの共振周波数があります。

図 3. 水晶の共振周波数



水晶が直列共振で動作している場合、それは純抵抗性に見え、 $L_1$  の誘導性リアクタンスは、 $C_1$  の容量性リアクタンスに等しいです。これらのインピーダンスは 180 度位相がずれているため、互いに打ち消しあい、水晶端子間のインピーダンスとして  $R_1$  が残ります。

直列共振周波数 ( $f_s$ ) は式 1 によって決定されます。

$$\text{式 1} \quad f_s = \frac{1}{2\pi\sqrt{L_1 C_1}}$$

直列共振が起きると、リアクティブ インピーダンスの影響は最小となり、回路は最小の等価インピーダンスの抵抗回路として動作し、最大電流を流します。

水晶が並列共振モードで動作している場合、インダクタ  $L_1$  はその端子間の合計容量に反応します。これは反共振周波数としても知られており、式 2 で定義されます。

$$\text{式 2} \quad f_a = \frac{1}{2\pi\sqrt{L_1 \frac{C_1(C_0+C_L)}{C_1+(C_0+C_L)}}}$$

この式は  $C_0$  と  $C_L$  の並列容量の組み合わせです。ここで、 $C_L$  は、水晶のメーカーによって明記された負荷容量であり、図 5 で説明されます。

水晶は、その反共振周波数で動作している場合、インピーダンスは最大となり、電流の流れは最小となります。水晶は、主に「 $f_s < f < f_a$ 」間で共振するよう設計されていて、 $f_s$  と  $f_a$  間の周波数範囲は、「通常並列共振の領域」または「並列共振」と呼ばれます。

#### 3.1 等価直列抵抗 (ESR)

ESR は、直列共振周波数 ( $f_s$ ) での水晶で示される抵抗です。これは図 2 に示すように、必ずしも  $R_1$  の値ではありません。発振回路の ESR は、式 3 を用いて計算することができます。

$$\text{式 3} \quad ESR, R_S = R_1 \left(1 + \frac{C_0}{C_L}\right)^2$$

通常、この値は水晶結晶を、指定した共振周波数にチューニングする際に監視されます。 $R_S$  は、しばしば最大抵抗として指定され、発振器の駆動レベルを決める際に使われることもあります (駆動レベルの節で説明)。

## 3.2 水晶の品質係数

電界が加わると、水晶の圧電効果で物理的な変位が生じます。水晶が変形し、電気エネルギーが水晶の電極間で生じると、反転作用が起きます。機械的に共振する水晶は、その電極から電気的な共振回路として見なされます。そのため、水晶は同調回路のように動作し、エネルギーを蓄積することができます。水晶の品質係数(Q)を示すことによって蓄積されているエネルギーの量を定めることができます。水晶の Q 値は式 4 に示すように定義されます。

$$\text{式 4} \quad Q = \frac{\omega L_1}{R_1} = \frac{1}{\omega C_1 R_1}$$

ここで、

$\omega L_1$  = インダクター ( $L_1$ ) によるリアクタンス

$1/\omega C_1$  = 水晶の動作周波数でのコンデンサ ( $C_1$ ) によるリアクタンス

## 3.3 駆動レベル

駆動レベルは、水晶内で消費される電力によって異なります。水晶の仕様書では、水晶が持続できる最大駆動レベルを定義しています。水晶をオーバードライブすると、過度の経時変化、周波数シフト、クォーツ破損、および最終的な故障の原因となります。設計者は、水晶の最大定格駆動レベルを超えていないことを確認してください。また、駆動時は、発振器が始動して定常状態動作を維持するのに必要な最低レベルで維持してください。

水晶の消費電力は式 5 を用いて計算することができます。

$$\text{式 5} \quad P = 2R_1[\pi f(C_0 + C_L)V_{RMS}]^2$$

ここで、

$V_{RMS}$  = 水晶全体の電圧の二乗平均平方根 (RMS) 値

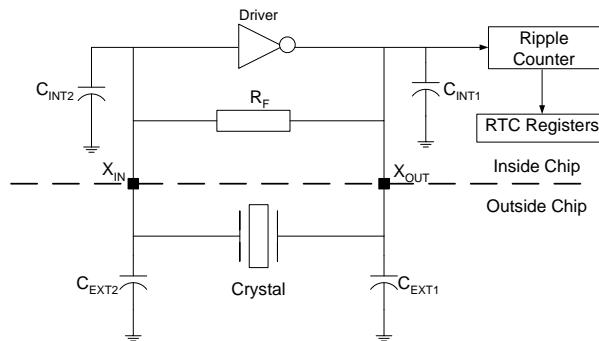
f = 水晶発振器の公称周波数

殆どの RTC の水晶は、1 $\mu$ W の最大消費電力を指定します。

## 4 nvSRAM の RTC クロック発振回路

nvSRAM の RTC に使用される発振器は、図 4 に示すように、CMOS インバータ ベースのピアス型の発振器です。インバータは AB 級増幅器として動作し、入力から出力に約 180 度の位相シフトを提供しますが、水晶、 $C_{INT1}$ 、および  $C_{INT2}$  で構成される  $\pi$  ネットワークが、出力から入力への追加の 180 度位相シフトを提供します。そのため、ループの合計位相シフトは 360 度です。これは持続的な発振に必要な条件の一つを満たします。持続的な発振の他の条件は、1 より大きな閉ループ ゲインです。インバータ周りの  $R_F$  抵抗は、負帰還回路を成し、インバータのバイアス ポイントを中間電源電圧の近くに設定し、その結果インバータを高いゲインの線形領域で動作させます。 $R_F$  抵抗の値は高く、通常、数メガオームの範囲で測定されます。

図 4. ピアス型発振器

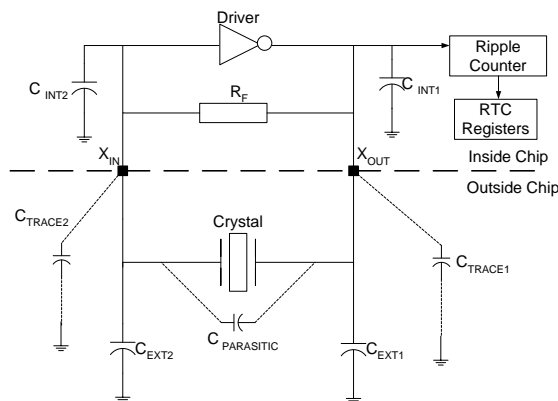


ピアス型の発振器は、並列モードで動作する水晶を使用しています。水晶の公称の発振周波数は特定の負荷条件で定義されます。指定した周波数で水晶を発振させるために、アプリケーション基板では、PCB 上の水晶パッド ( $X_{IN}$  と  $X_{OUT}$ ) 間の負荷容量が水晶用の指定した負荷に等しくなるような方法で設計する必要があります。

### 4.1 負荷容量

負荷容量 ( $C_L$ ) は、水晶のピンで測定されるように、発振回路の容量性負荷です。図 5 は、水晶なしの状態 で  $X_{IN}$  と  $X_{OUT}$  ピン間で測定された静電容量として  $C_L$  を示します。 $C_{INT1}$ 、 $C_{INT2}$  および回路内の任意の浮遊容量は、互いに結合して、全部の負荷容量を作り出します。

図 5. 発振器の負荷容量



$X_{IN}$  ピン上の  $C_{EQ2}$  等価負荷容量は式 6 のように定義されます。

$$\text{式6} \quad C_{EQ2} = C_{INT2} + C_{TRACE2} + C_{EXT2}$$

同様に、 $X_{OUT}$  ピン上の等価負荷容量  $C_{EQ1}$  は式 7 のように定義されます。

$$\text{式7} \quad C_{EQ1} = C_{INT1} + C_{TRACE1} + C_{EXT1}$$

結果の負荷容量 ( $C_L$ ) は式 8 のように計算されます。

$$\text{式8} \quad C_L = \frac{C_{EQ1}C_{EQ2}}{C_{EQ1}+C_{EQ2}} + C_{PARASITIC}$$

ここで、

$C_{INT1}$  =  $X_{OUT}$  ピン上の入力容量

$C_{INT2}$  =  $X_{IN}$  ピン上の入力容量

$C_{TRACE1}$  =  $X_{OUT}$  ピン、水晶およびコンデンサ  $C_{EXT2}$  に接続する配線の容量

$C_{TRACE2}$  =  $X_{IN}$  ピン、水晶およびコンデンサ  $C_{EXT1}$  に接続する配線の容量

$C_{EXT1}$  =  $X_{OUT}$  ピンに接続する外部コンデンサ

$C_{EXT2}$  =  $X_{IN}$  ピンに接続する外部コンデンサ

$C_{PARASITIC}$  = 基板上での水晶搭載に起因する寄生容量。

$C_L$  = 水晶の公称周波数で動作するために水晶のピン間に適用する必要がある回路の合計容量負荷

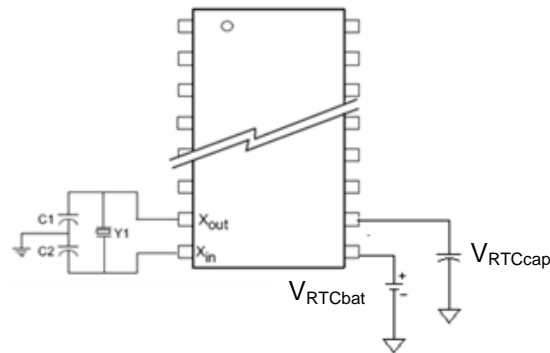
水晶発振回路の負荷容量のどんな変化も発振周波数に影響を与えます。公称動作周波数からの動作時の周波数におけるドリフトは、以下のように特長付けできます。

- 水晶の指定した負荷容量が、PCB に登載の水晶パッド間の水晶発振回路 ( $C_L$ ) の負荷容量より大きい場合、この構成では発振器が指定された公称周波数より速く動作します。
- 相反的に、 $C_L$  より小さい指定の容量負荷のある水晶を使用すると、発振器は公称周波数より遅い速度で動作します。
- 水晶の指定した容量負荷が水晶回路の負荷容量 ( $C_L$ ) に等しい場合、水晶はその公称周波数で動作します。

## 5 nvSRAM の RTC 回路の設計

nvSRAM の RTC は、図 6 に示すように、外部の 32.768kHz の水晶と C1、C2 負荷容量を接続し、RTC 回路を構築する必要があります。

図 6. nvSRAM の RTC 設計



負荷容量 C1 と C2 は、水晶振動子のパッド/ピンのランドパターン X<sub>IN</sub>/X<sub>OUT</sub> パッド、および水晶振動子とデバイス ピンを接続する銅配線に付随する容量を含む PCB の寄生容量を含みます。図 7 はプリント基板の寄生容量コンポーネントを示します。

基板に追加的に付く可用容量は次の式を用いて計算されます。これら外部の負荷容量は、図 5 で、C<sub>EXT1</sub> および C<sub>EXT2</sub> として定義されます。

$$\text{式 9} \quad C_{EXT1} = C1 - C_{PARASITIC1}$$

$$\text{式 10} \quad C_{EXT2} = C2 - C_{PARASITIC2}$$

ここで、

C<sub>PARASITIC1</sub> = 水晶パッド/ピンのランドパターン、水晶パッドとデバイスパッド X<sub>OUT</sub> を接続する配線、および X<sub>OUT</sub> のランドパターンによる寄生容量

C<sub>PARASITIC2</sub> = 水晶パッド/ピンのランドパターン、水晶パッドとデバイスパッド X<sub>IN</sub> を接続する配線、および X<sub>IN</sub> のランドパターンによる寄生容量

図 7. PCB の寄生容量コンポーネント

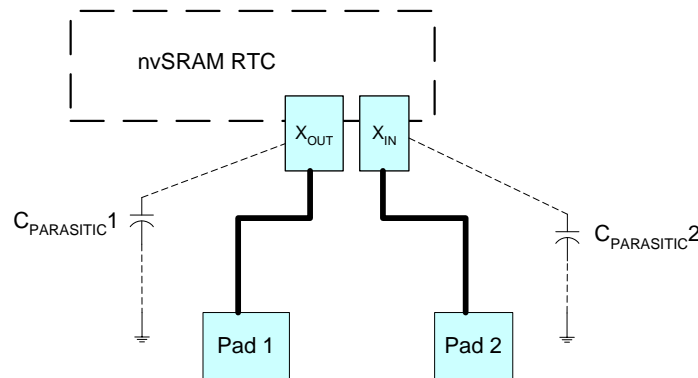


表 1 は、nvSRAM の RTC 設計用のコンポーネントの推奨値を示します。

表 1.nvSRAM RTC 回路コンポーネント

| CY 型番   | C <sub>1</sub> (ext)<br>(Typ) | C <sub>2</sub> (ext)<br>(Typ) | Crystal Freq,<br>C <sub>L</sub> (Typ) | 状況                       |
|---|-------------------------------|-------------------------------|---------------------------------------|--------------------------|
| CY14B101P<br>CY14B512P<br>CY14B256P   | 10pF<br>±5%                   | 68pF<br>±5%                   | 32.768kHz、12.5pF                      | 新しいデザインへのご利用は<br>お勧めできない |
| CY14B101KA/MA   | 10pF<br>±5%                   | 68pF<br>±5%                   | 32.768kHz、12.5pF                      | 量産中                      |
| CY14B064I/PA<br>CY14B256I/PA<br>CY14B512I/PA<br>CY14B101I/PA<br>CY14B104K/M<br>CY14B108K/M<br>CY14B116K/M | 12pF<br>±5%                   | 68pF<br>±5%                   | 32.768kHz、12.5pF                      | 量産中                      |

表 2 は、nvSRAM RTC の標準 RTC 水晶仕様です。

表 2.水晶の仕様

| パラメーター               | 記号             | 値 (Typ)     | 単位                     |
|----------------------|----------------|-------------|------------------------|
| 周波数                  | f              | 32.768      | kHz                    |
| 等価直列抵抗 (ESR)         | R <sub>s</sub> | 50          | kΩ                     |
| 周波数の安定度              | K              | -0.035      | PPM/(Δ°C) <sup>2</sup> |
| 駆動レベル                |                | 1           | μW                     |
| 経時変化<br>(最初の年は 25°C) |                | ±3          | PPM                    |
| 負荷容量                 | C <sub>L</sub> | 12.5        | pF                     |
| Q ファクタ               | Q              | 60000       |                        |
| 動作温度範囲               |                | -40°C~+85°C |                        |



## 5.1 RTC バックアップ電源のオプション

nvSRAM の RTC は、 $V_{CC}$  電源がない場合の RTC バックアップ電源としてコンデンサと電池のオプションの両方にサポートしています。nvSRAM の RTC 設計では、RTC 電源バックアップ用に電池またはコンデンサオプションのいずれかを使用することを推奨しています。同一のアプリケーションで両方を使用しないでください。

アプリケーションの要件に応じて、電池かコンデンサを選択します。原則として、システム電源切断の期間が 30 日未満の場合には、電池よりコンデンサの方が適切な選択です。コンデンサは高い周囲温度での信頼性が高く、フットプリントが小さいからです。しかし、システム電源切断の期間が連続的に 30 日以上の場合には、電池が一般的に推奨されます。1 ファラドより大きな値を持ち、3.6V 以上の定格電圧のあるスーパー コンデンサは、小さなフットプリント パッケージのオプションがありません。ユーザーのアプリケーションでコンデンサに大きなパッケージが許されるなら、1 ファラドより大きい容量値のコンデンサで、RTC バックアップ時間は最大 30 日になります。nvSRAM RTC のバックアップ時間の計算は、コンデンサ オプションの場合は例 1 で、電池オプションの場合は例 2 で示されます。これら 2 つの例は、アプリケーションで使用される電池またはコンデンサのいかなる定格値に対しても有効です。

RTC 電源バックアップ オプションとして電池を使用する場合は、 $V_{RTCbat}$  ピンは直接リチウムのコイン型電池に接続します。同様に、RTC 電源バックアップ オプションとしてコンデンサを使用する場合、 $V_{RTCcap}$  ピンは直接スーパーキャップに接続します。nvSRAM の RTC は、主電源が利用可能になるとバックアップ電源から切り離し主電源  $V_{CC}$  に切り替える内部の自動スイッチングがあります。電源が切断するとバックアップ電源に切り替わります。異なるコンデンサの値または異なる電池の定格によって達成可能なバックアップ時間を決めるには、次の節で提供される式を使います。

## 5.2 RTC バックアップ時間の計算

この節では、RTC の電池/コンデンサのバックアップ時間を計算するのに使用する式を説明します。nvSRAM は、バックアップ電源供給ソース (コンデンサまたは電池のいずれか) を用いて、発振器の動作を継続するために、定電流 ( $I_{BAK}$ ) を流します。この定電流は、時間が経つにつれて徐々にコンデンサや電池を放電します。

### 5.2.1 コンデンサの放電時間

$$\text{式 11} \quad Time = \frac{C\Delta V}{I}$$

ここで、

時間 = 放電時間の合計 (単位: 秒)

$C = V_{RTCcap}$  ピン上のスーパーキャップの値 (単位: ファラド)

$\Delta V = V_{CC} - V_{RTCcap}$  (min)

$I =$  スーパーキャップの放電電流 (単位: アンペア)

スーパーキャップの放電電流 ( $I$ ) は、次の式 12 に示すように、nvSRAM の RTC バックアップ電流 ( $I_{BAK}$ ) およびスーパーキャップの自己漏れ電流 ( $i_L$ ) から構成されます。

$$\text{式 12} \quad I = I_{BAK} + i_L$$

### 5.2.2 例 1

アプリケーションが、 $V_{RTCcap}$  ピン上で 1F のコンデンサを使用し、3V ( $V_{CC}$ ) の標準電源供給から室温で標準 350nA の  $I_{BAK}$  を流す場合、コンデンサは再充電なしで 49.6 日間 RTC を電源供給できます。バックアップ時間の計算を説明するには、次の例は、スーパーキャップの放電電流 ( $I$ ) を nvSRAM RTC バックアップ電流  $I_{BAK}$  として考慮します。

#### 計算

$V_{RTCcap}$  ピンで RTC を実行するために必要な最小のコンデンサ電圧は 1.5V です。

そのため、 $\Delta V$  は 1.5V (3V-1.5V) です。

$$\text{式 13} \quad Time(hr) = \frac{1.0 \times 1.5}{350 \times (10)^{-9} \times 60 \times 60} = 1190 \text{ 時間または } 49.6 \text{ 日}$$

### 5.2.3 電池用の放電時間

電池のメーカーは、ミリアンペア時 (mAh) の単位で電池の仕様を提供します。電池の RTC バックアップ タイミングの計算は、コンデンサの RTC バックアップ タイミングの計算よりも簡単です。

$$\text{式 14} \quad \text{Time (hrs)} = \frac{\text{mAh of battery}}{I \text{ (mA)}}$$

ここで、

$$I \text{ (mA)} = I_{\text{BAK}} \text{ (単位: ミリアンペア)}$$

### 5.2.4 例 2

アプリケーションが 48mAh の BR1225 コイン型電池を使用する場合、nvSRAM の RTC は電池交換なしで約 15.6 年間動作することができます。nvSRAM の RTC 回路は室温で標準 350nA の  $I_{\text{BAK}}$  が流れます。

#### 計算

$$\text{式 15} \quad \text{Time (hr)} = \frac{48 \times (10)^{-3}}{350 \times (10)^{-9} \times 24 \times 365} = 137142 \text{ 時間または } 15.6 \text{ 年間}$$

nvSRAM の RTC は、電池ピン ( $V_{\text{RTCbat}}$ ) に 1.8V の最小電圧を指定します。したがって、システム耐用寿命にわたり持続した RTC の発振に備えるために、電池の出力電圧は 1.8V より大きくなければいけません。

### 5.2.5 $V_{\text{RTCcap}}$ 上のコンデンサの充電時間

バックアップ コンデンサの充電は、RTC 回路設計において考慮すべき重要なパラメータでもあります。

$V_{\text{RTCcap}} > 0.5\text{V}$  の場合、またはコンデンサが  $V_{\text{RTCcap}}$  ピンに接続されていない場合は、データシートで指定されたように発振器の起動時間 ( $t_{\text{OCS}}$ ) は 1~2 秒です。

$V_{\text{RTCcap}}$  上のコンデンサが 0.5V 以下 ( $V_{\text{RTCcap}} < 0.5\text{V}$ ) の電圧レベルにまで放電された場合は、 $V_{\text{CC}}$  を印加した後、nvSRAM の RTC は直ちに発振器を起動せず、 $V_{\text{RTCcap}}$  上の RTC コンデンサが 0.5V に充電されるまで待機します。 $V_{\text{RTCcap}}$  上の電圧が 0.5V になった後、nvSRAM は  $t_{\text{OCS}}$  時間後に発振器を起動します。

nvSRAM が RTC コンデンサを 0.5V まで充電する時間は、RTC コンデンサの残留電圧、nvSRAM のチャージ パス抵抗 ( $R_{\text{BKCHG}}$ ) (通常、650 $\Omega$ ) に依存します。

所定の RC ネットワークにおけるコンデンサの充電時間の式は以下のように定義されます。

$$\text{式 16} \quad V_c(t) = V_{\text{CC}}(1 - e^{-t/RC})$$

ここで、

$V_c(t)$  = 時刻「t」におけるコンデンサの両端電圧

$V_{\text{CC}}$  = 電源電圧 (単位: ボルト)

R = 充電経路の抵抗 ( $R_{\text{BKCHG}}$ ) (単位:  $\Omega$ )

C =  $V_{\text{RTCcap}}$  ピン上のスーパーキャップの値 (単位: ファラド)

### 5.2.6 例 3

値 1.0F の完全に放電されたコンデンサは  $V_{\text{RTCcap}}$  ピンに接続されます。3.0V が nvSRAM の  $V_{\text{CC}}$  に印加された時、 $t_{\text{OCS}}$  時間内に発振を開始する前に、 $V_{\text{RTCcap}}$  上のコンデンサを 0.5V の最小電圧レベルにまで充電し始めます。

nvSRAM がコンデンサを 0V から 0.5V にまで充電するのに要する標準的な時間は 118 秒です。

#### 計算

$$\text{式 17} \quad 0.5 = 3.0 (1 - e^{-t/(650 \times 1)})$$

$$t \text{ (sec)} = 118 \text{ 秒 (約 2 分)}$$

この式は、nvSRAM の  $V_{\text{RTCcap}}$  ピンに接続している RTC コンデンサを実際に充電する時間を計算するのに適用されます。

$V_{\text{RTCcap}}/V_{\text{RTCbat}}$  (最小/最大)、 $I_{\text{BAK}}$  (最小/最大) および  $R_{\text{BKCHG}}$  (最小/最大) の値については、デバイスのデータシートを参照してください。

**注:** バッテリーが  $V_{\text{CC}}$  に接続される前に  $V_{\text{RTCbat}}$  ピンに接続された場合、デバイスは高い  $I_{\text{BAK}}$  電流を消費します。発振子が無効の場合でも、この事象は発生します。バッテリーの持続時間を長くするために、バッテリーを  $V_{\text{RTCbat}}$  ピンに接続する前に  $V_{\text{CC}}$  に接続する必要があります。

## 6 PCB 設計上の注意事項

RTC の水晶振動子は、それら水晶振動子のピンに高インピーダンス ノードが付いた低電流の回路です。RTC の時間管理をする信号の電流が小さいので、基板上の水晶振動子の接続はノイズに非常に敏感です。そのため、RTC 回路を基板上の他の信号から分離する必要があります。

PCB 基板上の浮遊容量を最小限に抑えることも重要です。浮遊容量は水晶振動子の負荷容量に追加されるので、発振周波数エラーを引き起こします。最適な RTC 性能を得るためには、適切にバイパス処理を施した慎重なレイアウトをする必要があります。

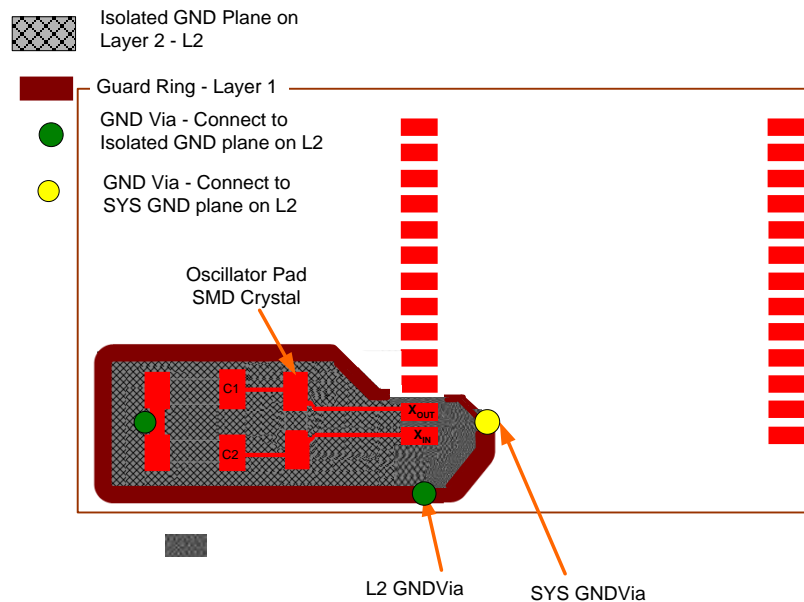
### 6.1 信号の配線

基板レイアウトは、nvSRAM の RTC 回路を配線するに際し、次のガイドラインを順守しなければなりません (しかし、限定はされません)。次のガイドラインは、nvSRAM の RTC 設計によって最適な性能を得る手助けになります。

- 水晶振動子をできる限り  $X_{IN}$  と  $X_{OUT}$  ピンの近くに配置してください。水晶振動子と RTC 間の配線長を同じにし、配線長を可能な限り短くしてアンテナの長さを短くすることでノイズ カップリングを起こさないようにします。
- $X_{IN}$  と  $X_{OUT}$  の配線幅を 8mil 以下にします。配線幅を太くすると、配線容量が高くなります。これらの接着パッドと配線が大きいほど、隣接する信号からノイズが乗る可能性が高くなります。
- 水晶発振回路の周りをガード リングして  $X_{IN}$  と  $X_{OUT}$  信号をシールドします。このガード リングは、近接している信号からのノイズ カップリングを防止します。
- RTC 配線の近くで何か他の高速信号を配線する時にも注意してください。水晶振動子が基板上で他の信号から分離されるほど、ノイズが水晶振動子に乗る可能性が低くなります。基板上で、 $X_{IN}$ 、 $X_{OUT}$  配線と他の高速信号線の距離を 200mil 以上離してください。
- 同一 PCB 層で水晶コンポーネントの直下に信号を配線しないでください。
- PCB の別の信号層上を走っている配線からカップリングされる不要なノイズを防止するために、隣接した PCB 層および水晶発振回路の真下に、絶縁した銅のベタ面を造ってください。ローカル面は、同じ PCB 層上の隣接した面から少なくとも 40mil 分離する必要があります。ベタ面は、RTC コンポーネントの近くにあり、その周辺部はガード リング周辺に等しく保つ必要があります。

図 8 は、nvSRAM の RTC 回路の推奨レイアウトを示します。

図 8. nvSRAM の RTC 用の推奨レイアウト



## 6.2 RTC クロックの校正

RTC は 32.768kHz の公称周波数を持つクォーツ制御の発振器によって駆動されます。クロックの精度は水晶の品質に依存し、通常 25°C で  $\pm 20$ ppm 限定です。エラーは月当たり 1.53 分です。nvSRAM の RTC は、25°C で精度を  $\pm 1/-2$ ppm まで向上させるデジタル校正回路を採用しています。校正回路は、発振器分周回路からカウントを加算または減算します。パルスが抑制 (減算、マイナス校正) または分割 (加算、プラス校正) される回数は、校正制御レジスタで指定される 5 つの校正ビットに格納された値によります。カウントを加算するとクロックが速くなり、減算するとクロックが遅くなります。校正ビットは、制御レジスタの 5 つの下位ビットを占有します。これらのビットがセットされ、バイナリ形式で 0~31 の任意の値となります。ビット D5 は符号ビットで、「1」がプラス校正、「0」がマイナス校正を示します。校正は、64 分サイクル内で発生します。

サイクルの最初の 62 分は、毎分 1 回、128 の発振器サイクルで 1 秒短縮されるか、256 の発振器サイクルで 1 秒長くなります。バイナリ「1」がレジスタに格納された場合、64 分サイクルの最初の 2 分のみは変更され、バイナリ「6」が格納された場合、最初の 12 は影響を受けます。したがって、各校正ステップは、実際の 125,829,120 回の発振器サイクルごとに、512 を加算するか 256 を減算する効果があります。これは、校正ステップごとに 4.068 または -2.034ppm の調整を行うことを意味します。

校正値を設定するには、フラグ レジスタ内の CAL ビットを 1 に設定します。これにより、INT ピンは 512Hz の定格周波数でトグルします。512Hz から測定されるすべての偏差は、必要な補正の程度と方向を示します。例えば、512.01024Hz の読み込みは +20ppm の誤差を示し、-10 (001010) が校正レジスタに格納されることを要求します。校正レジスタを設定または変更しても、テスト出力周波数には影響しないことに注意してください。nvSRAM RTC クロック校正の技術的な詳細については、[AN53313](#) を参照してください。

## 6.3 nvSRAM RTC のトラブルシューティング ガイド

サイプレスの nvSRAM トラブルシューティング ガイド [KBA94279](#) は、システム内で発生する nvSRAM RTC の不具合への解決策とこれらの不具合へのソリューションを提供します。

## 7 まとめ

RTC 回路から要求精度を得るためには、RTC の性能に直接影響を与える様々な要因を考慮しなければいけません。これらの要因は水晶とコンポーネントの選択、レイアウト設計のルールおよび動作条件です。このアプリケーション ノートは、nvSRAM の RTC から希望する RTC の性能を得るために従うべき設計上の重要な側面を強調しています。

## 8 関連文書

### アプリケーション ノート

- [AN53313 - サイプレス nvSRAM におけるリアルタイム クロック校正](#)

### データシート

- [CY14B101P: 1M ビット \(128K x 8\) シリアル SPI nvSRAM \(リアルタイム クロック搭載\)](#)
- [CY14B512P: 512K ビット \(64K x 8\) シリアル \(SPI\) nvSRAM \(リアルタイム クロック搭載\)](#)
- [CY14B256P: 256K ビット \(32K x 8\) シリアル \(SPI\) nvSRAM \(リアルタイム クロック搭載\)](#)
- [CY14B104K, CY14B104M: 4M ビット \(512K x 8/256 K x 16\) nvSRAM \(リアルタイム クロック搭載\)](#)
- [CY14C064I, CY14B064I, CY14E064I: 64K ビット \(8K x 8\) シリアル \(I2C\) nvSRAM \(リアルタイム クロック搭載\)](#)
- [CY14C064PA, CY14B064PA, CY14E064PA: 64K ビット \(8K x 8\) SPI nvSRAM \(リアルタイム クロック搭載\)](#)
- [CY14C256I, CY14B256I, CY14E256I: 256K ビット \(32K x 8\) Serial \(I2C\) nvSRAM \(リアルタイム クロック搭載\)](#)
- [CY14C256PA, CY14B256PA, CY14E256PA: 256K ビット \(32K x 8\) SPI nvSRAM \(リアルタイム クロック搭載\)](#)
- [CY14C512I, CY14B512I, CY14E512I: 512K ビット \(64K x 8\) シリアル \(I2C\) nvSRAM \(リアルタイム クロック搭載\)](#)
- [CY14C101I, CY14B101I, CY14E101I: 1M ビット \(128K x 8\) シリアル \(I2C\) nvSRAM \(リアルタイム クロック搭載\)](#)
- [CY14C101PA, CY14B101PA, CY14E101PA: 1M ビット \(128K x 8\) シリアル \(SPI\) nvSRAM \(リアルタイム クロック搭載\)](#)
- [CY14B104K, CY14B104M: 4M ビット \(512K x 8/256 K x 16\) nvSRAM \(リアルタイム クロック搭載\)](#)
- [CY14B108K, CY14B108M: 8M ビット \(1024K x 8/512 K x 16\) nvSRAM \(リアルタイム クロック搭載\)](#)
- [CY14B116K, CY14B116M: 16M ビット \(2048K x 8/1024K x 16\) nvSRAM \(リアルタイム クロック搭載\)](#)

### 知識ベース記事

- [nvSRAM および FRAM-KBA94279 のトラブルシューティング ガイド](#)

---

## 著者について

氏名: Shivendra Singh

役職: アプリケーション エンジニア主任

## 改訂履歴

文書名: AN61546 - 不揮発性スタティック ランダム アクセス メモリ (nvSRAM)、リアルタイムクロック (RTC) の設計ガイドラインおよびベスト プラクティス

文書番号: 001-92096

| 版  | ECN     | 改版者  | 提出日        | 変更内容  |
|----|---------|------|------------|---|
| ** | 4341289 | HZEN | 04/11/2014 | これは英語版 001-61546 Rev *C を翻訳した日本語版 001-92096 Rev. **です。  |
| *A | 4802481 | HZEN | 06/22/2015 | これは英語版 001-61546 Rev *F を翻訳した日本語版 001-92096 Rev. *A です。 |



## ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

### 製品

|             |  |
|-------------|--|
| 車載          | <a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a> |
| クロック&バッファ   | <a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>         |
| インターフェース    | <a href="http://cypress.com/go/interface">cypress.com/go/interface</a>   |
| 照明 & 電源管理   | <a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a>   |
| メモリ         | <a href="http://cypress.com/go/memory">cypress.com/go/memory</a>         |
| PSoC        | <a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>             |
| タッチ センシング   | <a href="http://cypress.com/go/touch">cypress.com/go/touch</a>           |
| USB コントローラー | <a href="http://cypress.com/go/usb">cypress.com/go/usb</a>               |
| ワイヤレス/RF    | <a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>     |

### PSoC<sup>®</sup>ソリューション

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

### サイプレス開発者コミュニティ

[Community](#) | [Forums](#) | [Blogs](#) | [Video](#) | [Training](#)

### テクニカル サポート

[cypress.com/go/support](http://cypress.com/go/support)

PSoC はサイプレス セミコンダクタ社の登録商標であり、PSoC Creator は同社の商標です。本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。



Cypress Semiconductor    Phone : 408-943-2600  
198 Champion Court    Fax : 408-943-4730  
San Jose, CA 95134-1709    Website : [www.cypress.com](http://www.cypress.com)

© Cypress Semiconductor Corporation, 2010-2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤作動や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンスに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンスの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤作動や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。