

非易失性静态随机存取存储器（NVSRAM）实时时钟（RTC）的设计指南和最佳实践

作者：Shivendra Singh

相关器件系列：CY14xxxxx（nvSRAM RTC）

相关应用笔记：AN53313

要想获得本应用笔记的最新版本或相关项目文件，请访问 <http://www.cypress.com/go/AN61546>。

AN61546 介绍了 nvSRAM RTC 设计的实时时钟（RTC）功能、组件选择标准以及布局设计中的最佳实践等内容。本应用笔记中的设计指南和最佳实践有助于对系统中具有 RTC 功能的 nvSRAM 进行设计，并能够最小化通常由布局设计及组件选择不合理造成的时序错误。

目录

1	简介	1	6.1	信号路由	11
2	晶振基础知识	2	6.2	RTC 时钟校准	12
3	晶振谐振频率	3	6.3	nvSRAM RTC 的故障排除指南	12
3.1	等效串联电阻	3	7	总结	13
3.2	晶振品质因素	3	8	相关文档	13
3.3	驱动电平	4		文档修订记录	14
4	nvSRAM RTC 时钟振荡器电路	5		全球销售和设计支持	15
4.1	负载电容	5		产品	15
5	nvSRAM RTC 电路设计	7		PSoC [®] 解决方案	15
5.1	RTC 备用电源选项	8		赛普拉斯开发者社区	15
5.2	RTC 备用时间的计算	9		技术支持	15
6	PCB 设计注意事项	11			

1 简介

nvSRAM RTC 集成了标准实时时钟功能和非易失性 SRAM 功能。服务器、安全监控系统、工业控制器、数据记录器以及单板计算机等各种应用仅是要求使用 RTC 功能才能可靠准确地操作系统的少数几个例子。集成 RTC 功能的 nvSRAM 带来了多种优势，如无限写入 nvSRAM 中的 SRAM、断电时自动保存数据，以及允许系统将关键信息连续写入到具有时间戳的非易失性存储器。

RTC 模块通过使用频率为 32.768 kHz 的晶振生成了具有计时功能的参考时钟。无论处于活跃模式还是断电模式，该模块都会保存系统的时序信息。要想使 RTC 模块在断电模式下仍保持活动状态，需要用到备用电源，这样可以在 V_{CC} 电源处于 OFF（关闭）状态时，时钟振荡器仍能正常运行。

RTC 时钟的精度主要取决于所使用的组件、布局设计、组件放置以及工作温度的准确度。通过使能片上时钟校准选项，可以提高时钟精度。本应用笔记中的 [RTC 时钟校准](#) 一节简要说明了 RTC 时钟校准操作。

本应用笔记介绍了有关晶振操作、nvSRAM RTC 组件选择标准以及布局设计指导等内容。

2 晶振基础知识

晶振是由石英材料制成的，包含二氧化硅，并具有压电特性。在石英晶体的表面上施加压力时，石英会产生电位。相反，当在石英晶体的表面上有电位时，也会产生机械变形或震荡。这些震荡的频率由以下因素决定：

- 石英晶体的外形尺寸
- 与石英晶体轴相对的晶振切口大小
- 工作温度
- 振荡电路

自然震荡频率比较稳定。此外，谐振的品质因素（Q 值）较高，介于数万到数十万的范围内。

晶体有几个基本特性对震荡电路设计起着重要作用。图 1 显示了典型的晶体符号，图 2 显示了其等效电路。该电路由一系列组件构成，包括动态电感 L_1 、动态电阻 R_1 和动态电容 C_1 。并行组件 C_0 是晶振的并联电容。

等效串联电阻（ESR），又被称为动态电阻，是指在谐振频率下消除晶振电抗部分时的晶振阻抗。ESR 和 Q 是成反比关系。ESR 越低，晶振消耗的能量越少。具有高 ESR 的晶振需要更多的能量才能运行，并且启动时间会更长。

图 1. 晶振符号

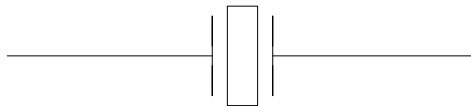
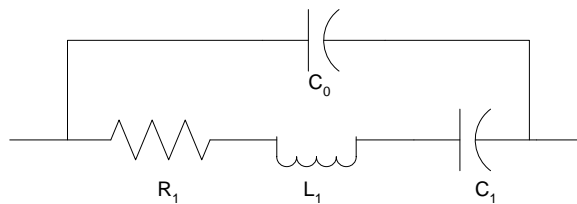


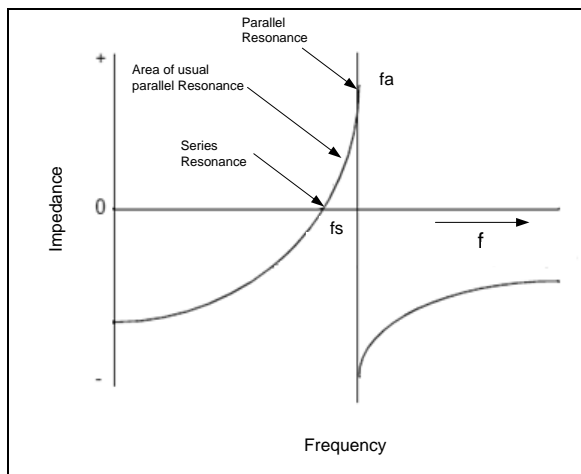
图 2. 晶振等效电路



3 晶振谐振频率

图 3 显示的是晶振的电抗频率特性图。晶振具有两个谐振频率，即为串联谐振和并联谐振。

图 3. 晶振谐振频率



当晶振在串联谐振模式下工作时，它是纯电阻电路，并感抗 L_1 等于容抗 C_1 。由于这些阻抗的相位相差 180° ，所以他们相互抵消， R_1 便成为晶振终端之间的阻抗。

串联谐振频率（ f_s ）是由公式 1 计算得到的。

$$\text{公式 1} \quad f_s = \frac{1}{2\pi\sqrt{L_1 C_1}}$$

当发生串联谐振时，反应阻抗的影响极小，该电路是具有最小等效阻抗的电阻电路，因此消耗的电流也是最大的。

当晶振在并联谐振模式下工作时，电感器 L_1 会影响晶振端子之间的总电容。这也被称为反谐振频率，并可以通过下面的公式 2 来确定。

$$\text{公式 2} \quad f_a = \frac{1}{2\pi\sqrt{L_1 \frac{C_1(C_0+C_L)}{C_1+(C_0+C_L)}}}$$

该公式结合了 C_0 和 C_L 的并联电容，其中 C_L 是晶振制造商指定的负载电容，如图 5 所示。

当晶振以反谐振频率工作时，它的阻抗最大，并且电流最低。大多情况下，晶振的设计谐振频率为 $f_s < f < f_a$ ，并且 f_s 和 f_a 间的频率范围被称为“常见并联谐振区”或“并联谐振”。

3.1 等效串联电阻

ESR 是晶振以串联谐振频率（ f_s ）工作时呈现的电阻。它不一定是图 2 中显示的 R_1 值。可以使用下面的公式 3 来计算振荡器电路中的 ESR。

$$\text{公式 3} \quad ESR, R_S = R_1 \left(1 + \frac{C_0}{C_L}\right)^2$$

通常，将石英晶振调整到所指定的谐振频率时，需要监控该值。有时将 R_S 指定为最大电阻，并用于确定振荡器的驱动电平（如驱动电平一节中所述）。

3.2 晶振品质因素

由于晶体的压电效应，所以，当施加电场时，将会发生位移。当晶振变形时，会产生相反的效应，并且晶振电极上会产生电能。从晶振电极的角度来看，机械谐振晶振作为电谐振电路。因此，晶振的行为类似于调谐电路，并且可以存储能量。通过定制晶振的品质因素（Q），您可以量化存储的能量。可以通过公式 4 确定晶振的 Q 值。

公式 4
$$Q = \frac{\omega L_1}{R_1} = \frac{1}{\omega C_1 R_1}$$

其中:

ωL_1 = 电感产生的阻抗 (L_1)

$1/\omega C_1$ = 电感在晶振的工作频率下所产生的阻抗 (C_1)

3.3 驱动电平

驱动电平是指晶振的功耗。晶振规范文档定义了晶振可以承受的最大驱动电平。过度驱动晶振可能会使其过度老化、频移发生或石英断裂,并最终导致失败。设计者应确保电势差不能超过晶振的最大额定驱动电平。再次,需要保持必要的最小驱动电平,以使振荡器能够启动并稳定操作。

通过公式 5,可以计算晶振的功耗。

公式 5
$$P = 2R_1[\pi f(C_0 + C_L)V_{RMS}]^2$$

其中:

V_{RMS} = 经过晶体的电压均方根值 (RMS)

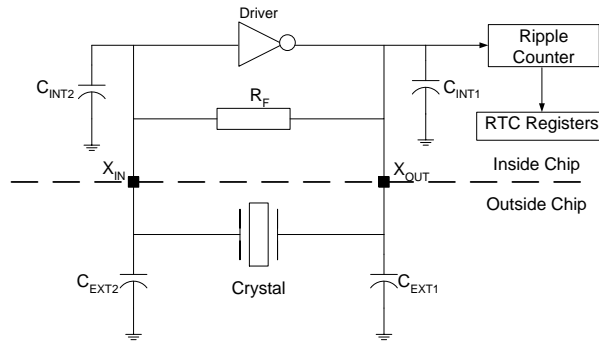
f = 晶体振动的额定频率

大多数 RTC 晶振的最大功耗为 1 μ W。

4 nvSRAM RTC 时钟振荡器电路

nvSRAM RTC 中使用的振荡器是基于 CMOS 反相器的 Pierce 型振荡器，如图 4 中所示。反相器作为 AB 类放大器使用，并提供大约 180° 的相移，使输入转为输出；由晶振、 C_{INT1} 和 C_{INT2} 组成的 π 网络则提供其他 180° 的相移，使输出转为输入。因此，循环的总相移为 360°。这样就可以满足维持震荡的其中一个条件。维持震荡的其他条件要求闭环增益必须大于 1。反相器周围的电阻 R_F 提供了负向反馈，并设置了靠近中间供电电压的反相器偏置点，所以会在高增益线性区域中运行反相器。 R_F 电阻值较高，通常为几个兆欧。

图 4. Pierce 型振荡器

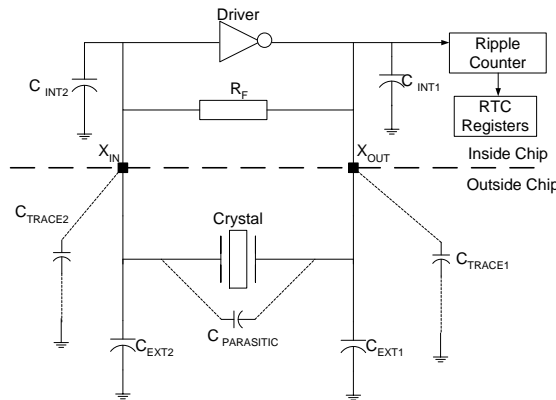


Pierce 型振荡器使用了一个在并行模式下工作的晶振。晶振的额定频率是在特定负载条件下得到定义的。要想使晶振以所指定的频率工作，应用电路板的设计要满足 PCB 上晶振焊盘（ X_{IN} 和 X_{OUT} ）的负载电容等于所指定的晶振负载。

4.1 负载电容

负载电容（ C_L ）是指振荡电路在晶振引脚上测量到的电容性负载。图 5 描述了在无晶振情况下在 X_{IN} 和 X_{OUT} 引脚上测量到的电容 C_L 。 C_{INT1} 、 C_{INT2} 和电路中的所有寄生电容均被组合起来，构成总负载电容。

图 5. 振荡器负载电容



可通过公式 6 确定 X_{IN} 引脚上的等效负载电容 C_{EQ2} 。

$$\text{公式6} \quad C_{EQ2} = C_{INT2} + C_{TRACE2} + C_{EXT2}$$

同样，可通过公式 7 定义 X_{OUT} 引脚上的等效负载电容 C_{EQ1} 。

$$\text{公式7} \quad C_{EQ1} = C_{INT1} + C_{TRACE1} + C_{EXT1}$$

总负载电容（ C_L ）可通过公式 8 计算。

公式 8
$$C_L = \frac{C_{EQ1}C_{EQ2}}{C_{EQ1}+C_{EQ2}} + C_{PARASITIC}$$

其中:

C_{INT1} = X_{OUT} 引脚上的输入电容

C_{INT2} = X_{IN} 引脚上的输入电容

C_{TRACE1} = 连接到 X_{OUT} 引脚、晶振和电容器 C_{EXT2} 的走线的电容值

C_{TRACE2} = 连接到 X_{IN} 引脚、晶振和电容器 C_{EXT1} 的走线的电容值

C_{EXT1} = 连接到 X_{OUT} 引脚的外部电容

C_{EXT2} = 连接到 X_{IN} 引脚的外部电容

$C_{PARASITIC}$ = 由安装在电路板上的晶振产生的寄生电容

C_L = 必须施加到电路上晶振引脚, 使晶振能够在其额定频率下震荡的总电容性负载

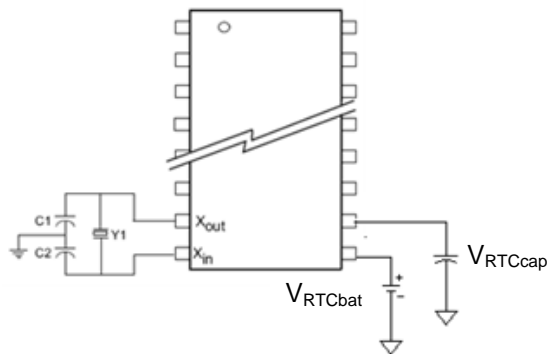
对晶振电路负载电容进行的任何修改都会影响震荡频率。操作频率与额定频率之间的漂移特性如下所述。

- 如果所指定的晶振负载电容大于 PCB 上跨越晶振焊盘的晶振电路的总负载电容 (C_L), 则振荡器的操作频率会超过所指定的额定频率。
- 相反, 如果所指定的晶振容性负载低于 C_L , 则振荡器的操作频率将低于额定频率。
- 如果所指定的晶振容性负载等于 C_L 的总负载电容, 则晶振将以额定的频率产生震荡。

5 nvSRAM RTC 电路设计

nvSRAM RTC 需要将 32.768 kHz 外部晶振、C1 和 C2 负载电容连接起来，以便构建 RTC 电路（如图 6 所示）。

图 6. nvSRAM RTC 设计



C1 和 C2 负载电容包含 PCB 板上各组件的寄生电容在内，包括由晶体焊盘/引脚的地层、X_{IN}/X_{OUT} 焊盘以及与晶体和器件引脚相连接的铜线导致的电容。图 7 中描述了 PCB 寄生组件。

图 5 通过下面的公式，可以计算需要添加到电路板上的额外有效电容。这些外部负载电容被定义为图 5 中的 C_{EXT1} 和 C_{EXT2}。

公式 9 $C_{EXT1} = C1 - C_{PARASITIC1}$

公式 10 $C_{EXT2} = C2 - C_{PARASITIC2}$

其中：

C_{PARASITIC1} = 由晶体焊盘/引脚的地层、将晶振焊盘和器件焊盘 X_{OUT} 相连接的走线，以及 X_{OUT} 的地层导致的寄生电容。

C_{PARASITIC2} = 由晶体焊盘/引脚的地层、将晶振焊盘和器件焊盘 X_{IN} 相连接的走线，以及 X_{IN} 的地层导致的寄生电容。

图 7. PCB 寄生组件

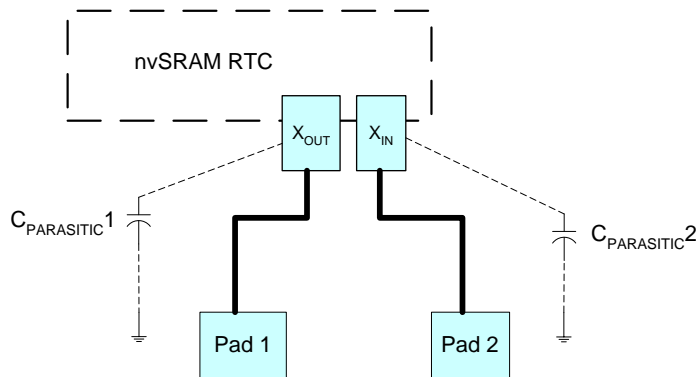


表 1 提供了 nvSRAM RTC 设计中推荐使用的组件值。

表 1. nvSRAM RTC 电路组件

CY 器件型号	C ₁ (外部) (典型值)	C ₂ (外部) (典型值)	晶振频率, C _L (典型值)	生产状态
CY14B101P CY14B512P CY14B256P	10 pF ±5%	68 pF ±5%	32.768 kHz, 12.5 pF	不建议用于新设计
CY14B101KA/MA	10 pF ±5%	68 pF ±5%	32.768 kHz, 12.5 pF	生产中
CY14B064I/PA CY14B256I/PA CY14B512I/PA CY14B101I/PA CY14B104K/M CY14B108K/M CY14B116K/M	12 pF ±5%	68 pF ±5%	32.768 kHz, 12.5 pF	生产中

表 2 提供了 nvSRAM RTC 的典型 RTC 晶振规范。

表 2. 晶振规格

参数	符号	典型值	单位
频率	f	32.768	kHz
等效串联电阻 (ESR)	R _s	50	kΩ
频率稳定性	K	-0.035	PPM/(Δ °C) ²
驱动电平		1	μW
老化 (第一年, 在 25 °C 温度条件下)		±3	PPM
负载电容	C _L	12.5	pF
Q 因素	Q	60000	
工作温度范围		-40 °C 到 +85 °C	

5.1 RTC 备用电源选项

在 V_{CC} 电源不可用时, nvSRAM RTC 支持将电容器和电池作为 RTC 备用电源。nvSRAM RTC 设计推荐使用电池或电容器选项作为 RTC 的备用电源。但您不能在一个应用中同时安装它们。

选择电池或电容器完全取决于应用的要求。一般如果系统预期断电时间小于 30 天, 那么电容器比电池更适合使用, 因为它的占地面积更小和高结温条件下的可靠性更强。但是, 如果系统预期连续断电时间超过 30 天, 则优先选择电池, 因为容值大于 1 F 和额定电压高于 3.6 V 的超级电容器不适应于小尺寸的封装选项。如果用户应用允许更大的电容器封装, 通过使用容值大于 1 F 的电容器, 可以获得超过 30 天的 RTC 备用时间。电容器和电池选项的 nvSRAM RTC 备用时间计算分别如示例 1 和示例 2 所示。这两个示例适用于应用中使用的电容器或电池的所有额定值。

将电池作为 RTC 备用电源使用时, V_{RTCbat} 引脚将直接连接到扣式锂电池。同样, 如果将电容器作为 RTC 的备用电源使用, 则 V_{RTCcap} 引脚被直接连接到超级电容。nvSRAM RTC 带有内部自动开关: 当主电源可用时, 该开关自动断开备用电源, 并切换到主 V_{CC}。当电源关闭时, 它将切换到备用电源。要找到使用不同电容值或电池额定电压值所得到的备用时间, 请使用下面提供的公式。

5.2 RTC 备用时间的计算

本部分介绍了用于计算 RTC 的电池和电容器备用时间的公式。为了使用备用电源（电容器或电池）运行振荡器，nvSRAM 会消耗恒定电流 (I_{BAK})。该恒定电流在某时间段中逐渐放电给电容器或者电池。

5.2.1 电容器的放电时间

$$\text{公式 11} \quad Time = \frac{C\Delta V}{I}$$

其中：

时间 = 总放电时间（单位为秒）

$C = V_{RTCCap}$ 引脚上的超级电容值（单位为法拉）

$\Delta V = V_{CC} - V_{RTCCap}$ （最小值）

$I =$ 超级放电电流（单位为安培）

超级放电电流 (I) 包括 nvSRAM RTC 备用电流 (I_{BAK}) 和超级电容自漏电流 (i_L)，如公式 12 所示。

$$\text{公式 12} \quad I = I_{BAK} + i_L$$

5.2.2 示例 1

如果应用在 V_{RTCCap} 引脚上使用了大小为 1 F 的电容器，其典型的供电电压为 3 V (V_{CC})，并在室温下消耗典型大小为 350 nA 的 I_{BAK} ，则电容器可以给 RTC 供 49.6 天的电，而不需要重新充电。为了说明备用时间计算，下面的示例将超级电容放电电流 (I) 作为 nvSRAM RTC 备用电流 I_{BAK} 。

计算

在 V_{RTCCap} 引脚上用以运行 RTC 的最小电容器电压为 1.5 V。

所以， ΔV 等于 1.5 V（即 3 V-1.5 V）。

$$\text{公式 13} \quad Time(hr) = \frac{1.0 \times 1.5}{350 \times (10)^{-9} \times 60 \times 60} = 1190 \text{ 个小时或 } 49.6 \text{ 天}$$

5.2.3 电池的放电时间

电池制造商所提供的电池规范是以每小时毫安 (mAh) 为单位。使用电池的 RTC 备用时间计算比使用电容器的 RTC 备用时间计算更简单。

$$\text{公式 14} \quad Time (hrs) = \frac{mAhofbattery}{I (mA)}$$

其中：

$I (mA) = I_{BAK}$ (mAh)

5.2.4 示例 2

如果应用程序使用了 48 mAh 大小的 BR1225 纽扣电池，则该电池可给 nvSRAM RTC 供大概 15.6 年的电而不用更换电池。nvSRAM RTC 电路在室温条件下会消耗大小为 350 nA 的电流 I_{BAK} 。

计算

$$\text{公式 15} \quad Time(hr) = \frac{48 \times (10)^{-3}}{350 \times (10)^{-9} \times 24 \times 365} = 137142 \text{ 个小时或 } 15.6 \text{ 年。}$$

nvSRAM RTC 指定电池引脚 (V_{RTCbat}) 的最小电压为 1.8 V。换句话说，电池输出电压必须大于 1.8 V，以便在系统寿命周期中持续提供 RTC 震荡。

5.2.5 V_{RTCCap} 上电容器的充电时间

备用电容器的充电也是 RTC 电路设计中的关键参数。

如果 $V_{RTCCap} > 0.5$ V 或无电容器连接至 V_{RTCCap} 引脚，则振荡器的启动时间 (t_{OCS}) 为 1 到 2 秒，如数据手册中所定义。

如果将 V_{RTCcap} 上的电容器放电, 使其电压低于 0.5 V ($V_{\text{RTCcap}} < 0.5\text{ V}$), 那么采用 V_{CC} 后, nvSRAM RTC 不会立即启动振荡器, 而会保持等待状态, 直到 V_{RTCcap} 上的 RTC 电容器被充电到 0.5 V 为止。 V_{RTCcap} 上的电压达到 0.5 V 时, 经过 t_{OCS} 时间后, nvSRAM 开始震荡。

nvSRAM 给 RTC 电容器充电以便达到 0.5 V 时所需的时长取决于 RTC 电容器的残留电压和 nvSRAM 的充电路径电阻 (R_{BKCHG}) (通常为 $650\ \Omega$)。

给定 RC 网络中电容器充电计算公式如下:

$$\text{公式 16} \quad V_c(t) = V_{cc}(1 - e^{-t/RC})$$

其中:

$V_c(t)$ = 在 t 时间的电容器电压

V_{CC} = 供电电压, 单位为伏特

R = 充电路径电阻 (R_{BKCHG}), 单位为 Ω

C = V_{RTCcap} 引脚上的超级电容值, 单位为法拉

5.2.6 示例 3

连接到 V_{RTCcap} 引脚上数值为 1.0 F 的完全放电电容器。当 nvSRAM V_{CC} 采用 3.0 V 电压时, 它开始给 V_{RTCcap} 上的电容器充电, 直到其电压值达到最小的电压电平 0.5 V 为止, 然后经过 t_{OCS} 时间将开始震荡。

nvSRAM 电容器从 0 V 到 0.5 V 的充电时间通常为 118 秒。

计算

$$\text{公式 17} \quad 0.5 = 3.0 (1 - e^{-t/(650 \cdot 1)})$$

$$t (\text{秒}) = 118 \text{ 秒 (大约 2 分钟)}$$

您可使用该公式计算连接到 nvSRAM 的 V_{RTCcap} 引脚的 RTC 电容器的实际充电时间。

有关 $V_{\text{RTCcap}}/V_{\text{RTCbat}}$ (最小/最大值)、 I_{BAK} (最小/最大值) 和 R_{BKCHG} (最小/最大值), 请查阅器件的数据手册。

注释: 如果电池在应用于 V_{CC} 前先应用于 V_{RTCbat} 引脚, 则芯片将吸收高达 I_{BAK} 的电流。尽管禁用了振荡器, 仍会发生这种情况。为最大程度地延长电池寿命, 将电池应用于 V_{RTCbat} 引脚前, 必须先将其应用于 V_{CC} 。

6 PCB 设计注意事项

RTC 晶体振荡器是一个低电流电路，晶体引脚上的阻抗节点处于高电平状态。由于 RTC 的计时电流较低，晶振连接对电路板上的噪声非常敏感。因此，必须将 RTC 电路与电路板上的其他信号隔离开。

此外，最小化 PCB 板上的寄生电容也非常重要。寄生电容被添加到晶体的总负载电容内，这样会使振荡器频率出现误差。想获取 RTC 的最佳性能，要求执行适当的旁路并认真进行设计布局。

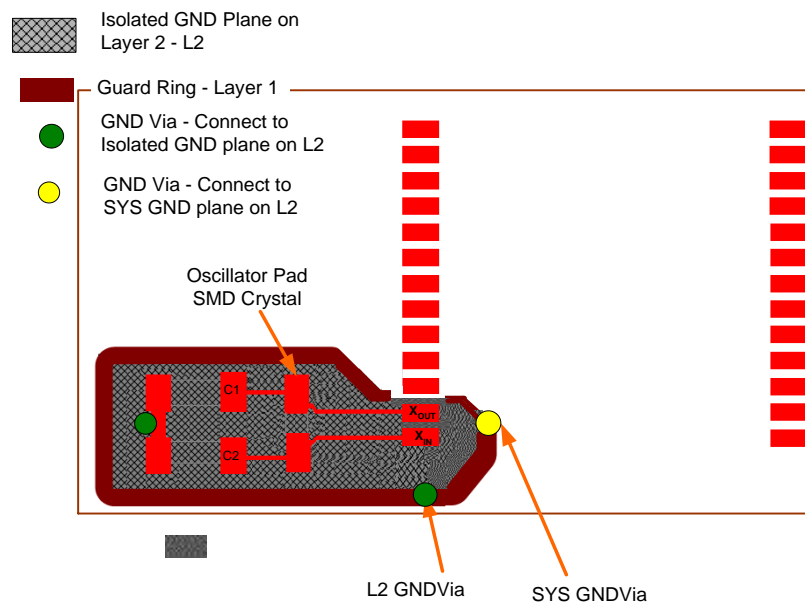
6.1 信号路由

布线 nvSRAM RTC 电路时，电路板布局必须符合（但不限于）下述各指南。按照这些指导，您能够得到 nvSRAM RTC 设计的最佳性能。

- 进行放置时，尽可能将晶体放置在接近 X_{IN} 和 X_{OUT} 引脚的位置。使晶体和 RTC 之间的走线长度相等，并尽量缩短该长度，以便通过缩短天线来降低噪声耦合的可能性。
- X_{IN} 和 X_{OUT} 走线宽度必须小于 8 密耳。走线宽度越大，走线电容也会越大。这些连接焊盘和走线的宽度越大，噪声从相邻信号耦合的可能性也越大。
- 通过在晶振电路周围提供一个保护环来屏蔽 X_{IN} 和 X_{OUT} 信号。这个保护环可阻止来自相邻信号的噪声耦合。
- 在 RTC 走线附近布置其他高速度信号时，需要特别注意。晶体与电路板上其他信号的相隔距离越远，噪声耦合到晶体的可能性越小。在电路板上，保持 X_{IN} 、 X_{OUT} 走线以及其他任何高速度信号之间的距离最小为 200 mil。
- 在 PCB 的同一层上，请勿在晶体组件下面布置任何信号。
- 在邻近 PCB 层上创造一个独立、实心的铜质层，该层位于晶体电路下面，其目的是阻止布置在 PCB 其他信号层上的走线的意外噪声耦合。在同一个 PCB 层上，本地层与其相邻层之间的距离至少为 40 密耳。实心层只应该位于 RTC 组件附近的范围内，其外围要等于保护环的外围。

图 8 显示了 nvSRAM RTC 电路的推荐布局。

图 8. nvSRAM RTC 的推荐布局



6.2 RTC 时钟校准

通过一个石英控制振荡器以 32.768 kHz 的额定频率驱动 RTC。时钟精度取决于晶振的品质，通常在 25 °C 条件下限制为 ± 20 ppm。相当于每月 1.53 分钟的误差。nvSRAM RTC 采用的数字校准电路在 25 °C 条件下可将精度提高到 $+1/-2$ ppm。该校准电路增加或减去了振荡器分频电路中的计数。脉冲被抑制（减少，负校准）或拆分（增加，正校准）的计数取决于加载到在校准控制寄存器中的五个校准位的值。增加计数可使时钟加速，减少计数可使时钟减速。校准位占用控制寄存器中的五个低位。这些位被设置以表示二进制形式中的 0 到 31 范围内的任何值。D5 位是符号位，其中 ‘1’ 表示正校准，‘0’ 表示负校准。校准在 64 分钟的周期内发生。

对于周期内的前 62 分钟（每分钟一次），可能有一秒被缩短为 128 个振荡器周期或被延长为 256 个振荡器周期。如果将二进制 “1” 值加载到寄存器内，只能在 64 分钟周期的前两分钟进行修改；如果加载了二进制 “6” 值，则只能在前 12 分钟内进行修改，如此类推。因此，每个校准步骤可以对每 125,829,120 个实际振荡器周期执行增加 512 个或减少 256 个振荡器周期，即校准寄存器中的每个校准步骤有 $+4.068$ 或 -2.034 ppm 的调整。

为了确定校准值，请将标记寄存器中的 CAL 位设置成 1。这便导致 INT 引脚以 512 Hz 的额定频率进行切换。任何偏离 512 Hz 的偏差表示所需纠正的大小和方向。例如，512.01024 Hz 表示误差为 $+20$ ppm，需要将 -10 (001010) 加载到校准寄存器内。请注意，设置或改变校准寄存器不会影响测试输出频率。关于 nvSRAM RTC 时钟校准技术的更多信息，请参见 AN53313。

6.3 nvSRAM RTC 的故障排除指南

赛普拉斯的 nvSRAM RTC 故障排除指南 KBA94279 会指出 nvSRAM RTC 在系统中的常见问题，并提供了相应的解决方案。

7 总结

为了得到 RTC 电路所需的精度，您必须考虑到各种直接影响 RTC 性能的因素。这些因素为晶振和组件选择、布局设计规则以及工作条件。本应用笔记突出显示了得到所需 nvSRAM RTC 性能时需要遵循的关键设计规则。

8 相关文档

应用手册

- [AN53313](#) — 赛普拉斯 nvSRAM 中的实时时钟校准

数据手册

- [CY14B101P](#): 带有实时时钟的 1 Mbit (128 K × 8) 串行 SPI nvSRAM
- [CY14B512P](#): 带有实时时钟的 512 Kbit (64 K × 8) 串行 (SPI) nvSRAM
- [CY14B256P](#): 带有实时时钟的 256 Kbit (32 K × 8) 串行 (SPI) nvSRAM
- [CY14B104K](#)、[CY14B104M](#): 带有实时时钟的 4 Mbit (512 K × 8/256 K × 16) nvSRAM
- [CY14C064I](#)、[CY14B064I](#)、[CY14E064I](#): 带有实时时钟的 64 Kbit (8 K × 8) 串行 (I2C) nvSRAM
- [CY14C064PA](#)、[CY14B064PA](#)、[CY14E064PA](#): 带有实时时钟的 64 Kbit (8 K × 8) SPI nvSRAM
- [CY14C256I](#)、[CY14B256I](#)、[CY14E256I](#): 带有实时时钟的 256 Kbit (32 K × 8) 串行 (I2C) nvSRAM
- [CY14C256PA](#)、[CY14B256PA](#)、[CY14E256PA](#): 带有实时时钟的 256 Kbit (32 K × 8) SPI nvSRAM
- [CY14C512I](#)、[CY14B512I](#)、[CY14E512I](#): 带有实时时钟的 512 Kbit (64 K × 8) 串行 (I2C) nvSRAM
- [CY14C101I](#)、[CY14B101I](#)、[CY14E101I](#): 带有实时时钟的 1 Mbit (128 K × 8) 串行 (I2C) nvSRAM
- [CY14C101PA](#)、[CY14B101PA](#)、[CY14E101PA](#): 带有实时时钟的 1 Mbit (128 K × 8) 串行 (SPI) nvSRAM
- [CY14B104K](#)、[CY14B104M](#): 带有实时时钟的 4 Mbit (512 K × 8/256 K × 16) nvSRAM
- [CY14B108K](#)、[CY14B108M](#): 带有实时时钟的 8 Mbit (1024 K × 8/512 K × 16) nvSRAM
- [CY14B116K](#)、[CY14B116M](#): 带有实时时钟的 16 Mbit (2048 K × 8/1024 K × 16) nvSRAM

知识库文章

- [KBA94279](#) — nvSRAM 和 FRAM 的故障排除指南

关于作者

名称: Shivendra Singh

职务: 首席应用工程师

文档修订记录

文档标题：AN61546 — 非易失性静态随机存取存储器（nvSRAM）实时时钟（RTC）的设计指南和最佳实践

文档编号：001-92100

版本	ECN	变更者	提交日期	变更说明
**	4341498	HENG	04/11/2014	本档版本号为 Rev**，译自英文版 001-61546 Rev*C。
*A	4345910	YLIU	04/14/2014	本档版本号为 Rev*A，译自英文版 001-61546 Rev*C。
*B	4802478	YLIU	06/23/2014	本档版本号为 Rev*B，译自英文版 001-61546 Rev*F。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC®解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

PSoC 是赛普拉斯半导体公司的注册商标且 PSoC Creator 是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

	赛普拉斯半导体公司 198 Champion Court San Jose, CA 95134-1709	电话 : 408-943-2600 传真 : 408-943-4730 网址 : www.cypress.com
---	--	---

©赛普拉斯半导体公司, 2010-2015。 此处所包含的信息可能会随时更改, 恕不另行通知。 除赛普拉斯产品内嵌的电路外, 赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。 也不会根据专利权或其他权利以明示或暗示方式授予任何许可。 除非与赛普拉斯签订明确的书面协议, 否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。 此外, 对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统, 赛普拉斯不授权将其产品用作此类系统的关键组件。 若将赛普拉斯产品用于生命支持系统, 则表示制造商将承担因此类使用而招致的所有风险, 并确保赛普拉斯免于因此而受到任何指控。

该源代码 (软件和/或固件) 均归赛普拉斯半导体公司 (赛普拉斯) 所有, 并受全球专利法规 (美国和美国以外的专利法规)、美国版权法以及国际条约规定的保护和约束。 赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可, 用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品, 并且其目的只能是创建自定义软件和/或固件, 以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。 除上述指定的用途外, 未经赛普拉斯明确的书面许可, 不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明: 赛普拉斯不针对此材料提供任何类型的明示或暗示保证, 包括 (但不限于) 针对特定用途的适销性和适用性的暗示保证。 赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。 赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。 对于合理预计可能发生运转异常和故障, 并对用户造成严重伤害的生命支持系统, 赛普拉斯不授权将其产品用作此类系统的关键组件。 若将赛普拉斯产品用于生命支持系统, 则表示制造商将承担因此类使用而招致的所有风险, 并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受限于赛普拉斯软件许可协议。