

**AN58815**
**与 90 nm 技术 QDR® SRAM 系列相比 65 nm 技术的优势**

 作者: **Jayasree Nayar**

相关项目: 无

 相关器件系列: **CY7C13xxKV18、CY7C14xxKV18  
CY7C15xxKV18、CY7C25xxKV18、CY7C16xxKV18、CY7C26xxKV18**

软件版本: 无

 相关应用笔记: **AN42468、AN54908**

本应用笔记概述了从 90 nm 技术 QDR® SRAM 器件移植到 65 nm 技术 QDR® SRAM 器件的好处。

**简介**

与 90 nm 技术系列相比, 65 nm 技术 QDR 器件系列的优点很显著。本应用笔记介绍的是从 90 nm 器件移植到 65 nm 器件的指南及其优点。

**概述**

表 1 加亮部分显示的是 65 nm 和 90 nm QDR 器件系列的各项特性, 以及这两种器件系列之间的区别。

**表 1. 65 nm 和 90 nm QDR 器件系列各自的特性**

		QDR II	DDRII	DDRII SIO	QDRII+	QDRII+	DDRII+	DDRII+	DDRII+ SIO	DDRII+ SIO
读延迟 — 90 nm 和 65 nm		1.5	1.5	1.5	2	2.5	2	2.5	2	2.5
写延迟 — 90 nm 和 65 nm		1	1	1	1	1	1	1	1	1
频率 (突发长度为 4)	65 nm	333 MHz	333 MHz	N/A	450 MHz	550 MHz	450 MHz	550 MHz	N/A	N/A
	90 nm	300 MHz	300 MHz	N/A	400 MHz	450 MHz	400 MHz	450 MHz	N/A	N/A
带宽 <sup>[1]</sup> (突发长度为 4)	65 nm	48 Gbps	24 Gbps	N/A	64 Gbps	80 Gbps	32 Gbps	40 Gbps	N/A	N/A
	90 nm	44 Gbps	22 Gbps	N/A	58 Gbps	64 Gbps	29 Gbps	32 Gbps	N/A	N/A
I <sub>dd</sub> — 有效电流 <sup>[2, 4]</sup> (突发长度为 4)	65 nm	850 mA	510 mA	N/A	1100 mA	1310 mA	630 mA	740 mA	N/A	N/A
	90 nm	1040 mA	900 mA	N/A	1300 mA	1475 mA	950 mA	1050 mA	N/A	N/A
I <sub>ddq</sub> — I/O 切换电流 <sup>[3, 4]</sup> (突发长度为 4)	65 nm	90 mA	90 mA	N/A	120 mA	150 mA	120 mA	150 mA	N/A	N/A
	90 nm	80 mA	80 mA	N/A	110 mA	120 mA	110 mA	120 mA	N/A	N/A

65 nm	90 nm	65 nm 和 90 nm
-------	-------	---------------

<sup>1</sup> 最大带宽 = 最大频率 x 数据速率 x 最大总线宽度 x 端口数量

<sup>2</sup> 上面指定的有效电流 (以用于比较目的) 是 72M QDRII/DDRII/QDRII+/DDRII+ SRAM 的值。请访问下面的链接, 参考其他密度 SRAM 的有效电流 (I<sub>dd</sub>) 相关产品数据手册: <http://www.cypress.com/?id=95>

<sup>3</sup> 上面指定的 I/O 切换电流用于进行比较。这些值都是根据 1.5 V V<sub>ddq</sub>、5 pF 加载电容、36 个开关 I/O 以及上面所述的最高频率得到。

<sup>4</sup> 要想计算 SRAM 的总功耗, 请参考下面路径中介绍的工具: <http://www.cypress.com/?docID=23984>

表 1. 65 nm 和 90 nm QDR 器件系列各自的特性

		QDR II	DDRII	DDRII SIO	QDRII+	QDRII+	DDRII+	DDRII+	DDRII+ SIO	DDRII+ SIO
频率 (突发长度为 2)	65 nm	333 MHz	333 MHz	333 MHz	333 MHz	333 MHz	450 MHz	550 MHz	450 MHz	550 MHz
	90 nm	300 MHz	300 MHz	300 MHz	300 MHz	300 MHz	400 MHz	450 MHz	N/A	N/A
带宽 <sup>[1]</sup> (突发长度为 2)	65 nm	48 Gbps	24 Gbps	24 Gbps	48 Gbps	48 Gbps	32 Gbps	40 Gbps	64 Gbps	80 Gbps
	90 nm	44 Gbps	22 Gbps	22 Gbps	44 Gbps	44 Gbps	29 Gbps	32 Gbps	N/A	N/A
Idd — 有效电流 <sup>[2, 4]</sup> (突发长度为 2)	65 nm	990 mA	640 mA	640 mA	990 mA	990 mA	820 mA	970 mA	820 mA	970 mA
	90 nm	1215 mA	1020 mA	980 mA	N/A	1150 mA	1420 mA	1420 mA	N/A	N/A
Iddq — I/O 开关电流 <sup>[3, 4]</sup> (突发长度为 2)	65 nm	90 mA	90 mA	90 mA	90 mA	90 mA	120 mA	150 mA	120 mA	150 mA
	90 nm	80 mA	80 mA	80 mA	N/A	80 mA	110 mA	120 mA	N/A	N/A
输入/输出电容 <sup>[5]</sup>	65 nm	4 pF/4 pF	4 pF/4 pF	4 pF/4 pF	4 pF/4 pF	4 pF/4 pF	4 pF/4 pF	4 pF/4 pF	4pF/4 pF	4 pF/4 pF
	90 nm	5.5 pF/6 pF	5.5 pF/6 pF	5.5 pF/6 pF	5 pF/7 pF	5 pF/7 pF	5 pF/8 pF	5 pF/8 pF	N/A	N/A
输出数据 (C, C#) — 90 nm 和 65 nm		有			无					
QVLD (有效输出数据指示器) — 90 nm 和 65 nm		无			有					
ODT (片内终端) — 仅适用于 65 nm。不可用于 90 nm。		无			有					
容量	65 nm	18 Mb、36 Mb、72 Mb 和 144 Mb								
	90 nm	18 Mb、36 Mb、72 Mb								
组织 (总线宽度) — 90 nm 和 65 nm		x9、x18、x36								
VDD (内核) — 90 nm 和 65 nm		1.8 V ± 0.1 V								
VDDQ (I/O) — 90 nm and 65 nm		1.8 V ± 0.1 V 或 1.5 V ± 0.1 V								
SER (FIT/Mb) <sup>[6]</sup>	单比特逻辑错误 (LSBU) — 65 nm	85 °C 时为 216								
	单比特逻辑错误 (LSBU) — 90 nm	85 °C 时为 368								
	多比特逻辑错误 (LMBU) — 90 nm 和 65 nm	85 °C 时为 0.01								
SEL (FIT/Dev) — 90 nm 和 65 nm		85 °C 时为 0.1								
时钟生成和锁定时间	锁相环 (PLL) — 65 nm <sup>[7]</sup>	有 (PLL 锁定时间): 20 μs <sup>[8]</sup>								
	延迟锁定回路 (DLL) — 90 nm	有 (DLL 锁定时间): QDRII/DDRII 为 1024 个时钟周期和 QDRII+/DDRII+ 为 2048 个时钟周期								
随路时钟 (CQ, CQ#)		有								
PKG — 90 nm 和 65 nm		165 球形焊盘 FBGA								

65 nm	90 nm	65 nm 和 90 nm
-------	-------	---------------

<sup>5</sup> 上面指定的各电容值 (以用于比较目的) 是 72M QDRII/DDRII/QDRII+/DDRII+ SRAM 的值。请访问下面的链接, 参考其他密度 SRAM 的电容的相关产品的数据手册: <http://www.cypress.com/?id=95>

<sup>6</sup> 欲了解更多详细信息, 请参考应用笔记 AN54908“加速中于 SER 测试和地面故障率的计算”的内容

<sup>7</sup> PLL 锁定时间为 20 μs 是 QDR 联盟定义的规范。赛普拉斯的 65 nm QDR 器件系列与 90 nm QDR 器件系列向后兼容。这是因为这两种器件系列的 PLL 锁定时间都满足 QDRII 或 DDRII 器件 (1024 个时钟周期) 和 QDRII+或 DDRII+器件 (2048 个时钟周期) 的要求

<sup>8</sup> 时钟周期数量 = 频率 x 20 μs

## 65 nm 计数器件的优点

### 更高的工作频率

65 nm 技术器件能够以更高的工作频率（550 MHz）运行，并且总数据速率可达 80 Gbps<sup>1</sup>。与 90 nm QDR 器件系列（最大频率可达 450 MHz）相比，65 nm 器件系列显著提高了带宽（~25%）。这样能够满足网络应用要求的更高带宽。

### 功耗更低

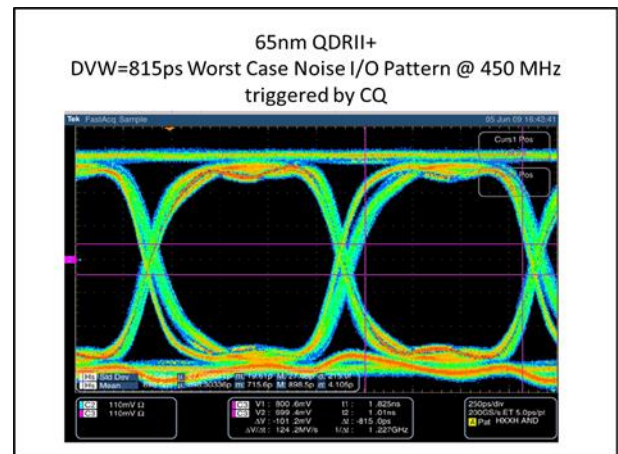
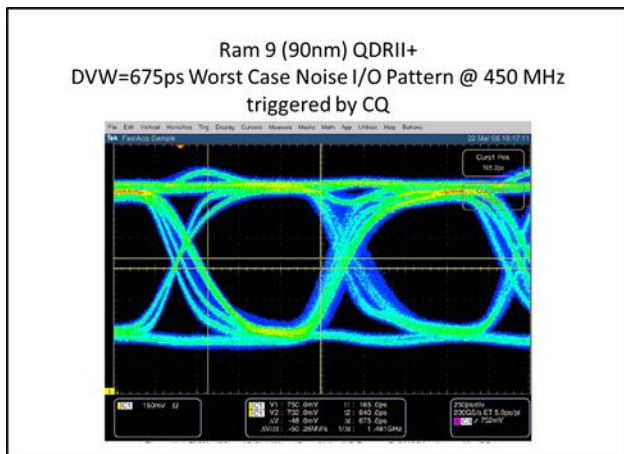
与同等的 90 nm 技术 QDR 器件相比，65 nm 技术 QDR 器件的功耗更低。情况最差时，仍可以节省~30%的功耗。

### 改进有效数据窗口

与 90 nm QDR 器件相比，65 nm QDR 器件将输出的有效数据窗口宽度提高了 21%。此改进通过使用锁相环（PLL）生成的低抖动时钟实现，而不是通过使用 90 nm 技术器件中的延迟锁定回路（DLL）实现。PLL 对输入滤波器进行滤波，并纠正各输入的所有占空比失真。通过改进后的有效数据窗口可以得到 65 nm 技术器件的时序容限的最佳状态。

图 1 显示的是工作频率为 500 MHz 时，90 nm QDRII+ 和 65 nm QDRII+ 器件的有效数据窗口的比较情况。如该图所示，65 nm QDRII+ 器件显著提高了它的数据窗口的宽度（~21%）。

图 1. 有效数据窗口的比较（从实验中获取）



### 提高信号完整性

65 nm 技术 QDRII+ 或 DDRII+ 器件具有一个片内终端，用于各输入，如数据输入、字节写信号和输入时钟（K/Kb）。但 90 nm 技术的 QDRII+ 或 DDRII+ 器件中没有该特性。由于片内终端不需要使用外部终端电阻，因此它能够提高信号的完整性，从而简化电路板的布线，并降低成本、电路板面积和外部电阻的功耗。更多关于片内终端的详细信息，请查看应用笔记 [AN42468—QDRII+/DDRII+ SRAM 的片内终端](#)。

### 低输入/输出电容

与 90 nm 器件系列相比，65 nm QDR 器件系列的输入和输出电容降低了~50%。这样能够降低回波损耗，从而降低输入的反射或中断。更小的电容也会使输入的交流功耗变低。

## 更低功耗和结温计算

### 功耗 (P<sub>d</sub>)

使用下面的公式计算功耗:

$P_d = \text{内核功耗} + \text{I/O 开关功耗}$

$$P_d = V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N$$

其中:

$V_{DD}$  = 内核电压

$I_{DD}$  = 工作电流

$\alpha$  = 活动因子, 或者是输出的切换频率与时钟频率之间的比例

$f$  = 工作频率

$C_L$  = 外部负载电容

$V_{DDQ}$  = I/O 电压

$N$  = 正在切换的 I/O 的数量

表 2 显示了与 90 nm 器件相比 65 nm 器件所具有的优质额定功率。

表 2. 65 nm 与 90 nm QDR-II+ 器件之间的功耗比较

65 nm QDR-II+ SRAM (18 Mb) CY7C1165KV18-400BZC	90 nm QDR-II+ SRAM (18 Mb) CY7C1165V18-400BZC
$V_{DD} = 1.8 \text{ V}$	$V_{DD} = 1.8 \text{ V}$
$I_{DD} = 850 \text{ mA}$	$I_{DD} = 1080 \text{ mA}$
$\alpha = 1$	$\alpha = 1$
$f = 400 \text{ MHz}$	$f = 400 \text{ MHz}$
$C_L = 5 \text{ pF}$	$C_L = 5 \text{ pF}$
$V_{DDQ} = 1.5 \text{ V}$	$V_{DDQ} = 1.5 \text{ V}$
$N = 36$	$N = 36$
因此: $P_d = V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N$ $P_d = 1.8 \text{ V} \times 850 \text{ mA} + 1 \times 400 \text{ MHz} \times 5 \text{ pF} \times (1.5 \text{ V})^2 \times 36$	因此: $P_d = V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N$ $P_d = 1.8 \text{ V} \times 1080 \text{ mA} + 1 \times 400 \text{ MHz} \times 5 \text{ pF} \times (1.5 \text{ V})^2 \times 36$
<b>总功耗 = 1692 mW</b>	<b>总功耗 = 2106 mW</b>

### 结温 (T<sub>J</sub>)

使用下面的公式计算结温:

$$T_J = P_d \theta_{JA} + T_A$$

其中:

$\theta_{JA}$  为结温热阻抗

$T_A$  为环境温度

$P_d$  为功耗

表 3 显示与 90 nm 器件相比，65 nm 器件具有更低的结温。

表 3. 65 nm 与 90 nm QDR-II+ 器件间的结温 (T<sub>J</sub>) 比较

65 nm QDR-II+ SRAM (18 Mb) CY7C1165KV18-400BZC (165 BGA)	90 nm QDR-II+ SRAM (18 Mb) CY7C1165V18-400BZC (165 BGA)
$\theta_{JA} = 18.96 \text{ }^\circ\text{C/W}$	$\theta_{JA} = 17.2 \text{ }^\circ\text{C/W}$
$T_A = 60 \text{ }^\circ\text{C}$	$T_A = 60 \text{ }^\circ\text{C}$
$P_d = 1692 \text{ mW}$	$P_d = 2106 \text{ mW}$
因此: $T_J = P_d \theta_{JA} + T_A$ $T_J = (1692 \text{ m} \times 18.96) + 60$ <b>结温 = 92.08 °C</b>	因此: $T_J = P_d \theta_{JA} + T_A$ $T_J = (2106 \text{ m} \times 17.2) + 60$ <b>结温 = 96.22 °C</b>

## 总结

65 nm 技术 QDR 器件系列提供的性能更好和带宽更大，几乎不需要对现有的电路板进行任何修改。与 90 nm 技术器件相比，它降低了功耗、输入/输出电容，改进了有效数据窗口，并通过使用片内终端器件提供了更好的信号完整性。

## 文档修订记录

文档标题: AN58815 — 与 90 nm 技术 QDR® SRAM 系列相比 65 nm 技术的优势

文档编号: 001-92153

版本	ECN	变更者	提交日期	变更说明
**	4346093	YLIU	04/26/2014	本文档版本号为 Rev**, 译自英文版 001-58815 Rev*D。
*A	4722950	LISZ	04/30/2015	本文档版本号为 Rev*A, 译自英文版 001-58815 Rev*E。

## 销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问 [赛普拉斯所在地](#)。

## 产品

汽车级	<a href="http://cyress.com/go/automotive">cyress.com/go/automotive</a>
时钟与缓冲区	<a href="http://cyress.com/go/clocks">cyress.com/go/clocks</a>
接口	<a href="http://cyress.com/go/interface">cyress.com/go/interface</a>
照明与电源控制	<a href="http://cyress.com/go/powerpsoc">cyress.com/go/powerpsoc</a>
存储器	<a href="http://cyress.com/go/memory">cyress.com/go/memory</a>
光学导航传感器	<a href="http://cyress.com/go/ons">cyress.com/go/ons</a>
PSoC	<a href="http://cyress.com/go/psoc">cyress.com/go/psoc</a>
触摸感应	<a href="http://cyress.com/go/touch">cyress.com/go/touch</a>
USB 控制器	<a href="http://cyress.com/go/usb">cyress.com/go/usb</a>
无线/射频	<a href="http://cyress.com/go/wireless">cyress.com/go/wireless</a>

## PSoC®解决方案

[psoc.cyress.com/solutions](http://psoc.cyress.com/solutions)  
PSoC 1 | PSoC 3 | PSoC 5

## 赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

## 技术支持

[cyress.com/go/support](http://cyress.com/go/support)

QDR 是赛普拉斯半导体公司的注册商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

	赛普拉斯半导体 198 Champion Court San Jose, CA 95134-1709	电话 : 408-943-2600 传真 : 408-943-4730 网站地址 : <a href="http://www.cyress.com">www.cyress.com</a>
---	--	---

© 赛普拉斯半导体公司, 2010-2015。此处所包含的信息可能会随时更改, 恕不另行通知。除赛普拉斯产品内嵌的电路外, 赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议, 否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外, 对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统, 赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中, 则表示制造商将承担因此类使用而招致的所有风险, 并确保赛普拉斯免于因此而受到任何指控。

该源代码(软件和/或固件)均归赛普拉斯半导体公司(赛普拉斯)所有, 并受全球专利法规(美国和美国以外的专利法规)、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可, 用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品, 并且其目的只能是创建自定义软件和/或固件, 以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外, 未经赛普拉斯明确的书面许可, 不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明: 赛普拉斯不针对此材料提供任何类型的明示或暗示保证, 包括(但不限于)针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不在此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障, 并对用户造成严重伤害的生命支持系统, 赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中, 则表示制造商将承担因此类使用而招致的所有风险, 并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。