

AN58815
65nm プロセス技術を使った QDR[®] ファミリー SRAM の 90nm 製品に対する優位性

作成者: Jayasree Nayar

関連プロジェクト: なし

 関連製品ファミリー: CY7C13xxKV18、CY7C14xxKV18
 CY7C15xxKV18、CY7C25xxKV18、CY7C16xxKV18、CY7C26xxKV18

ソフトウェアバージョン: なし

関連アプリケーション ノート: AN42468、AN54908

 このアプリケーション ノートでは、65nm QDR[®] ファミリー SRAM の 90nm QDR[®] SRAM に対する優位性を説明します。

はじめに

65nm プロセス技術の QDR ファミリーのデバイスは、90nm ファミリーより大幅な利点をもたらします。このアプリケーション ノートでは、これらの利点と、90nm から 65nm へのデバイス移行のためのガイドラインを説明します。

概要

表 1 では、65nm と 90nm QDR デバイス ファミリーの特長と相違点が強調表示されています。

表 1. 65nm、90nm QDR ファミリーのデバイスの特長

		QDRII	DDRII	DDRII SIO	QDRII+	QDRII+	DDRII+	DDRII+	DDRII+ SIO	DDRII+ SIO
読み出しレイテンシ – 90nm と 65nm		1.5	1.5	1.5	2	2.5	2	2.5	2	2.5
書き込みレイテンシ – 90nm と 65nm		1	1	1	1	1	1	1	1	1
周波数 (4 ワード パースト)	65nm	333MHz	333MHz	該当なし	450MHz	550MHz	450MHz	550MHz	該当なし	該当なし
	90nm	300MHz	300MHz	該当なし	400MHz	450MHz	400MHz	450MHz	該当なし	該当なし
帯域幅 ⁽¹⁾ (4 ワード パースト)	65nm	48Gbps	24Gbps	該当なし	64Gbps	80Gbps	32Gbps	40Gbps	該当なし	該当なし
	90nm	44Gbps	22Gbps	該当なし	58Gbps	64Gbps	29Gbps	32Gbps	該当なし	該当なし
I _{dd} - アクティブ電流 ^(2,4) (4 ワード パースト)	65nm	850mA	510mA	該当なし	1100mA	1310mA	630mA	740mA	該当なし	該当なし
	90nm	1040mA	900mA	該当なし	1300mA	1475mA	950mA	1050mA	該当なし	該当なし
I _{ddq} - I/O スイッチング電流 ^(3,4) (4 ワード パースト)	65nm	90mA	90mA	該当なし	120mA	150mA	120mA	150mA	該当なし	該当なし
	90nm	80mA	80mA	該当なし	110mA	120mA	110mA	120mA	該当なし	該当なし

65nm	90nm	65nm、90nm
------	------	-----------

¹ 最大の帯域幅 = 最大周波数 x データレート x 最大バス幅 x ポート数

² 上記に指定された比較用アクティブ電流は、72M QDRII/DDRII/QDRII+/DDRII+ファミリーの SRAM の値です。容量が異なる SRAM のアクティブ電流 (I_{dd}) に関しては、以下のリンクで、関連製品データシートを参照してください。

<http://www.cypress.com/?id=95>

³ ちなみに、前に述べた I/O スイッチング電流の値は、1.5V V_{ddq}、5pF 負荷静電容量、36 のスイッチング I/O、および前述した最高周波数という仮定に基づいています。

⁴ SRAM が消費する電力を計算するためには、以下のリンクに掲載されているツールを使ってください。

<http://www.cypress.com/?docId=23984>

表 1. 65nm、90nm QDR ファミリのデバイスの特長

		QDRII	DDRII	DDRII SIO	QDRII+	QDRII+	DDRII+	DDRII+	DDRII+ SIO	DDRII+ SIO
周波数 (2 ワード パースト)	65nm	333MHz	333MHz	333MHz	333MHz	333MHz	450MHz	550MHz	450MHz	550MHz
	90nm	300MHz	300MHz	300MHz	300MHz	300MHz	400MHz	450MHz	該当なし	該当なし
帯域幅 ^[1] (2 ワード パースト)	65nm	48Gbps	24Gbps	24Gbps	48Gbps	48Gbps	32Gbps	40Gbps	64Gbps	80Gbps
	90nm	44Gbps	22Gbps	22Gbps	44Gbps	44Gbps	29Gbps	32Gbps	該当なし	該当なし
I _{dd} - アクティブ電流 ^[2,4] (2 ワード パースト)	65nm	990mA	640mA	640mA	990mA	990mA	820mA	970mA	820mA	970mA
	90nm	1215mA	1020mA	980mA	該当なし	1150mA	1420mA	1420mA	該当なし	該当なし
I _{ddq} - I/O スイッチング電流 ^[3,4] (2 ワード パースト)	65nm	90mA	90mA	90mA	90mA	90mA	120mA	150mA	120mA	150mA
	90nm	80mA	80mA	80mA	該当なし	80mA	110mA	120mA	該当なし	該当なし
入力/出力静電容量 ^[5]	65nm	4pF/4pF	4pF/4pF	4pF/4pF	4pF/4pF	4pF/4pF	4pF/4pF	4pF/4pF	4pF/4pF	4pF/4pF
	90nm	5.5pF/6pF	5.5pF/6pF	5.5pF/6pF	5pF/7pF	5pF/7pF	5pF/8pF	5pF/8pF	該当なし	該当なし
出力データの入力クロック (C、C#) – 90nm と 65nm		有			無					
QVLD (有効な出力データ表示) – 90nm と 65nm		無			有					
ODT (オンダイ終端) – 65nm のみ適用可能。 90nm に対応しない。		無			有					
容量	65nm	18Mb、36Mb、72Mb、144Mb								
	90nm	18Mb、36Mb、72Mb								
構成 (バス幅) – 90nm と 65nm		x9、x18、x36								
VDD (コア) – 90nm と 65nm		1.8V±0.1V								
VDDQ (I/O) – 90nm と 65nm		1.8V±0.1V または 1.5V±0.1V								
SER (FIT/Mb) ^[6]	単一論理ビット反転 (LSBU) – 65nm	216 (85°C の場合)								
	単一論理ビット反転 (LSBU) – 90nm	368 (85°C の場合)								
	複数論理ビット反転 (LMBU) – 90nm、65nm	0.01 (85°C の場合)								
SEL (FIT/Dev) – 90nm、65nm		0.1 (85°C の場合)								
クロックの生成及びロック時間	フェーズロック ループ (PLL) – 65nm ^[7]	有 (PLL のロック時間): 20µs ^[8]								
	遅延ロックループ (DLL) – 90nm	有り (DLL ロック時間): 1024 クロック サイクル (QDRII/DDRII の場合)、2048 クロック サイクル (QDRII+/DDRII+ の場合)								
エコ クロック (CQ、CQ#)		有								
PKG—90nm、65nm		165 ボール FBGA								

65nm	90nm	65nm、90nm
------	------	-----------

⁵ ちなみに、前述した容量の値は、72M QDRII/DDRII/QDRII+/DDRII+ファミリの SRAM の値です。容量の異なる SRAM の関連製品データシートは、以下のリンクを参照してください。
<http://www.cypress.com/?id=95>

⁶ 詳細は、「Accelerated Neutron SER Testing and Calculation of Terrestrial Failure Rates – AN54908」のアプリケーション ノートを参照してください。

⁷ PLL の 20µs のロック時間は、QDR 協会が定義する仕様です。サイプレスの 65nm QDR ファミリのデバイスは、90nm QDR ファミリ デバイスと下位互換性を備えています。このデバイスでは、PLL ロック時間は、QDRII、DDRII デバイスの場合は 1024 クロック サイクルで、QDRII+、DDRII+ デバイスの場合は 2048 クロック サイクルです。

⁸ クロック サイクルの数= 周波数 x 20µs

65nm プロセス技術を使ったデバイスの利点

より高速な動作周波数

65nm プロセス技術を使ったデバイスは、550MHz までの動作周波数および 80Gbps¹ までの合計データレートで動作することが可能です。これにより、450MHz までの最大周波数で動作できる 90nm QDR ファミリのデバイスに比べて帯域幅を 25 パーセントまで大幅に改善できます。動作周波数の向上は、アプリケーション ネットワークにおける高帯域幅の要求を満たします。

低消費電力

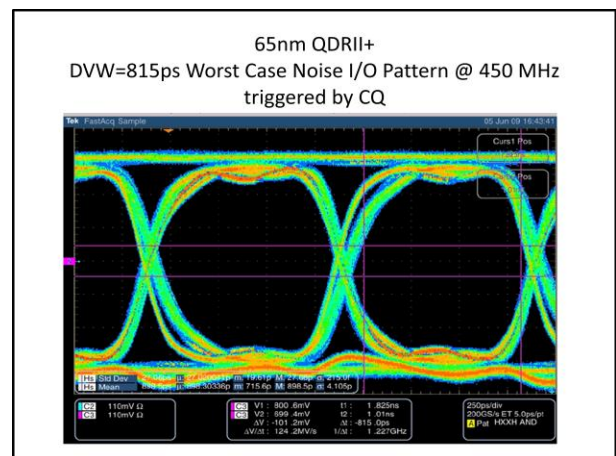
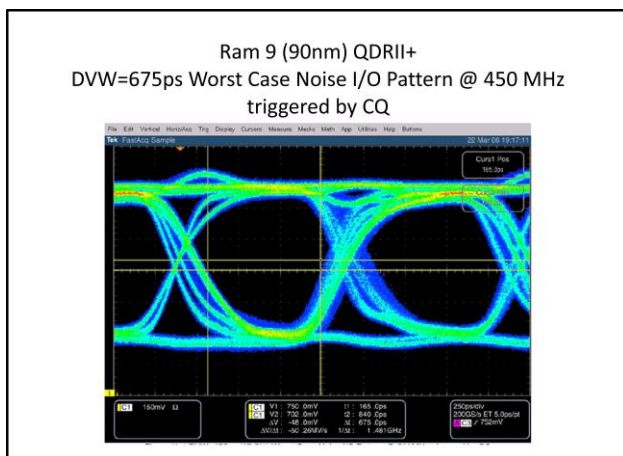
65nm QDR デバイスの消費電力は、同等の 90nm QDR デバイスより低いです。最悪の場合でさえ電力は 30%節約できます。

データ有効ウィンドウの改善

65nm QDR デバイスの出力用のデータ有効ウィンドウは 90nm QDR デバイスより約 21% 広いです。この改善は、90nm デバイスの遅延ロックループ (DLL) の代わりに低ジッタクロックを生成する位相ロックループ (PLL) を使用して達成されます。PLL は、入力ジッタをフィルタ処理し、入力のデューティサイクル歪を補正します。改良されたデータ有効ウィンドウは、65nm プロセス技術を使ったデバイスがより良いタイミング マージンを実現するのに役立っています。

図 1 では、500MHz での 90nm QDRII+ と 65nm QDRII+ デバイス間のデータ有効ウィンドウの比較をしています。この図が示しているように、65nm QDRII+ デバイスのデータ有効ウィンドウの大幅な改善 (~21%) が見られます。

図 1. データ有効ウィンドウの比較 (実験室で採ったデータ)



信号品質 (シグナル インテグリティ) の改善

65nm QDRII+、DDRII+ デバイスは、データ入力、バイト書き込み信号、および入力クロック (K/Kb) などの入力用のオンダイ終端を持っています。90nm プロセス技術を使った QDRII+、DDRII+ デバイスはこの機能がありません。オンダイ終端は、外部終端抵抗のニーズを排除するため信号の堅固性を向上させます。それによって、基板の配線が簡易化され、費用、基板面積、そして外部抵抗が消費する電力を減少させます。オンダイ終端に関する詳細情報は、アプリケーション ノート「AN42468、On-Die Termination for QDRII+/DDRII+ SRAMs」を参照してください。

低入出力容量

前身である 90nm プロセス技術を使ったデバイスと比べて 65nm QDR ファミリの SRAM は、約 50%低い入出力容量を持っています。これにより、反射減衰量が少なくなって、入力における反射と不連続も少なくなります。容量が低ければ低いほど入力での AC 消費電力は低くなります。

低消費電力および接合部の温度

消費電力 (P_d)

以下の式に基づいて消費電力を計算します:

P_d = コア消費電力 + I/O 切り替え消費電力

$$P_d = V_{DD} I_{DD} + \alpha f C_L V_{DDQ}^2 N$$

ここで:

V_{DD} = コア電圧

I_{DD} = 有効電流

α = 動作係数、つまり出力が切り替わる周波数とクロック周波数の比率

f = 動作周波数

C_L = 外部負荷容量

V_{DDQ} = I/O 電圧

N = スイッチングする I/O の数

表 2 に、65nm デバイスは 90nm デバイスより電力定格が優れていることを示します。

表 2. 65nm と 90nm QDR-II+ デバイスの消費電力の比較

65nm QDR-II+ SRAM (18Mb) CY7C1165KV18-400BZC	90nm QDR-II+ SRAM (18Mb) CY7C1165V18-400BZC
V _{DD} = 1.8V	V _{DD} = 1.8V
I _{DD} = 850mA	I _{DD} = 1080mA
α = 1	α = 1
f = 400MHz	f = 400MHz
C _L = 5pF	C _L = 5pF
V _{DDQ} = 1.5V	V _{DDQ} = 1.5V
N = 36	N = 36
よって: P _d = V _{DD} I _{DD} + α f C _L V _{DDQ} ² N P _d = 1.8V x 850mA + 1 x 400MHz x 5pF x (1.5V) ² x 36	よって: P _d = V _{DD} I _{DD} + α f C _L V _{DDQ} ² N P _d = 1.8V x 1080mA + 1 x 400MHz x 5pF x (1.5V) ² x 36
総消費電力 = 1692mW	総消費電力 = 2106mW

接合部温度 (T_J)

以下の式を使って接合部の温度を計算します。

$$T_J = P_d \theta_{JA} + T_A$$

ここで:

θ_{JA} = 接合部から周囲の熱抵抗

T_A = 周囲温度

P_d = 消費電力

表 3 に、65nm デバイスは 90nm デバイスより接合部温度の定格が低いことを示します。

表 3. 65nm と 90nm QDR-II+ デバイスの接合部温度 (T_J) の比較

65nm QDR-II+ SRAM (18Mb) CY7C1165KV18-400BZC (165 BGA)	90nm QDR-II+ SRAM (18Mb) CY7C1165V18-400BZC (165 BGA)
$\theta_{JA} = 18.96^{\circ}\text{C}/\text{W}$	$\theta_{JA} = 17.2^{\circ}\text{C}/\text{W}$
$T_A = 60^{\circ}\text{C}$	$T_A = 60^{\circ}\text{C}$
$P_d = 1692\text{mW}$	$P_d = 2106\text{mW}$
よって: $T_J = P_d \theta_{JA} + T_A$ $T_J = (1692\text{m} \times 18.96) + 60$ 接合部温度 = 92.08[°]C	よって: $T_J = P_d \theta_{JA} + T_A$ $T_J = (2106\text{m} \times 17.2) + 60$ 接合部温度 = 96.22[°]C

まとめ

65nm プロセス技術を使った QDR ファミリーのデバイスでは、既存の基板の少しの変更で、より高い性能と高い帯域幅を実現することができます。90nm プロセス技術を使ったデバイスに比べて、65nm プロセス技術を使ったデバイスはオンダイ終端を備えたデバイスがっているため、消費電力や入出力容量がより低く、データ有効ウィンドウと信号品質 (シグナル インテグリティ) が改善されています。

改訂履歴

文書名: AN58815 – 65nm プロセス技術を使った QDR[®] ファミリ SRAM の 90nm 製品に対する優位性

文書番号: 001-92735

版	ECN 番号	変更者	発行日	変更内容
**	4395709	HZEN	06/12/2014	これは英語版 001-58815 Rev. *D を翻訳した日本語版 92735 Rev. ** です。
*A	4722966	HZEN	04/25/2015	これは英語版 001-58815 Rev. *E を翻訳した日本語版 92735 Rev. *A です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電源管理	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
光学式ナビゲーション センサー	cypress.com/go/ons
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/usb
無線/RF	cypress.com/go/wireless

PSoC[®]ソリューション

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 5

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

QDR は、サイプレス セミコンダクタ社の登録商標です。本書で言及するその他すべての商標または登録商標は、各社の所有物です。



Cypress Semiconductor Phone : 408-943-2600
198 Champion Court Fax : 408-943-4730
San Jose, CA 95134-1709 Website : www.cypress.com

© Cypress Semiconductor Corporation, 2010-2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することは全て禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ契約の対象となる場合があります。