

## サイプレスの Excelon™ -Ultra Quad SPI (QSPI) F-RAM™ による設計

著者: Shivendra Singh

関連製品ファミリ: CY15x102QSx、CY15x104QSx、CY15x108QSx

本書 (AN218375) は Quad SPI (QSPI) をご紹介し、サイプレスの Excelon™-Ultra QSPI F-RAM を使用した設計方法について説明します。QSPI は標準 SPI プロトコルの拡張版であり、より高い周波数でデータ スループットを最大 4 倍改善しながら、標準シリアル SPI のコンパクトなフォーム ファクターを維持しています。QSPI F-RAM デバイスを使用したシステム設計では、データ スループットと機能が向上し、ピン数が少ないパッケージで基板面積が削減されるため、全体的なシステム開発および集積化コストを削減します。

### 目次

1 はじめに .....	1	4.4 ダミー フェーズ .....	11
2 Excelon-Ultra QSPI F-RAM 信号とインターフェース .....	2	4.5 データ フェーズ .....	12
2.1 Excelon-Ultra QSPI F-RAM 信号詳細 .....	2	5 パワーオンリセット (POR) と初期化 .....	15
2.2 Excelon-Ultra QSPI F-RAM インターフェースの説明 .....	3	5.1 パワー サイクルとパワーオンリセット (POR) .....	15
3 システム インターフェース .....	5	5.2 デバイス初期化 .....	16
4 コマンド プロトコル .....	7	6 ハードウェア/ソフトウェア リセット .....	17
4.1 オペコード フェーズ .....	8	6.1 ハードウェア リセット (RESET) .....	17
4.2 アドレス .....	9	6.2 デフォルト モード回復 (JEDEC SPI リセット) .....	19
4.3 モード フェーズ .....	10	6.3 ソフトウェア リセット .....	19

## 1 はじめに

幅広くマルチメディア、グラフィックスおよび他の大量のデータを処理するコンテンツを管理するために、組込みシステムはより洗練された機能を提供するように進化してきました。これらの機能は多くの場合、ホスト コントローラー (または MCU) において限定的な容量のオンチップ メモリに対して、より大きな容量を必要とします。オンチップ MCU の記憶容量を拡大するために、パラレル インターフェースを備えた外付けメモリが長い間使用されてきました。パラレルのアドレス/データ バスを持つメモリは多ピンパッケージで提供され、これと通信するコントローラーに多くのピンを必要とします。

サイプレスは、コンパクトなフットプリントで高速シリアル アクセスによる高性能メモリを提供することにより上記の問題を軽減するために、Excelon-Ultra Quad SPI (QSPI) 強誘電体 RAM (F-RAM) を開発しました。Excelon-Ultra QSPI F-RAM はクリティカルなシステム パラメータ、システム コード、イメージおよびアイコンなどを格納するための不揮発性 RAM として使用可能であり、加えて、高速でアクセスすることができます。従来の RAM やバッファ付きメモリとは異なり、F-RAM は瞬間的な不揮発性を提供するため、突然の停電や電源異常でもシステムのクリティカルな状態を保存するためのシステム電源バックアップが不要です。

産業用制御と自動化の機器、コンピューティング機器、車載用安全システム、医療機器およびイメージング、ハイエンド データロガーなどの高信頼性アプリケーションは、どんな状況でもデータを失うリスクなしで、最後の瞬間にすべての重要なトランザクションをキャプチャできるように、専用の電源バックアップを備えて設計されます。Excelon-Ultra QSPI F-RAM は電源投入後、ハード ディスクまたはフラッシュなどの不揮発性メモリに最後の瞬間の重要なトランザクションを格納することに必要な電源バックアップを排除することで、このようなシステム アーキテクチャにおいて極めて重要な役割を果たします。

Excelon-Ultra QSPI F-RAM はすべての SPI インターフェース オプションに最大 108MHz のシングル データレート (SDR) をサポートします。また、特定のオペコードのみに最大 54MHz のダブル データレート (DDR) もサポートします。詳細は Excelon-Ultra QSPI F-RAM データシートをご参照ください。

54MHz DDR インターフェースは、108MHz SDR と同じデータ スループットを提供しますが、周波数は半分です。幾つかのシステムは高速 SDR より低周波数の DDR を好みます。これにより、システム コアと I/O の周波数を低くし、従って、データ スループットに影響することなくシステム電力を削減することができます。

## 2 Excelon-Ultra QSPI F-RAM 信号とインターフェース

Excelon-Ultra QSPI F-RAM は、さまざまな SPI インターフェース オプション (従来の (シングルチャネル) SPI、拡張 SPI、排他的デュアル SPI (DPI) および Quad SPI (QPI)) をサポートする、ピン数が少ないシリアル インターフェース デバイスです。これらのオプションは、専用オペコード、またはコンフィギュレーション レジスタを通してのコンフィギュレーション設定により有効にすることができます。

### 2.1 Excelon-Ultra QSPI F-RAM 信号詳細

Excelon-Ultra QSPI F-RAM はコンパクトな 8 ピン パッケージ フットプリントで提供されます – 8 ピン ワイド SOIC (EIAJ) と 8 ピン グリッド QFN (GQFN)。Excelon-Ultra QSPI F-RAM は 8 ピンパッケージで、前述のすべての SPI インターフェース オプションをサポートする多重化 I/O および制御ピンを提供します。表 1 に、SPI 信号の詳細と、対応する SPI インターフェースとのマッピングを示します。

図 1. Excelon-Ultra QSPI F-RAM ブロック図

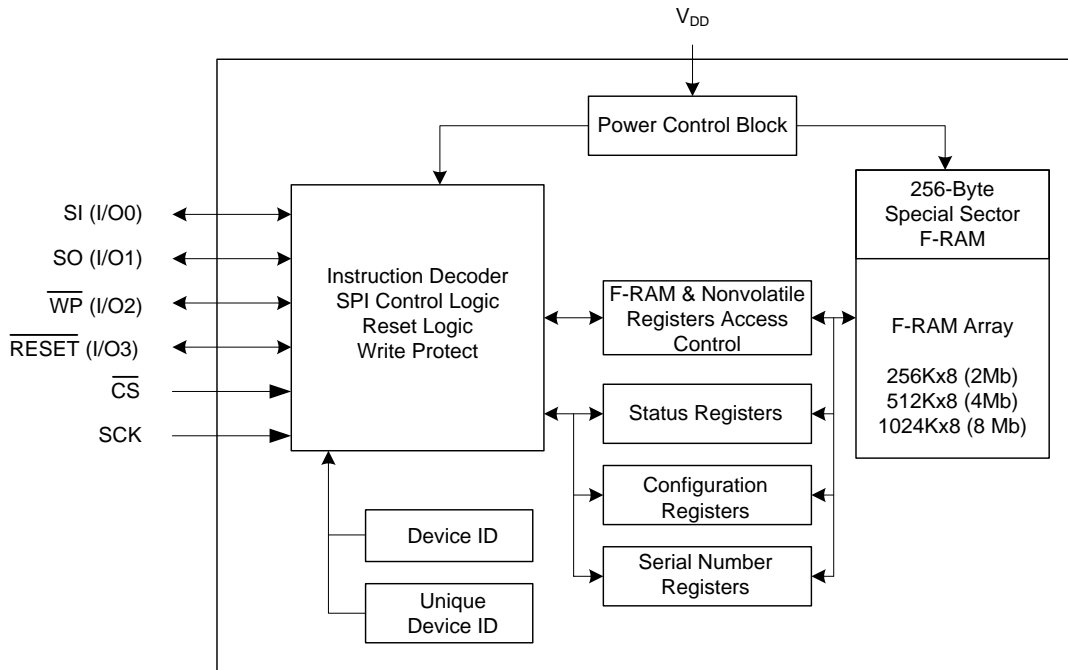


表 1. Excelon-Ultra QSPI F-RAM 信号

信号名	タイプ	信号説明	異なる SPI インターフェースの信号マッピング		
			シングル SPI	デュアル SPI (拡張 SPI デュアルと DPI)	Quad SPI (拡張 SPI Quad と QPI)
SCK	入力	シリアル クロック	SCK		
CS	入力	チップ セレクト	CS		
SI/I/O0	入力	標準 SPI でのシリアル入力	SI	I/O0	I/O0

信号名	タイプ	信号説明	異なる SPI インターフェースの信号マッピング		
			シングル SPI	デュアル SPI (拡張 SPI デュアルと DPI)	Quad SPI (拡張 SPI Quad と QPI)
	入力/出力	デュアルまたは Quad モードでの I/O0			
SO/(I/O1)	入力	標準 SPI でのシリアル出力	SO	I/O1	I/O1
	入力/出力	デュアルまたは Quad モードでの I/O1			
$\overline{\text{WP}}$ /(I/O2)	入力	標準 SPI でのハードウェア書き込み保護	$\overline{\text{WP}}$	$\overline{\text{WP}}$	I/O2
	入力/出力	Quad SPI モードでの I/O2			
$\overline{\text{RESET}}$ /(I/O3)	入力	標準 SPI と DPI でのハードウェアリセット	$\overline{\text{RESET}}$	$\overline{\text{RESET}}$	I/O3
	入力/出力	Quad SPI モードでの I/O3			

## 2.2 Excelon-Ultra QSPI F-RAM インターフェースの説明

少ないピン数のシリアル インターフェース デバイスは、すべての制御、アドレス、モード (該当する場合) およびデータをシリアル転送することにより、ホスト システムとのインターフェースに必要なピンの総数を減らします。これにより、パッケージのコスト、信号スイッチング電力およびホスト側の I/O 数が削減され、ホストでは余った I/O を使用して追加の機能を有効にすることができます。

QSPI F-RAM は以下の 4 つのモードに対応します:

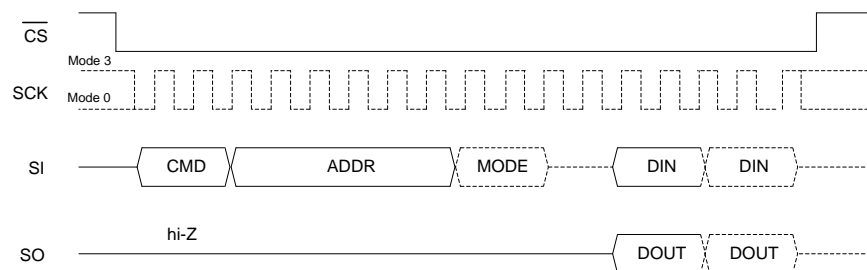
1. シングルチャンネル SPI
2. 拡張 SPI
3. デュアル SPI
4. Quad SPI

コマンド I/O 数、アドレス I/O 数、モード I/O 数 (該当する場合) およびデータ I/O 数は SPI モードによって異なり、(w, x, y, z) として表します。ここで、w はコマンド I/O 数、x はアドレス I/O 数、y はモード バイト I/O 数 (該当する場合)、z は入出力の I/O 数です。

### 2.2.1 シングルチャンネル SPI

シングルチャンネル SPI モード (1, 1, 1, 1) は、SI (MOSI - マスター アウト スレーブ イン) と SO (MISO - マスター イン スレーブ アウト) ピンを、それぞれ入力と出力に使用します。オペコード、アドレスおよびモード バイトは SI ライン上でマスターによって転送され、データは SO ライン上でマスターによって読み出されます。図 2 にシングル チャンネル SPI モード転送を示します。

図 2. シングル チャンネル SPI (1, 1, 1, 1)



### 2.2.2 拡張 SPI

拡張 SPI モードはデュアル データ (1、1、1、2)、デュアル アドレス/データまたはデュアル I/O (1、2、2、2)、Quad データ (1、1、1、4) および Quad アドレス/データまたは Quad I/O (1、4、4、4) 動作モードを提供します。

拡張 SPI モードを有効にするための特定のコンフィギュレーションビットは**ありません**。しかし、Quad モード (Quad データまたは Quad アドレス/データ) で拡張 SPI にコマンドを送信する場合、WPとRESETの機能を無効にするために CR1 (CR1[1]) の QUAD ビットを「1」に設定する必要があります。これによって、これら 2 つのピンはそれぞれ I/O2 と I/O3 になります。デュアルと Quad I/O モードでは、SI と SO はそれぞれ I/O0 と I/O1 です。図 3 から図 6 に、各モードの拡張 SPI 転送を示します。

図 3. 拡張 SPI – デュアル データ (1、1、1、2)

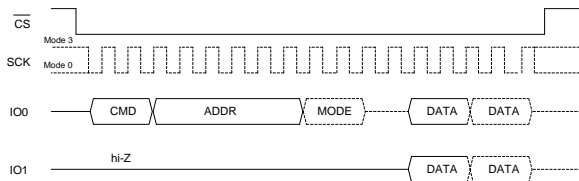


図 5. 拡張 SPI – デュアル アドレス/データ (1、2、2、2)

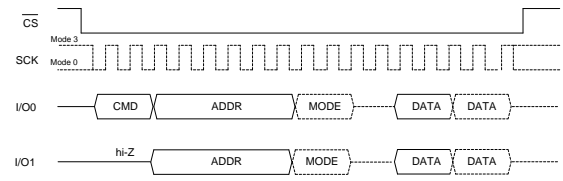


図 4. 拡張 SPI – Quad データ (1、1、1、4)

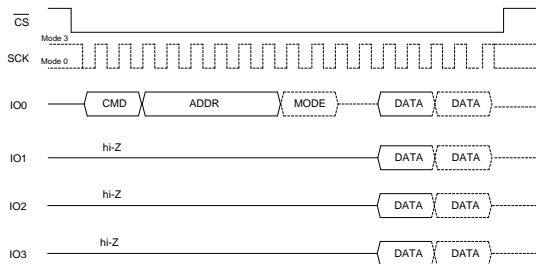
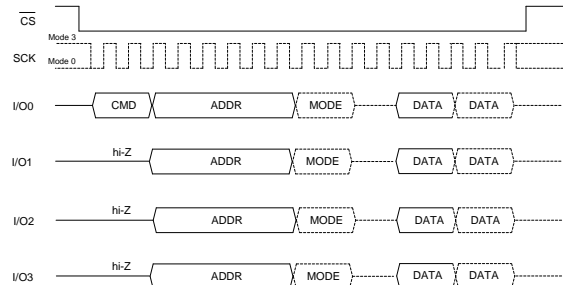


図 6. 拡張 SPI – Quad アドレス/データ (1、4、4、4)



### 2.2.3 デュアル/Quad SPI (DPI/QPI)

マルチチャネル デュアルおよび Quad SPI (DPI (2、2、2、2) および QPI (4、4、4、4)) モードは、2つまたは4つの I/O でオペコード、アドレス、モードおよびデータの転送を可能にすることにより、SPI 帯域幅をさらに拡張するために使用されます。これらのモードは、コンフィギュレーション レジスタ 2 (CR2) で QPI 用にはビット 6 (CR2[6]=「1」) または DPI 用にはビット 4 (CR2[4]=「1」) を設定することにより有効になります。デバイスは DPI または QPI モードのいずれかに設定されると、新しいコンフィギュレーションで上書きして変更されるまで、そのインターフェース設定を保持します。コンフィギュレーション レジスタの説明は QSPI F-RAM データシートをご参照ください。図 7 と図 8 に、DPI と QPI モード転送を示します。

図 7. デュアル SPI – DPI (2、2、2、2)

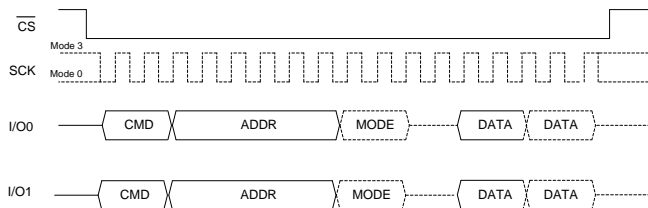
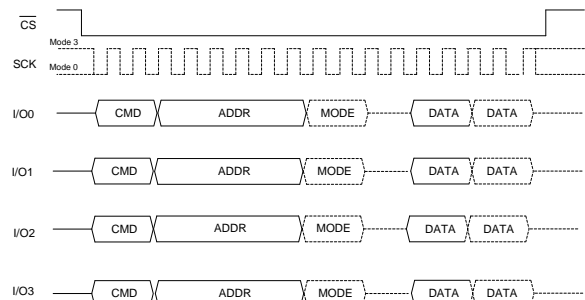


図 8. Quad SPI – QPI (2、2、2、2)



### 2.2.4 Quad SPI SDR と DDR

QPI モードは、特別なオペコードによりダブル データ レート (DDR) ( $4_{\text{SDR}}$ 、 $4_{\text{DDR}}$ 、 $4_{\text{DDR}}$ 、 $4_{\text{DDR}}$ ) もサポートしています。これにより、アドレス、モードおよびデータ バイト転送はクロックの両エッジで行われます。オペコード フェーズ中は DDR モードはありません。即ち、オペコードは常に SDR モードで伝送されます。特定のコマンドが SDR モードで送信された後、デバイスは DDR モードに入り、このモードでアドレス、モードおよびデータ サイクルが決定されます。DDR モードを有効にする設定はありません。Quad SPI DDR モードは、特別なオペコードを含むメモリの書き込みと読み出しの動作に対してのみ対応します。

## 3 システム インターフェース

Excelon-Ultra QSPI F-RAM は、シングル デバイスでコンフィギュレーションレジスタ 2 (CR2) により設定可能な SPI、DPI および QPI インターフェースに対応します。QSPI F-RAM I/O は、表 1 で説明するように他の機能と多重化されます。デバイスのピンは、設定された SPI インターフェース モードに応じて、特定の機能を実行するように設定されるか、または I/O として有効化されます。

図 9 から図 12 に、異なる SPI インターフェース オプションでホスト コントローラとの QSPI F-RAM インターフェースの例を示します。

図 9 から図 12 で使用される信号およびデバイスの命名法は以下のとおりです:

MOSI: マスター アウト スレーブ イン

MISO: マスター イン スレーブ アウト

**CY15x102QS / CY15x104QS / CY15x108QS:**

CY15V102QS / CY15V104QS / CY15V108QS – 1.8V 標準製品

CY15B102QS / CY15B104QS / CY15B108QS – 3V 標準製品

データライン (入力、出力、I/O) —————

制御ライン (CS、SCK および制御) —————

(オプションの接続) - - - - -

図 9. SPI ポートによるシステム インターフェース

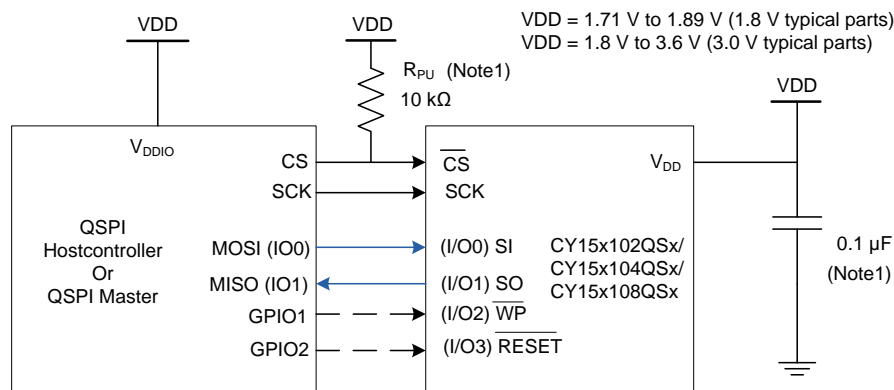


図 10. デュアル SPI ポートによるシステム インターフェース

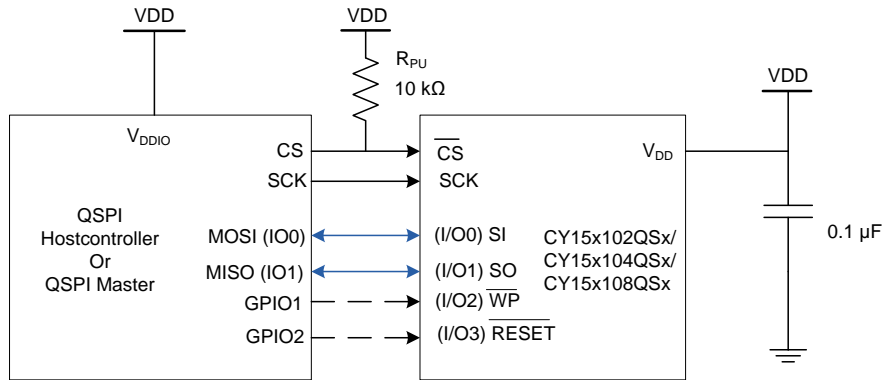


図 11. シングル Quad SPI デバイスによるシステム インターフェース

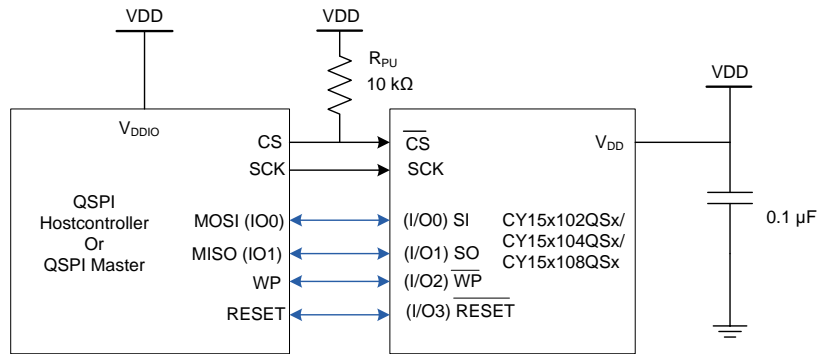
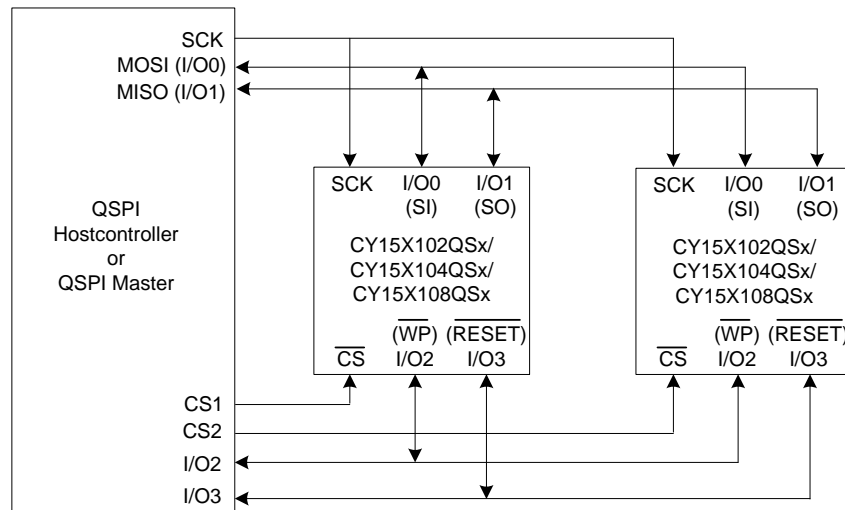


図 12. マルチ Quad SPI デバイスによるシステム インターフェース



注: プルアップ抵抗 ( $R_{PU}$ ) 値:

プルアップ抵抗の値は、以下の式で求められる:

$$V_{DD} - (I_{LEAK} \times R_{PU}) \geq V_{IH} (Min)$$

- $V_{DD}$  – 動作電圧
- $V_{IH}$  (Min) はデータシートの  $V_{DD}$  の 70%
- $I_{LEAK}$  は、接続されたトリステートのすべての入力ピンと出力ピンのリーク電流を合計した総リーク電流です。上記の例では、 $I_{LEAK}$  はトリステート モードでの QSPI マスター出力バッファと QSPI F-RAM の制御入力ピンのリーク電流が含まれます。

**注: バイパス コンデンサ値:**

$V_{DD}$  ピンでのバイパス コンデンサは、デバイス回路と I/O のスイッチングによって発生するすべての高周波ノイズを除去するために使用されます。 $V_{DD}$  上のバイパス コンデンサにより、動作中に  $V_{DD}$  の動作電圧が  $V_{DD}$  (Min) を下回らないようになります。デバイス動作の信頼性を高めるために、少なくとも 0.1 $\mu$ F と 2.2 $\mu$ F (またはそれ以上) のコンデンサを  $V_{DD}$  ピンの近くに接続することを推奨します。

## 4 コマンド プロトコル

Excelon-Ultra QSPI F-RAM コマンド サイクルは最大で 5 つの異なるコマンド フェーズからなっています (オペコード、アドレス、モード、ダミー (レイテンシ) およびデータ)。コマンド サイクル毎のコマンド フェーズの数は、オペコード フェーズで送信されたオペコードに応じて 1 から 5 まで変化します。オペコード、アドレス、モードおよびデータ フェーズの伝送ラインの数は、SPI, DPI, または QPI インターフェースでそれぞれ 1, 2, または 4 に設定できます。表 2 に、異なる SPI インターフェースでの各コマンド サイクルのコマンド フェーズを示します。図 13 から図 15 に、SPI, DPI および QPI のインターフェースのコマンド フェーズの例を示します。

表 2. 異なる SPI モードでの I/O 上のコマンド送信

コマンド フェーズ	I/O 上のコマンド送信 (コマンド I/O、アドレス I/O、モード I/O、データ I/O)						
	シングル チャネル SPI (1, 1, 1, 1)	拡張 SPI				マルチチャネル SPI	
		デュアル データ (1, 1, 1, 2)	Quad データ (1, 1, 1, 4)	デュアル I/O (1, 2, 2, 2)	Quad I/O (1, 4, 4, 4)	DPI (2, 2, 2, 2)	QPI (4, 4, 4, 4)
オペコード	SI	I/O0	I/O0	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
アドレス	SI	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
モード	SI	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
ダミー (レイテンシ)	固定ダミー SPI クロック数、SPI インターフェースに独立。 メモリ アクセス毎に 0~15 クロック (CR1[7:4]で設定可能) レジスタ アクセス毎に 0~3 クロック (CR5[7:6]で設定可能)						
データ	SI/SO	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3

図 13 から図 15 は、表 2 に示す 5 つのフェーズのすべてを含む読み出しコマンド サイクルの例を示しています。特定コマンドとそのフェーズの詳細はデバイスのデータシートをご参照ください。

図 13. SPI インターフェースでのコマンド フェーズ

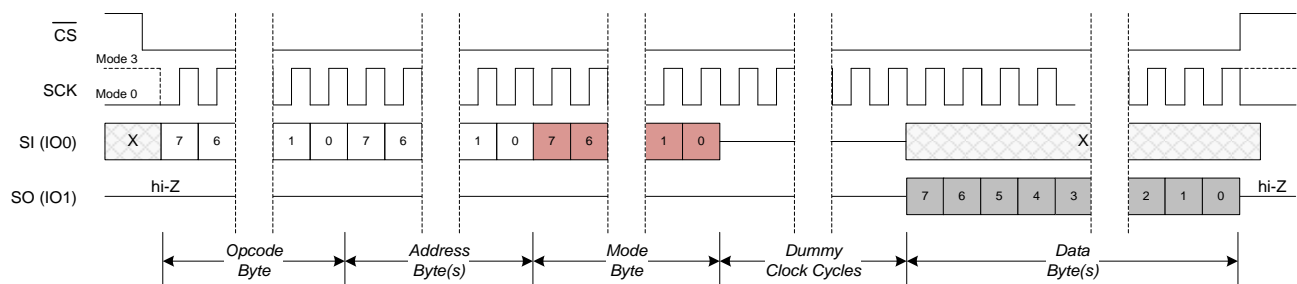


図 14. DPI インターフェースでのコマンド フェーズ

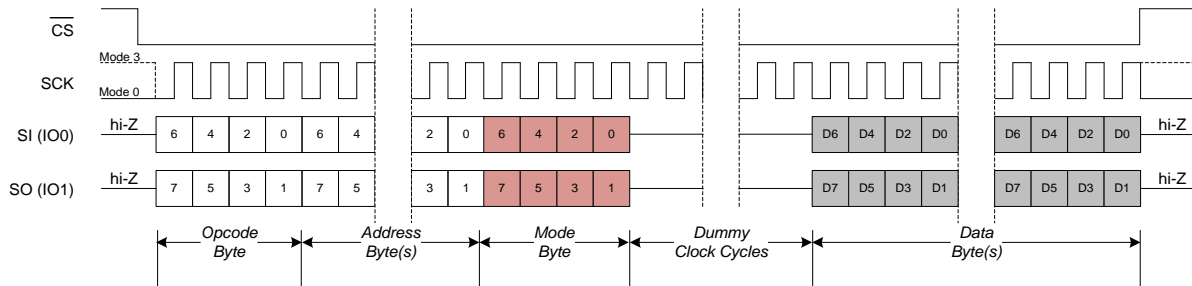
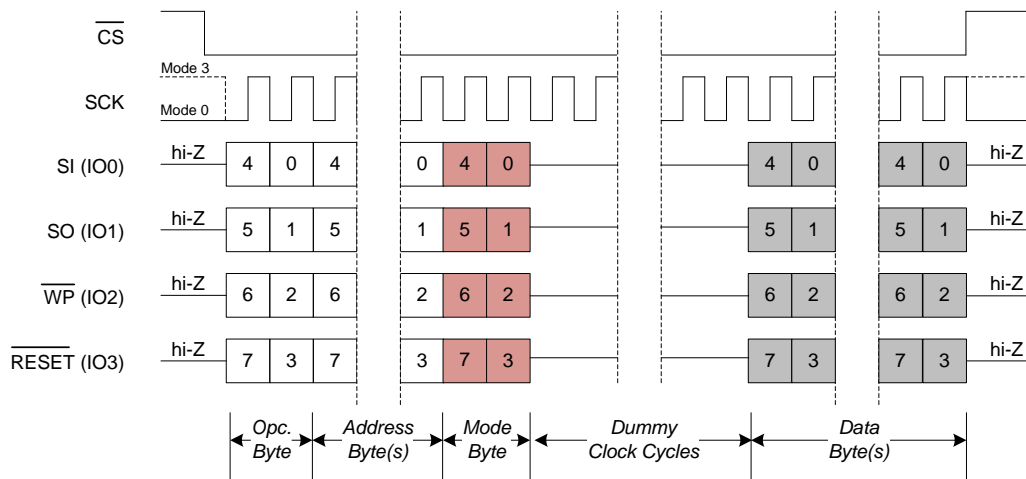


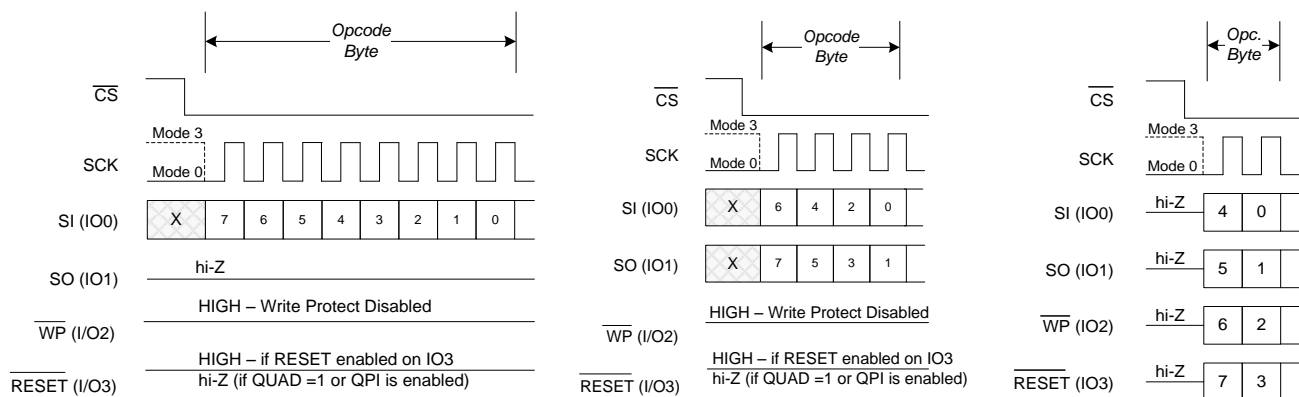
図 15. QPI インターフェースでのコマンド フェーズ



#### 4.1 オペコード フェーズ

オペコード フェーズ中に 8 ビット オペコードを送信して、Excelon-Ultra QSPI F-RAM で目的のデバイス動作を開始します。デバイス コンフィギュレーション (SPI、DPI または QPI) に応じて、1 つ、2 つまたは 4 つの I/O でオペコードを送信できます。オペコード フェーズだけを送信するいくつかの場合では、他のフェーズをスキップします。SPI モードとインターフェースに応じて、オペコードを送信するクロック数は 2 クロック (Quad、SDR) から 8 クロック (SPI、SDR) まで異なります。

図 16. SPI/DPI/QPI インターフェースでのオペコード フェーズ



注: DDR アクセス オペコードは常に SDR モードで送信されます。オペコードがデコードされると、デバイスは次のバイトが SDR か DDR で受信されるかを判断します。

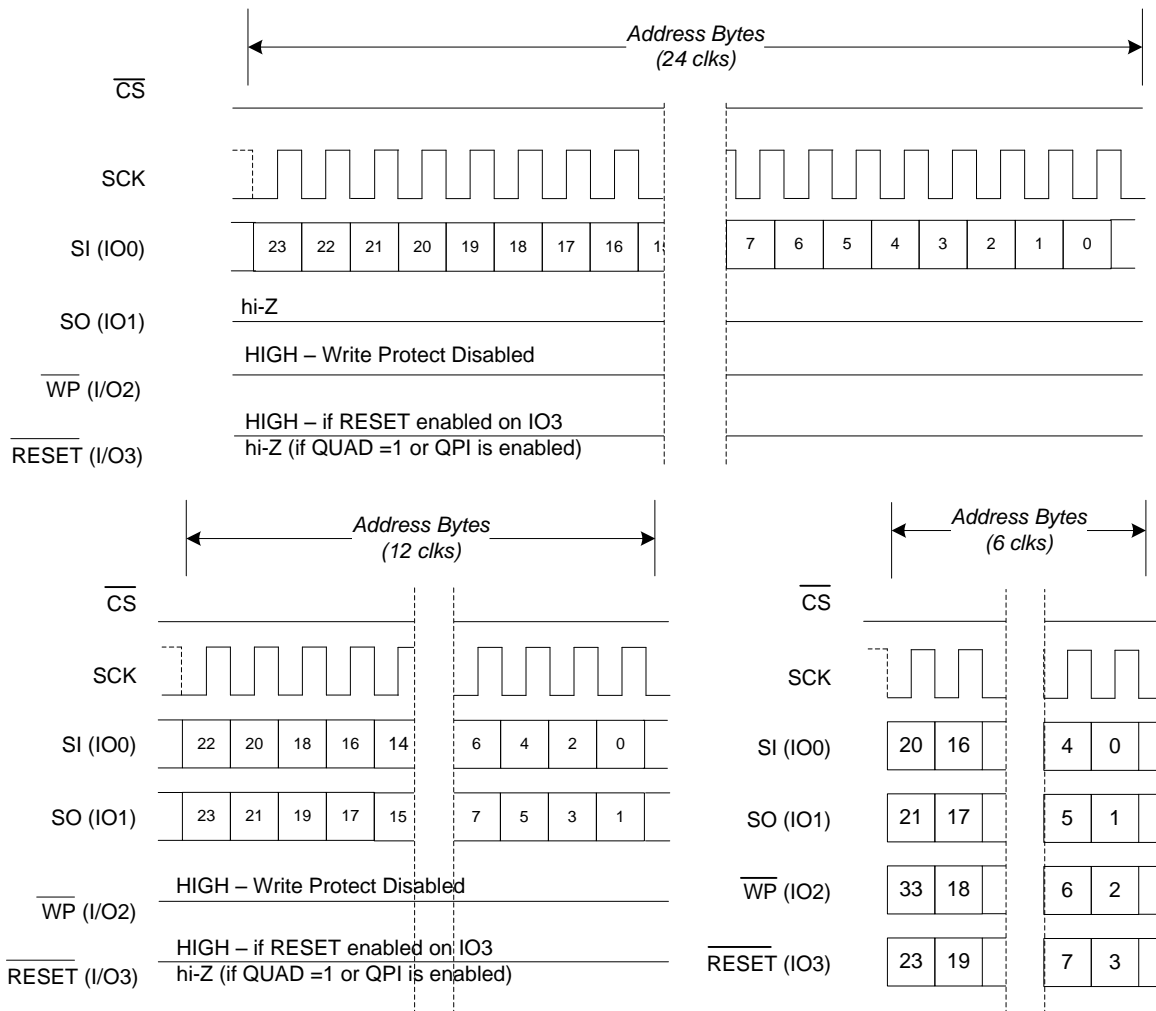


## 4.2 アドレス

3 バイト アドレスがアドレス フェーズ中に送信されます。SPI モードとインターフェース タイプに応じて、3 バイト アドレスを送信するクロック数は 3 クロック (Quad、SDR) から 24 クロック (SPI、SDR) まで異なります。

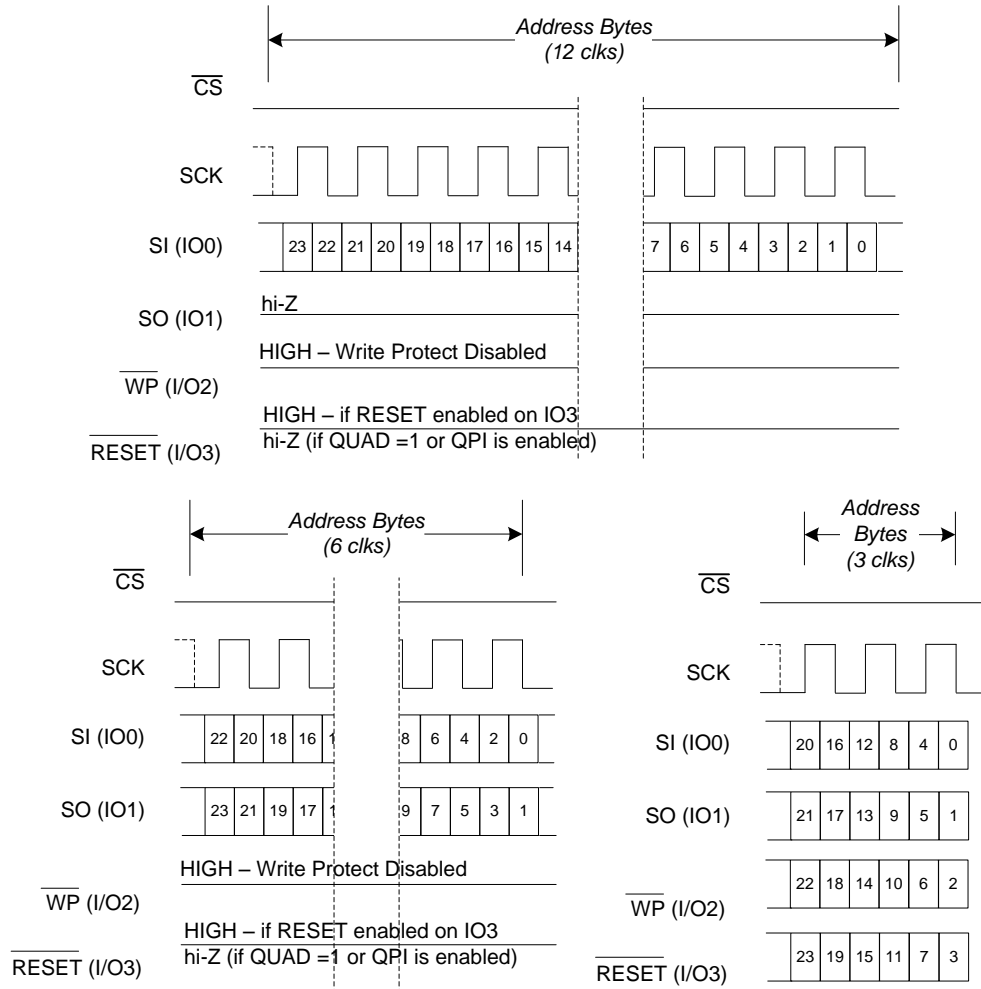
### 4.2.1 アドレス フェーズ - SDR

図 17. アドレス フェーズ - SPI/DPI/QPI インターフェースでの SDR



#### 4.2.2 アドレス フェーズ – DDR

図 18. アドレス フェーズ - SPI/DPI/QPI インターフェースでの DDR



#### 4.3 モード フェーズ

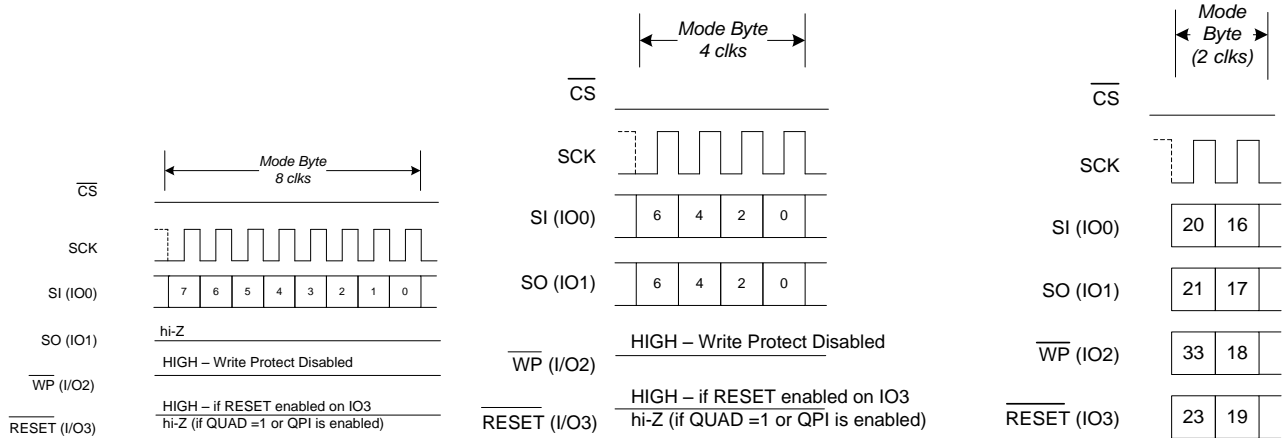
モード フェーズは直接実行 (XIP) をサポートするすべての書き込みおよび読み出しコマンドに適用されます。XIP は、コードを RAM にコピーまたはシャドウイングするのではなく、外付けメモリからプログラム (コード) を直接に実行する方法です。XIP が書き込みまたは読み出しコマンドにセットされる場合、続くコマンド サイクル ( $\overline{\text{CS}}$  LOW) がアドレス フェーズ (オペコード フェーズはスキップされる) から直接開始されるように、コマンド サイクルが終了した後 ( $\overline{\text{CS}}$ は HIGH にトグル) にデバイスは XIP モードのままです。XIP では、デバイスは前のサイクルと同じ動作を実行します。

オペコードおよび 3 バイト アドレス サイクルに続き、モード フェーズ中に送信されたモード バイト 0xAX (X はドント ケア ビット) または 0xA5 (オペコードに依存) は、次のコマンド サイクルのためにデバイスを XIP のままにします。0xAX または 0xA5 以外 (!0xAX または !0xA5) の値をモード フェーズ中に送信すると、XIP は終了されます。

SPI モードとインターフェース タイプに応じて、モード バイトを送信するクロック数は 1 クロック (Quad, DDR) から 8 クロック (SPI, SDR) まで異なります。

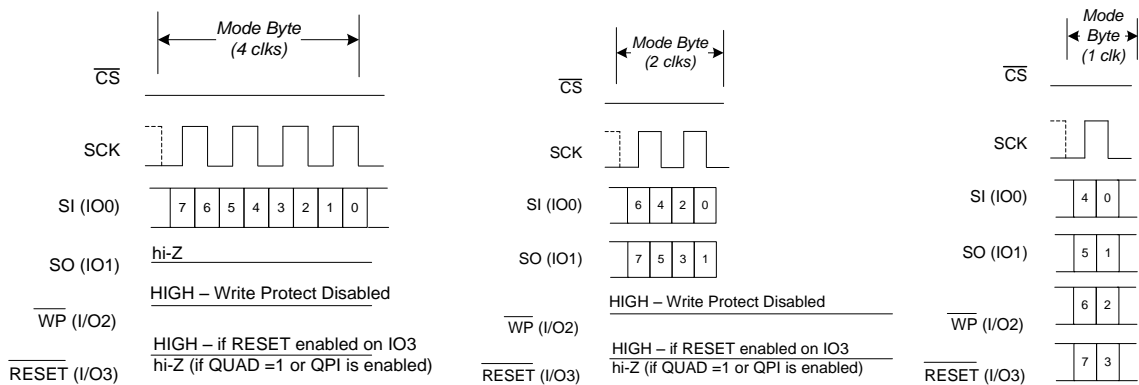
### 4.3.1 モード フェーズ - SDR

図 19. モード フェーズ - SPI/DPI/QPI インターフェースでの DDR



### 4.3.2 モード フェーズ - DDR

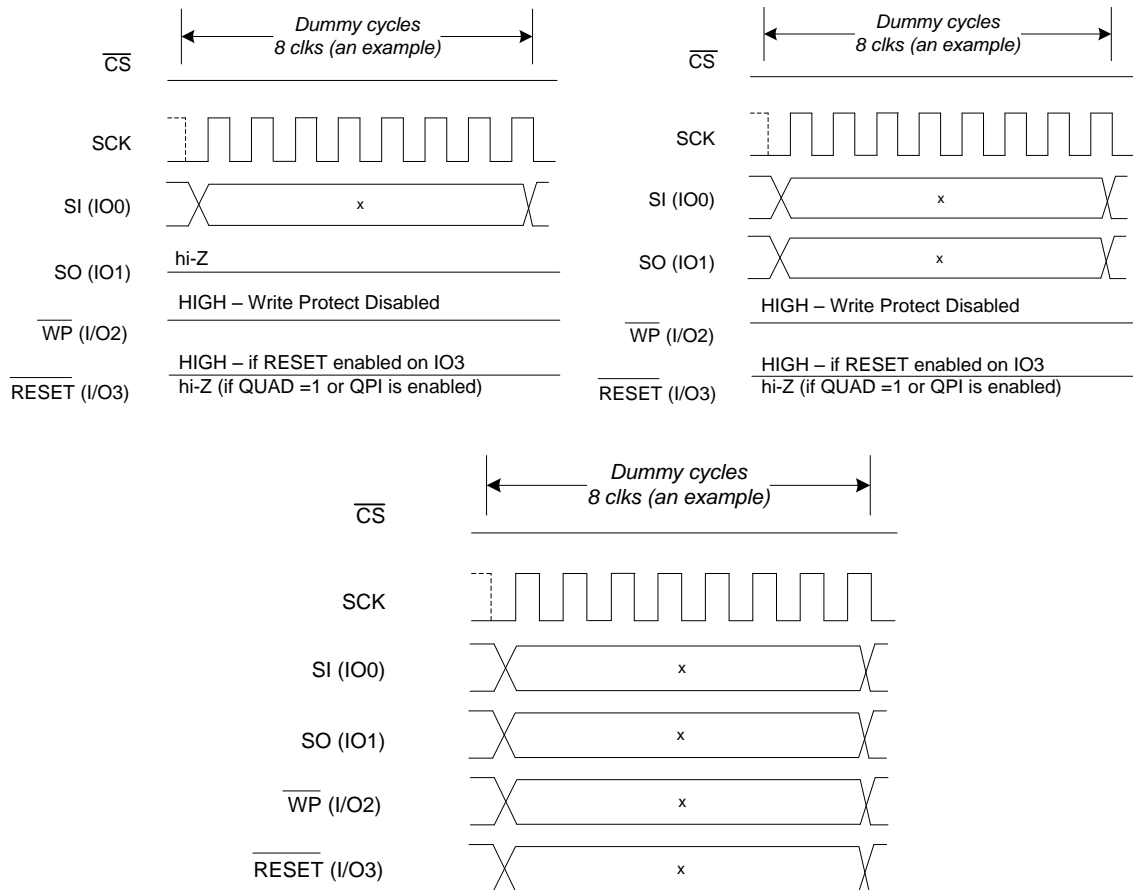
図 20. モード フェーズ - SPI/DPI/QPI インターフェースでの DDR



## 4.4 ダミー フェーズ

ダミー フェーズは必要なクロック レイテンシを提供するためにダミー クロックを送信します。ダミー クロックとして送信される SPI クロック (SCK) の数は、対応するコンフィギュレーション レジスタでメモリまたはレジスタ アクセス用に設定されたレイテンシ クロックの数によって決まります。このクロック数は設定された値ごとに固定され、SPI モードおよび/またはインターフェースの種類に関わらず変化しません。メモリ アクセス オペコード用のダミー クロックは、コンフィギュレーション レジスタ 1 (CR1[7:4]) の 4 ビット メモリ レイテンシ コード (MLC) を使用し、0~15 クロックに設定できます。同様に、レジスタ アクセス用のダミー クロックは、コンフィギュレーション レジスタ 5 (CR5[7:6]) の 2 ビット レジスタ レイテンシ コード (RLC) を使用し、0~3 クロックに設定できます。ダミー フェーズはメモリおよびレジスタの読み出し動作中にのみ適用され、書き込み中には適用されません。I/O ステータスは、ダミー フェーズ中にドントケアです。従って、ホスト コントローラーはダミー フェーズ中に I/O をトライステートのままにできます。

図 21. モード フェーズ - SPI/DPI/QPI インターフェースでの DDR

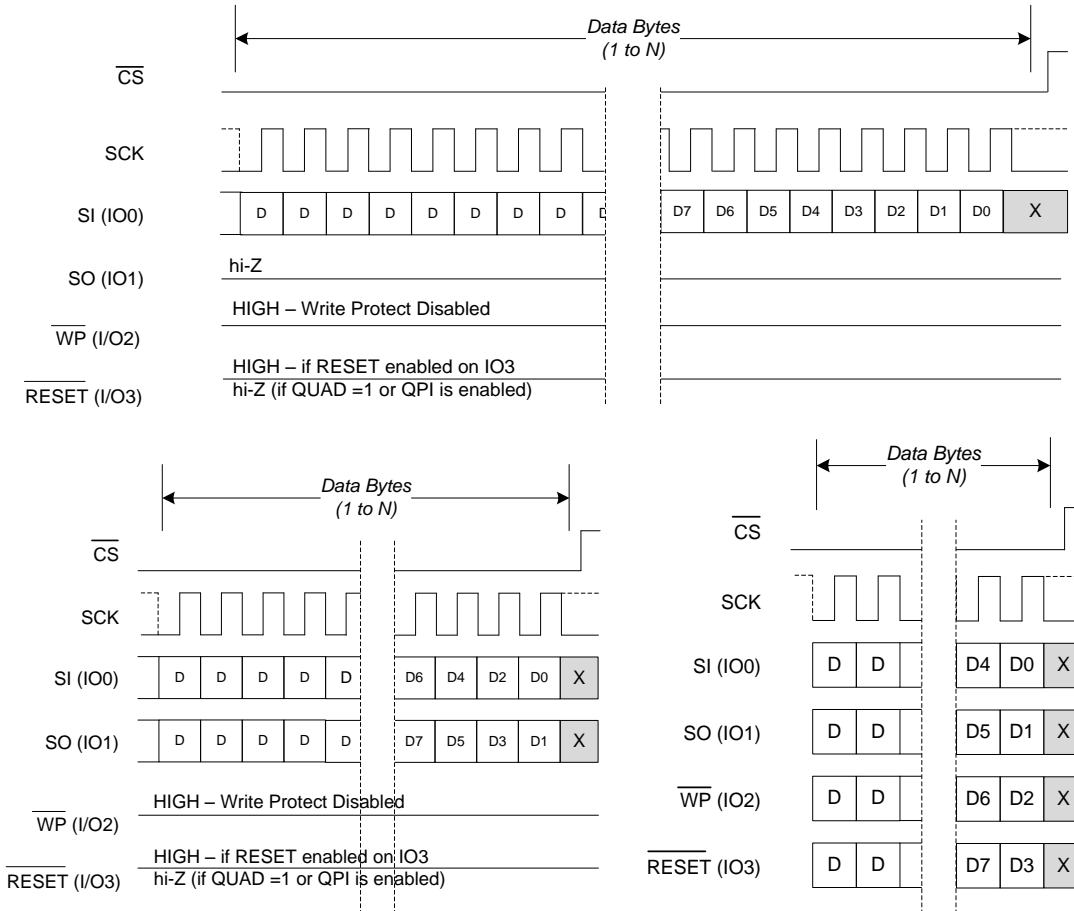


#### 4.5 データ フェーズ

データ バイト フェーズは、書き込み動作中に QSPI F-RAM にデータを送信するか、または読み出し動作中に QSPI F-RAM からデータを受信します。データ長は 1 バイトからメモリ アレイ全体に変わることがあります。SPI モードとインターフェース タイプに応じて、1 データ バイトを送信するクロック数は 1 クロック (Quad、DDR) から 8 クロック (SPI、SDR) まで異なります。

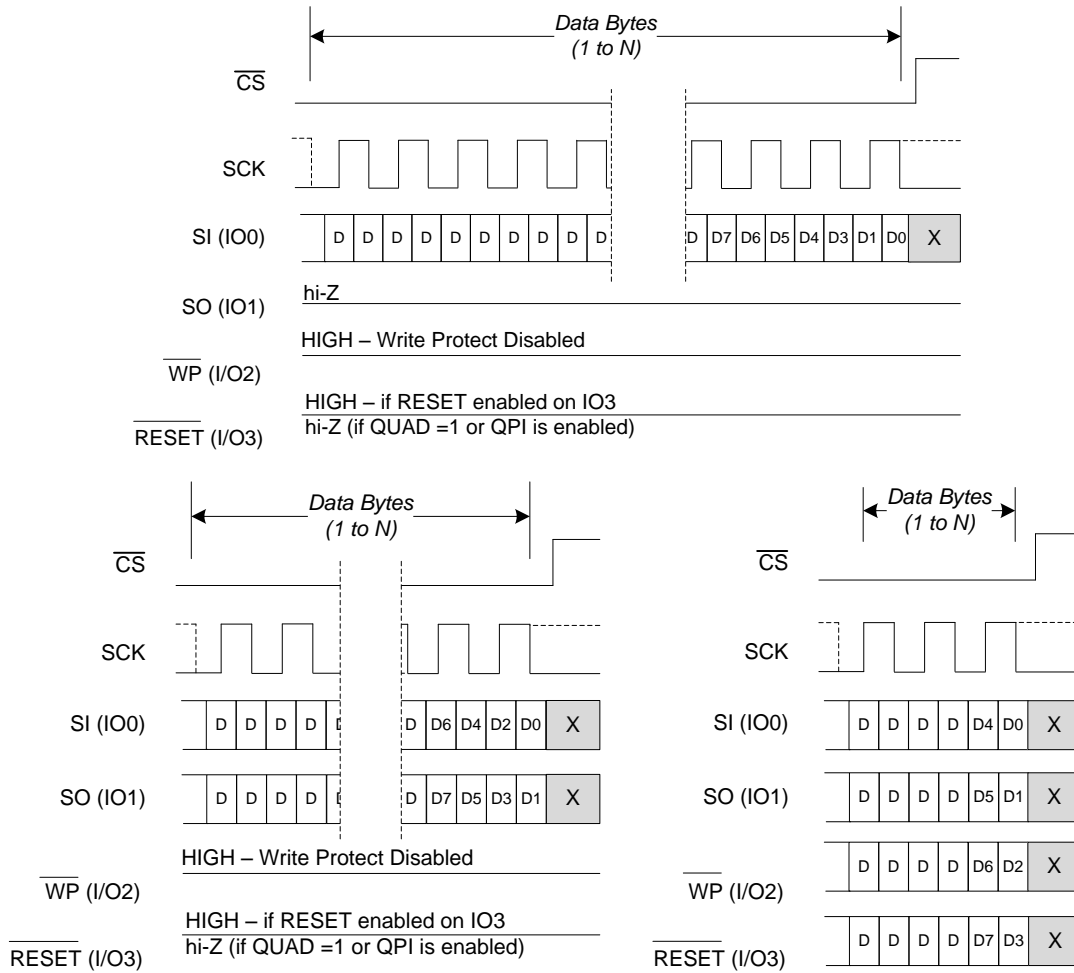
### 4.5.1 データ フェーズ - SDR

図 22. データ フェーズ - SPI/DPI/QPI インターフェースでの SDR



### 4.5.2 データ フェーズ - DDR

図 23. データ フェーズ - SPI/DPI/QPI インターフェースでの DDR



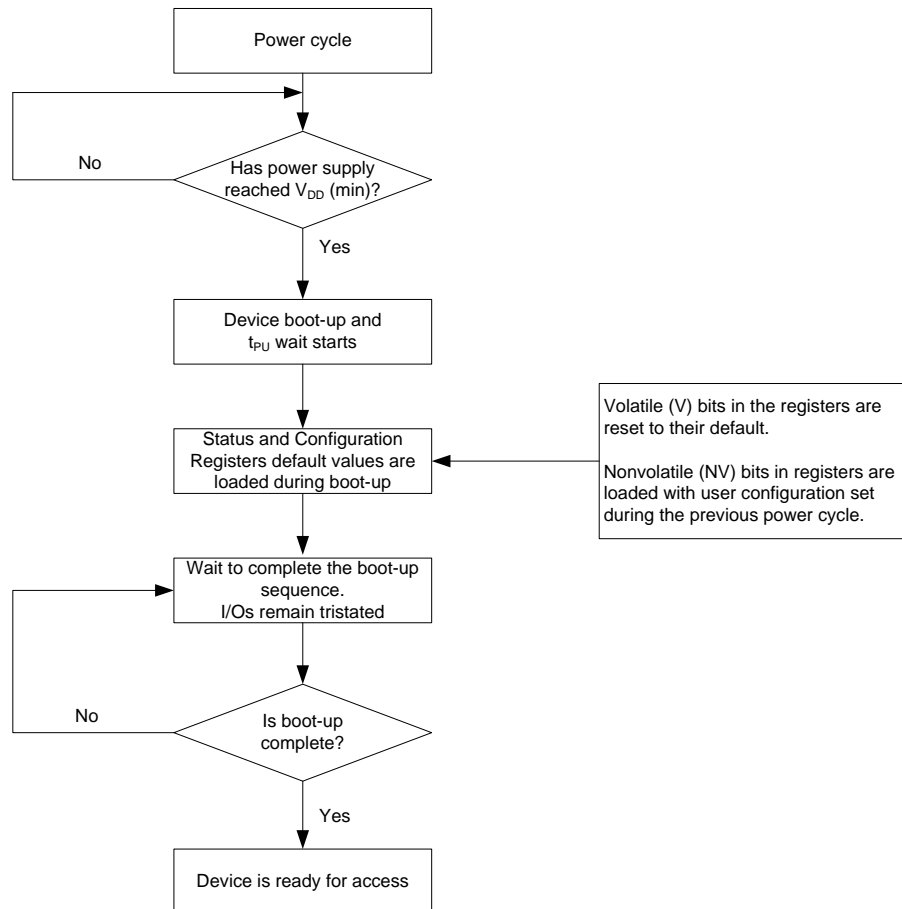
## 5 パワーオンリセット (POR) と初期化

### 5.1 パワー サイクルとパワーオンリセット (POR)

Excelon-Ultra QSPI F-RAM がパワー サイクル イベントになると、ブート アップ サイクルを開始し、 $V_{DD}$  が最小  $V_{DD}$  を超えた後、 $t_{PU}$  時間が経過するまで、すべてのコマンドを無視します。

ブート アップ サイクルは、すべての内部コンフィギュレーションと設定を再ロードし、デバイスをアクセス可能な状態に保つことが含まれます。図 24 に、POR 後のデバイス ブートアップ サイクルを示します。QSPI F-RAM レジスタは表 5 に示すデフォルト値がロードされます。

図 24. パワー サイクルと POR



パワー サイクル後にデバイスが正しくブート アップしない場合は、RESETを LOW にアサートしてパワー サイクルまたはハードウェアリセットを再初期化すると、ブート アップ サイクルが再び開始され、完了までに  $t_{PU}$  時間以上かかることはありません。

$t_{PU}$  が経過した後、CSが HIGH になる場合、デバイスはスタンバイ モードになり、スタンバイ電流 ( $I_{SB}$ ) を消費します。デバイスは CR4 (CR4[2]) の DPDPOR ビットが「1」に設定されている場合、 $t_{PU}$  後にディープ パワー ダウン モードに入るように設定することができます。

WIPビット (SR1[0]) は、PORイベントまたはハードウェア リセットの後にデバイスのレディー状態をポーリングするために使用できません。これは  $t_{PU}$  時間が経過するまで、デバイスはアクセスができないためです。ただし、 $t_{PU}$  時間の後もWIPがHIGHのままであれば、これはデバイスが正しく起動しなかったことを示します (ブートエラー)。ブート エラーが発生すると、デバイスは次のデフォルト状態になります:

- インターフェース モードは、DPI、CR2 の QPI ビットの状態に関係なく、シングル SPI (SDR) に設定される
- レジスタレイテンシは 3 クロック (最大値) に設定される

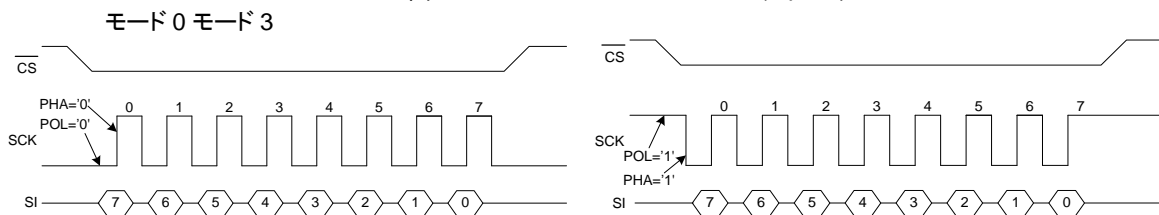
- 出力インピーダンスは 45Ω に設定される
- SR1 を読み出すために、RDSR1 および RDAR コマンドは実行可能 (SPI SDR モードのみ)。他のすべてのコマンドは無効になり、実行された場合、未定義データが返される
- SR1 を読み出すと、0x61 が返される (ブート エラー シグネチャ)

デバイスはブート アップ シーケンスを再開するためにパワー サイクルを必要とします。

## 5.2 デバイス初期化

1. Excelon-Ultra QSPI F-RAM は工場出荷時にデフォルトの SPI モードです。
2. QSPI F-RAM を DPI または QPI モードのいずれかで動作させるには、ホスト コントローラーは CR2 の DPI または QPI ビットを最新データに設定することにより、QSPI F-RAM を目的の DPI または QSPI インターフェースに設定する必要があります。表 3 に、SPI、DPI または QPI インターフェースの設定詳細を示します。CR2 は不揮発性レジスタです。従って、パワー サイクルまたはハードウェア/ソフトウェア リセット後にインターフェース モードの設定は変更されません。インターフェース モードを変更するためには、ホストコントローラーは以前の設定を新しいインターフェース設定で上書きする必要があります。
3. SPI、DPI または QPI モードは、WRR コマンドまたは WRAR コマンドのいずれかを使用して CR2 に書き込むことで有効にすることができます。特定のインターフェース モードを有効にし、デフォルト SPI にリセットする専用オペコードはありません (これはインターフェース コンフィギュレーションがパワー サイクル中に保持されない揮発性空間に設定されている一部の QSPI インターフェース デバイスの特徴である)。
4. 拡張 SPI デュアルまたは Quad モードを有効にするための設定は特にありません。デバイスがシングルチャネル SPI で特定のコマンドを受信すると、デュアル データ、デュアル I/O、または Quad データ、Quad I/O のいずれかに切替えを決定します。拡張 SPI Quad モードでアクセスするためには、CR1[1] の QUAD ビットを「1」に設定する必要があります。
5. QSPI F-RAM は CR4[7:5] により出カドライバでのインピーダンス選択をサポートします。デバイスは出荷時に 30Ω がデフォルト設定です。アプリケーション ボード上でより良い信号整合性を達成するためにインピーダンス値を調整することができます。
6. 図 25 に示すように、SPI ホスト コントローラーは常に SPI モード 0 (POL=「0」および PHA=「0」) または SPI モード 3 (POL=「1」および PHA=「1」) のいずれかで開始する必要があります。SPI モード 1 および SPI モード 2 は QSPI F-RAM でサポートされません。

図 25. SPI のモード 0 とモード 3 のタイミング



CPOL – クロック (SCK) 極性。CPHA – SCK フェーズ

表 3. SPI インターフェース モード設定

QUAD [注 2] CR1[1]	DPI CR2[4]	QPI CR2[6]	動作モード
0	0	0	SPI、拡張 SPI (デュアル)
1	0	0	SPI、拡張 SPI (デュアル/Quad)
X	1	0	DPI
X	0	1	QPI
0	1	1	SPI [注 3]、拡張 SPI (デュアル) – 推奨されない SPI コンフィギュレーション
1	1	1	SPI [注 3]、拡張 SPI (デュアル/Quad) – 推奨されない SPI コンフィギュレーション

注: QUAD=「1」は I/O を QUAD モードに再設定し、WP と RESET/IO3 の動作に影響します。

注: レジスタの読み出しは常にそこに書かれているものを返します。



## 6 ハードウェア/ソフトウェア リセット

### 6.1 ハードウェア リセット (RESET)

RESETは I/O3 ピン上で多重化されており、表 4 に示すように IO3Reset ビットとインターフェース モード ビットの設定に応じて、I/O3 ピンの対応する機能が有効化または無効化されます。RESET 入力は無効化されている場合、内部弱プルアップ抵抗があるため未使用の時にフローティング状態のままにすることができます。このピンを I/O3 として設定する場合、このプルアップ抵抗は無効になります。RESET 機能が無効にされている場合も RESET 信号を LOW にしてはいけません。これは内部プルアップによってリーク電流が増加するためです。QUAD ビット CR1[1]=0 は、多重化された (I/O3)/RESET ピンのハードウェア リセット機能を有効にします。

RESET ピンは QPI モードで I/O3 に多重化されます。QPI モードでハードウェア (RESET) を使用する場合、CS が HIGH の時に RESET 入力として I/O3 を有効にするために、CR2[5] ビットを「1」に設定する必要があります。図 26 と図 27 に、異なる SPI モードでの RESET タイミングを示します。表 5 にハードウェア リセット後のレジスタ状態を示します。メモリ アレイの状態はハードウェア リセット後、変化しません。

共有バス コンフィギュレーションでは、RESET 機能が有効な場合、IO3/RESET ピンが LOW になるたびに、デバイスはリセットされます (デバイスの CS が HIGH)。従って、QPI または拡張 SPI Quad モードでの共有バス コンフィギュレーションで RESET 機能を無効にする必要があります。

表 4. IO3/RESET 機能

インターフェース モード	IO3/RESET 機能		
	IO3/Reset=0 (IO3Reset 無効)	IO3/Reset=1 (IO3Reset 有効)	IO3/Reset=1 (IO3Reset 有効)
	CS=LOW/HIGH	CS=LOW	CS=HIGH
SPI (QUAD=0)	機能なし	RESET	RESET
DPI (QUAD=0)	機能なし	RESET	RESET
DPI (QUAD=1)	該当なし	IO3	RESET
SPI (QUAD=1)	IO3	IO3	RESET
QPI	IO3	IO3	RESET

図 26. RESET SPI (QUAD ビット=1) と QPI モードでのタイミング

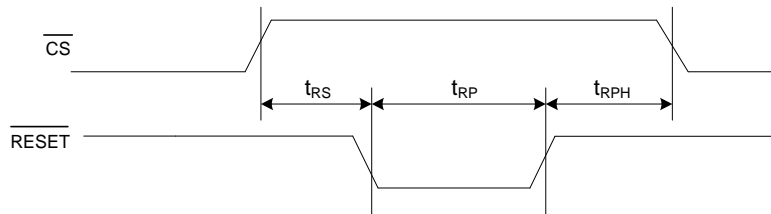
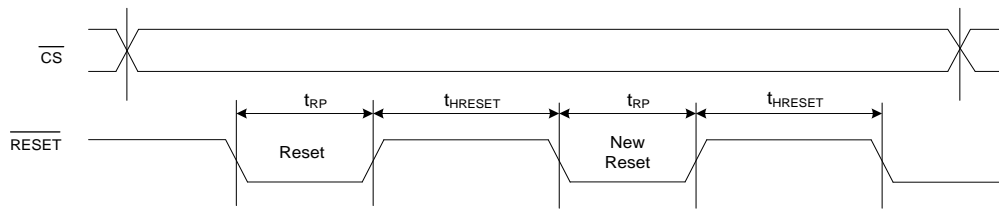


図 27. RESET SPI (QUAD ビット=0) と DPI モードでのタイミング



## 6.2 デフォルト モード回復 (JEDEC SPI リセット)

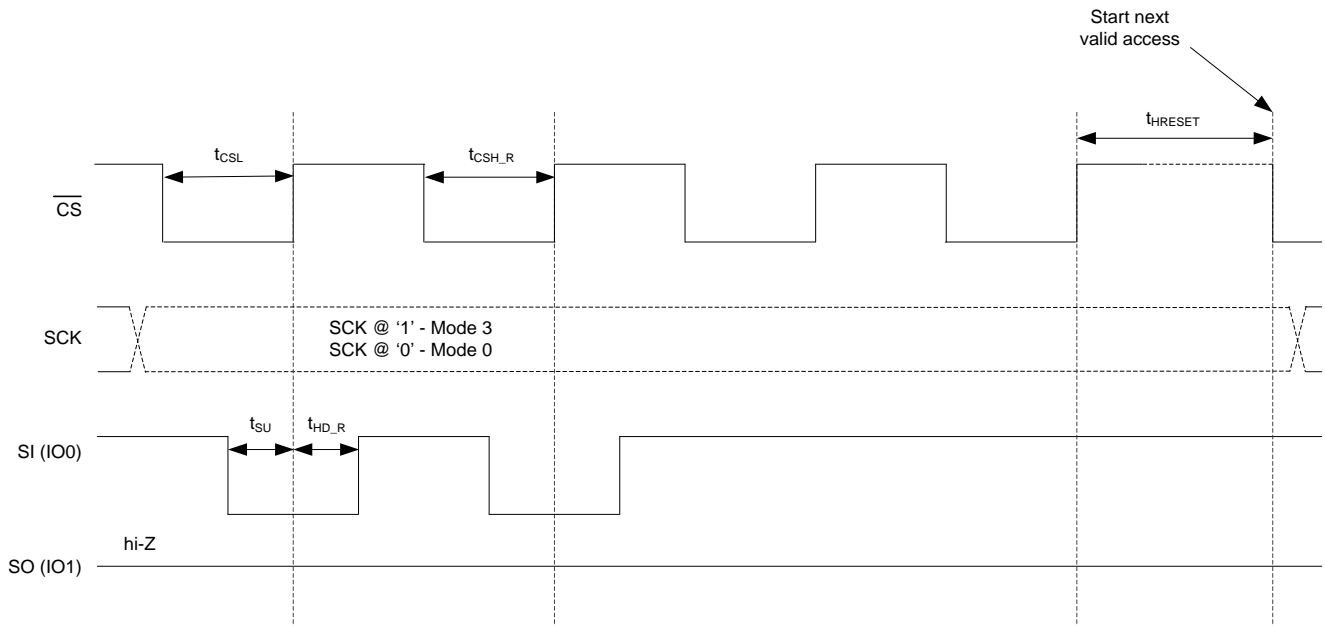
デフォルト モード回復は、デバイスの現行の I/O モードに関わらずハードウェア リセットを開始する JEDEC シグナリング プロトコルです。これはデバイスをステータスレジスタとコンフィギュレーション レジスタの設定に基づくデフォルト モードにします。表 5 は、デフォルト モード回復が開始された後のレジスタ状態を示します。メモリ アレイの状態は JEDEC リセット後、変化しません。

デフォルト モード回復のステップは以下の通りです:

1.  $\overline{\text{CS}}$  SPI スレーブを選択するために CS を LOW にトグルする
2. SCK は HIGH または LOW 状態のいずれかで安定したままになる
3.  $\overline{\text{CS}}$  が LOW になると同時に SI (I/O0) は HIGH から LOW にトグルする。他の I/O (I/O1、I/O2 および I/O3) はドントケア
4.  $\overline{\text{CS}}$  は I/O0 が LOW の間、HIGH に駆動される
5. 上記のステップ 1~4 を合計 4 回繰り返す (SI (I/O0) の状態が  $\overline{\text{CS}}$  の立ち下がリエッジで 4 回変化する)
6. リセットは 4 番目の  $\overline{\text{CS}}$  が HIGH (非アクティブ) になった後に起きる

図 28 にタイミングに詳細を示します。タイミング パラメーター値はデバイス データシートをご参照ください。

図 28. デフォルト モード回復 (JEDEC SPI リセット タイミング)



## 6.3 ソフトウェア リセット

ソフトウェア リセット命令は QSPI F-RAM ステータス ビットおよびすべての中断された動作をリセットします。すべての不揮発性レジスタ設定は変更されません。表 5 に、ソフトウェア リセット後の QSPI F-RAM レジスタ状態を示します。ソフトウェア リセットサイクルを開始するために 2 つのオペコード サイクルが必要です (最初は RSTEN (66h)、次に RST (99h))。ソフトウェア リセット サイクルを完了するために、 $t_{\text{RESET}}$  が掛かります。

ソフトウェア リセットを開始するためには、RSTEN コマンドは常に RST コマンドの前に実行する必要があります。RST コマンドを除き、RSTEN コマンドに続くすべてのコマンドはリセット イネーブル状態をクリアします。次のソフトウェア リセット命令は RSTEN コマンドで再度開始する必要があります。図 29 に、ソフトウェア リセット タイミングを示します。表 5 に、ソフトウェア リセット後のレジスタ状態を示します。メモリ アレイの状態はソフトウェア リセット後、変化しません。

図 29. ソフトウェア リセット タイミング図

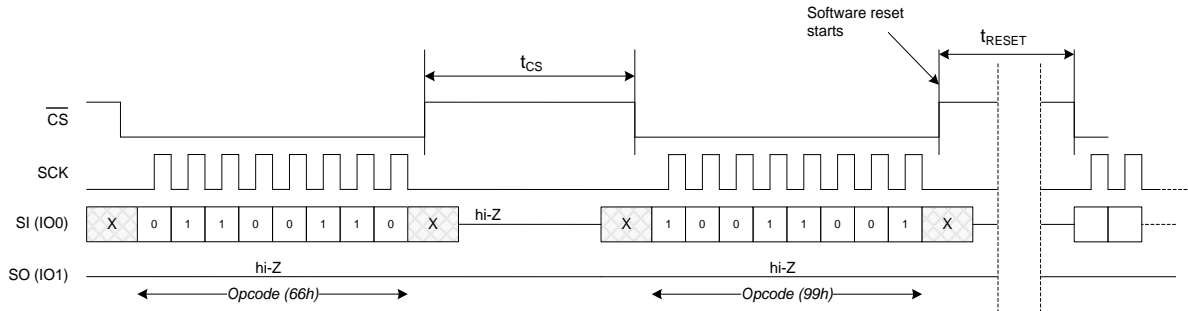


図 30. QSPI F-RAM リセットフローチャート (JEDEC SPI)

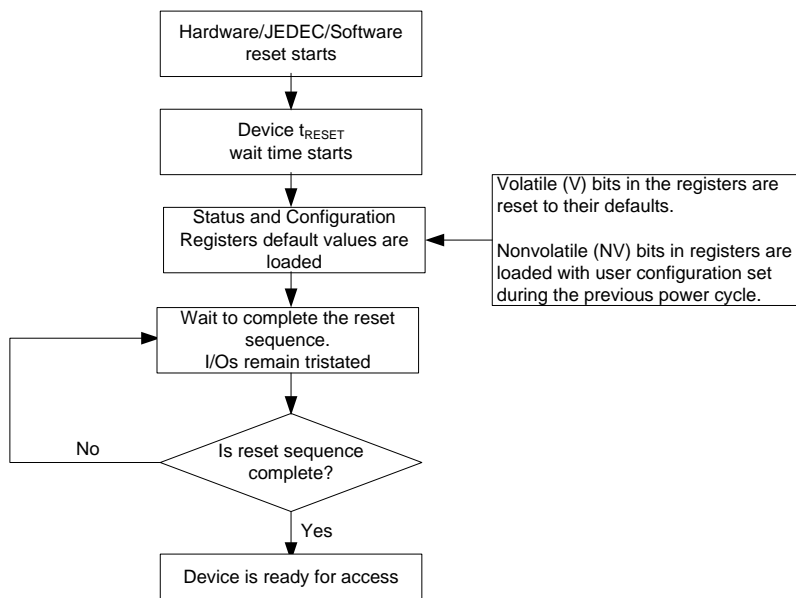


表 5. リセット後の QSPI F-RAM レジスタ ステータス

リセット機能	I/O 要件	ステータスレジスタ	コンフィギュレーションレジスタ	ECC ステータス	CRC レジスタ	バスCRC (BCRC)	ECC カウントレジスタ (ECCDC)	ADDR トラップレジスタ (ADDTRAP)	I/O モード
パワーオンリセット	CS=1'b1 他の入力 - 無効 すべての出力 - トライステート	SR1- 変化しない SR2- 0x00	CR1、CR2、CR4、CR5 デフォルト値をロード	ロード - 0x00	ロード - 0x00	ロード - 0xFF	ロード - 0x00	ロード - 0x00	変化しない
ハードウェア リセット	CS=1'b1 他の入力 - 無効 すべての出力 - トライステート	SR1- 変化しない SR2- 0x00	CR1、CR2、CR4、CR5 デフォルト値をロード	ロード - 0x00	ロード - 0x00	ロード - 0xFF	ロード - 0x00	ロード - 0x00	変化しない
ソフトウェア リセット	コマンド (RSTEN、RST)	SR1- 変化しない SR2- 0x00	CR1、CR2、CR4、CR5 デフォルト値をロード	ロード - 0x00	ロード - 0x00	ロード - 0xFF	ロード - 0x00	ロード - 0x00	変化しない
JEDEC リセット (デフォルト回復)	CSおよび SI (IO0)=トグル 他の入力 - 無効 すべての出力 - トライステート	SR1- 変化しない SR2- 0x00	CR1、CR2、CR4、CR5 デフォルト値をロード	ロード - 0x00	ロード - 0x00	ロード - 0xFF	ロード - 0x00	ロード - 0x00	変化しない

## 改訂履歴

晩所番号: AN218375 - サイプレスの Quad SPI (QSPI) F-RAM™による設計

文書番号: 002-22039

版	ECN	変更者	発行日	変更内容
**	5972066	HZEN	11/21/2017	これは英語版 002-18375 Rev. **を翻訳した日本語版 002-22039 Rev. **です。
*A	6086076	YOST	03/05/2018	これは英語版 002-18375 Rev. *Aを翻訳した日本語版 002-22039 Rev. *Aです。

## セールス、ソリューションおよび法律情報

### ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

### 製品

Arm® Cortex® Microcontrollers	<a href="http://cypress.com/arm">cypress.com/arm</a>
車載用	<a href="http://cypress.com/automotive">cypress.com/automotive</a>
クロック&バッファ	<a href="http://cypress.com/clocks">cypress.com/clocks</a>
インターフェース	<a href="http://cypress.com/interface">cypress.com/interface</a>
IoT (モノのインターネット)	<a href="http://cypress.com/iot">cypress.com/iot</a>
メモリ	<a href="http://cypress.com/memory">cypress.com/memory</a>
マイクロコントローラ	<a href="http://cypress.com/mcu">cypress.com/mcu</a>
PSoC	<a href="http://cypress.com/psoc">cypress.com/psoc</a>
電源用 IC	<a href="http://cypress.com/pmic">cypress.com/pmic</a>
タッチセンシング	<a href="http://cypress.com/touch">cypress.com/touch</a>
USB コントローラー	<a href="http://cypress.com/usb">cypress.com/usb</a>
ワイヤレス	<a href="http://cypress.com/wireless">cypress.com/wireless</a>

### PSoC®ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

### サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

### テクニカルサポート

[cypress.com/support](http://cypress.com/support)



Cypress Semiconductor  
198 Champion Court  
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2017-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含むは、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、(直接又は再販売者及び販売代理店を介して間接のいずれか) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

**適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示をとわず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。**いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) ためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、[cypress.com](http://cypress.com) を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。