

概要

PSoC® 4 は、Arm® Cortex®-M0+ CPU を内蔵したプログラマブル組込みシステム コントローラー ファミリー用の、拡張可能かつ再コンフィギュレーション可能なプラットフォーム アーキテクチャです。これはプログラム可能かつ再コンフィギュレーション可能なアナログ ブロックとデジタル ブロックを、柔軟な自動配線によって組み合わせたものです。PSoC 4100S プラスは PSoC 4 プラットフォーム アーキテクチャのメンバーです。標準的な通信機能とタイミング パリフェラルを備えたマイクロコントローラー、クラス最高の性能を備えた静電容量タッチセンシング システム (CapSense)、プログラマブルな汎用の連続時間スイッチド キャパシタ アナログ ブロックおよびプログラマブルな内部接続で構成されます。新しいアプリケーションと設計ニーズのために、PSoC 4100S プラス製品は PSoC 4 プラットフォームのメンバーとの完全な上位互換性があります。

特長

32 ビット MCU サブシステム

- 48MHz Arm Cortex-M0+ CPU、シングルサイクルの乗算に対応
- 読み出しアクセラレータを備えた最大 128KB のフラッシュメモリ
- 最大 16KB の SRAM
- 8 チャンネル DMA エンジン

プログラマブル アナログ

- 再設定可能な大電流外部ドライブと高帯域内部ドライブ、コンパレータ モード、ADC 入力バッファリング能力に対応した 2 個のオペアンプ。ディープスリープ低消費電力モードで動作可能。オペアンプはディープスリープ低消費電力モードで動作可能
- 差動とシングルエンド モードおよび信号加算平均に対応したチャンネル シーケンサを備えた 12 ビット 1Msps SAR ADC
- 静電容量センシング ブロックにより提供されるシングルスロープ 10 ビット ADC 機能
- 任意のピンに出力できる汎用または静電容量センシング用の 2 個の電流 DAC (IDAC)
- 2 個の低消費電力コンパレータ (低消費電力のディープスリープ モードで動作)

プログラマブル デジタル

- 入出力ポートでブール演算の実行を可能にするプログラマブル論理ブロック

低消費電力 (1.71V ~ 5.5V) 動作

- ディープスリープ モードで動作可能なアナログと 2.5µA のデジタル システム電流

静電容量センシング

- サイプレス CapSense シグマ デルタ (CSD) はクラス最高の信号対雑音比 (SNR) (>5:1) および耐水性を提供
- サイプレスが提供するソフトウェア コンポーネントによる容易な静電容量センシングの設計
- ハードウェア自動チューニング (SmartSense™)

LCD 駆動

- GPIO ピンで LCD セグメントを駆動

シリアル通信

- 5 個の独立した再コンフィギュレーション可能なシリアル通信ブロック (SCB)、実行時に I²C、SPI、または UART 機能に再コンフィギュレーション可能

タイミングおよびパルス幅変調

- 8 個の 16 ビット タイマー/カウンター/パルス幅変調器 (TCPWM) ブロック
- 中央揃え、エッジ、および疑似ランダム モード
- モーター駆動やその他の信頼性の高いデジタル ロジック アプリケーション用キル信号のコンパレータ ベースのトリガ
- 直交デコーダ

クロック ソース

- 4MHz ~ 33MHz の外部水晶発振器 (ECO)
- 48MHz 周波数を生成する PLL
- 32kHz の時計用水晶発振器 (WCO)
- ±2% の内部主発振器 (IMO)
- 32kHz の内部低消費電力発振器 (ILO)

真性乱数発生器 (TRNG)

- TRNG は暗号アプリケーション用の安全な鍵の生成のために真性乱数を生成

CAN ブロック

- タイムトリガ CAN (TTCAN) をサポートする CAN 2.0B ブロック

最大 54 本のプログラム可能な GPIO ピン

- パッケージ: 44 ピン TQFP (0.8mm ピッチ)、48 ピン TQFP (0.5mm ピッチ)、64 ピン TQFP 通常ピッチ (0.8mm) および微細ピッチ (0.5mm)
- すべての GPIO ピンは CapSense、アナログ、またはデジタルに対応
- 駆動モード、駆動強度およびスルー レートはプログラム可能

PSoC Creator 設計環境

- 統合開発環境 (IDE) が回路図設計の入力からビルドまでを提供 (アナログとデジタル ブロックの自動配線機能も備える)
- すべての固定機能およびプログラム可能なペリフェラル向けのアプリケーション プログラミング インターフェース (API) コンポーネント

業界標準ツールとの互換性

- 回路図の入力後、Arm ベースの業界標準開発ツールで開発可能

詳細情報

サイプレスは、www.cypress.com に大量のデータを掲載しており、ユーザーがデザインに適切な PSoC デバイスを選択し、デバイスをデザインに迅速で効果的に統合する手助けをしています。リソースの総合リストについては、知識ベース記事「[KBA86521, How to Design with PSoC 3, PSoC 4, and PSoC 5LP](#)」を参照してください。以下は PSoC 4 の要約です。

- 概要 : PSoC ポートフォリオ、PSoC ロードマップ
- 製品セレクト : PSoC 1、PSoC 3、PSoC 4、PSoC 5LP、また PSoC Creator 内にデバイス選択ツールがあります。
- アプリケーションノート : サイプレスは、基本レベルから上級レベルまでの様々なトピックに触れる大量の PSoC アプリケーションノートを提供しています。以下は、PSoC 4 入門用の推奨アプリケーションノートです。
 - [AN79953](#): PSoC 4 入門
 - [AN88619](#): PSoC 4 Hardware Design Considerations
 - [AN86439](#): PSoC 4 および PSoC アナログ コプロセッサ – GPIO ピンの使用
 - [AN57821](#): PSoC 3、PSoC 4 および PSoC 5LP のアナログ / デジタル混在回路基板レイアウトの注意事項
 - [AN81623](#): PSoC 3、PSoC 4、PSoC 5LP デジタル設計のベストプラクティスについて
 - [AN73854](#): Introduction To Bootloaders
 - [AN89610](#): Arm Cortex Code Optimization
 - [AN85951](#): PSoC®4 および PSoC アナログ コプロセッサ CapSense® デザイン ガイド
- テクニカル リファレンス マニュアル (TRM) は 2 種類あります。
 - [アーキテクチャ TRM](#): 各 PSoC 4 機能ブロックを詳細に説明します。
 - [レジスタ TRM](#): 各 PSoC 4 レジスタを詳細に説明します。
- 開発キット
 - [CY8CKIT-041-41XX](#) PSoC 4100S CapSense Pioneer Kit は安価で使い易い開発プラットフォームです。Arduino™ 準拠シールド用のコネクタを搭載しています。
 - [CY8CKIT-149](#) PSoC® 4100S プラス プロトタイピング キットは、サイプレスの第 4 世代低消費電力 CapSense ソリュー

ションである PSoC 4100S プラス デバイスによって評価および開発をすることができます。

MiniProg3 デバイスは、フラッシュのプログラミングとデバッグ用のインターフェースを提供します。

■ ソフトウェア ユーザー ガイド

- PSoC Creator の使用に関する段階を追った手引き書です。ソフトウェア ユーザー ガイドには、PSoC Creator によるビルドプロセスの詳細、PSoC Creator を用いたソース制御の使い方などが記載されています。

■ コンポーネント データシート

- PSoC の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コンポーネント) を作成できます。コンポーネント データシートには、機能説明、API ドキュメント、推奨コード例、AC / DC 仕様を含む特定のコンポーネントの選択および使用に必要な情報が全て記載されています。

■ オンライン

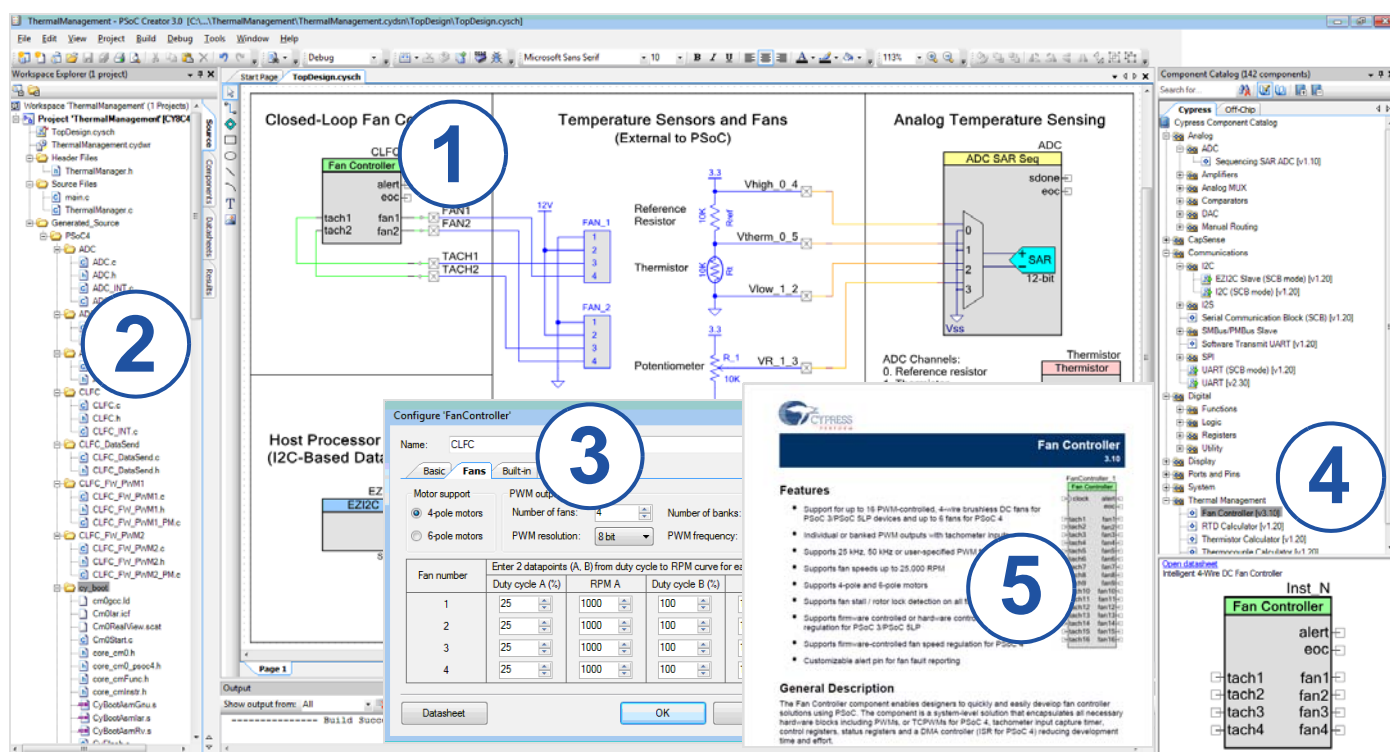
- 印刷された資料のほかに、[サイプレス PSoC フォーラム](#)によって 24 時間 365 日、世界中の他の PSoC ユーザーや PSoC の専門家と連絡をとれます。

PSoC Creator

PSoC Creator は無償の Windows ベースの統合設計環境 (IDE) です。PSoC 3、PSoC 4 および PSoC 5LP ベースのシステムのハードウェアとファームウェア設計が同時に可能です。事前検証済みで量産使用も可能な PSoC コンポーネントを 100 以上サポートしている、クラシックで親しみやすい回路図キャプチャを使ってデザインを作成します。コンポーネント データシートを参照してください。PSoC Creator により、以下のことが可能です。

1. メイン デザイン ワークスペースで、コンポーネント アイコンをドラッグ アンド ドロップしてハードウェア システム デザインをビルド
2. PSoC Creator IDE の C コンパイラを使用してアプリケーションのファームウェアと PSoC ハードウェアを同時に設計
3. コンフィギュレーション ツールを使ってコンポーネントを設定
4. 100 以上のコンポーネントのライブラリを利用
5. コンポーネント データシートを閲覧

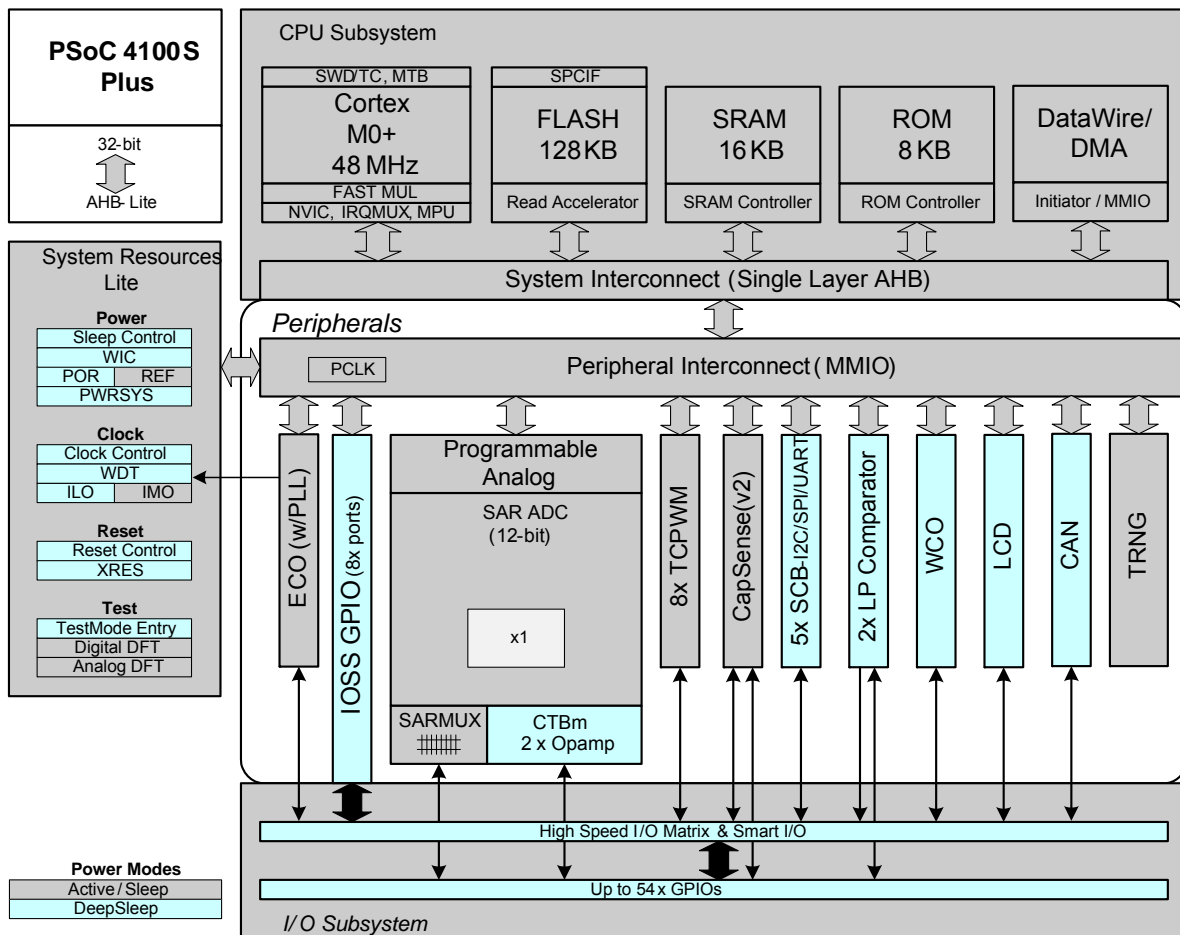
図 1. PSoC Creator の複数センサーのサンプル プロジェクト



目次

機能の説明	6	注文情報	35
CPUおよびメモリ サブシステム	6	パッケージ	38
システム リソース	6	パッケージ図	39
アナログ ブロック	7	略語	42
プログラマブル デジタル ブロック	8	本書の表記法	45
固定機能デジタル ブロック	8	測定単位	45
GPIO	8	改訂履歴	46
特殊機能ペリフェラル	9	セールス、ソリューションおよび法律情報	47
ピン配置	10	ワールドワイドな販売と設計サポート	47
ピンの代替機能	12	製品	47
電源	14	PSoC®ソリューション	47
モード1: 1.8V~5.5Vの外部電源	14	サイプレス開発者コミュニティ	47
モード2: 1.8V±5%の外部電源	14	テクニカル サポート	47
電氣的仕様	15		
絶対最大定格	15		
デバイス レベルの仕様	15		
アナログ ペリフェラル	19		
デジタル ペリフェラル	26		
メモリ	30		
システム リソース	30		

図 2. ブロック図



PSoC 4100S プラス デバイスは、ハードウェアとファームウェアの両方について、プログラミング、テスト、デバッグ、配線に幅広く対応しています。

Arm シリアルワイヤ デバッグ (SWD) インターフェースは、デバイスのプログラミングとデバッグ機能をすべてサポートしています。

完全なデバッグ オンチップ (DoC) の機能により、標準の量産デバイスを使用した最終システムで、完全なデバイスのデバッグが可能です。専用のインターフェースやデバッグ ポッド、シミュレータ、エミュレータは不要です。デバッグをサポートするために必要なものは、通常のプログラミングに使う接続だけです。

PSoC Creator IDE は PSoC 4100S プラス デバイスのプログラミングおよびデバッグを完全にサポートします。SWD インターフェースは、業界標準のサードパーティ製ツールと完全互換です。PSoC 4100S プラスは、マルチチップアプリケーションソリューションまたはマイクロコントローラーの組合せでは適用不可能なセキュリティレベルを提供します。このファミリは次の利点を持っています。

- デバッグ機能を無効にできる
- 堅牢なフラッシュ保護

- お客様独自の機能をオンチップ プログラマブル ブロックに実装可能

デバッグ回路はデフォルトで有効にされており、ファームウェアで無効にできます。有効にされていない場合、一度デバイス全体を消去し、フラッシュ保護をクリアして、デバッグ機能を有効にする新しいファームウェアでデバイスをプログラムし直す以外に有効にする方法はありません。デバッグ機能のファームウェア制御は、ファームウェアを消去しなければオーバーライドされません。その結果セキュリティが向上します。

さらに、悪意を持ってデバイスを再プログラムすることに起因するフィッシング攻撃、またはフラッシュプログラミングシーケンスを開始して割り込むことでセキュリティシステムを突破しようという意図が懸念されるアプリケーションに対して、すべてのデバイス インターフェースを恒久的に無効にできます。デバイスの最高レベルのセキュリティが有効になっている場合、すべてのプログラミング、デバッグ、およびテストインターフェースは無効にされます。そのため、デバイスセキュリティ機能を有効にした PSoC 4100S プラスは、故障解析ができない場合があります。これは PSoC 4100S プラスのトレードオフです。

機能の説明

CPU およびメモリ サブシステム

CPU

PSoC 4100S プラスの Cortex-M0+ CPU は、広範なクロックゲーティングに対応し低消費電力動作に最適化された 32 ビット MCU サブシステムの一部です。ほとんどの命令の長さは 16 ビットです。CPU は Thumb-2 命令セットのサブセットを実行します。これは、8 つの割り込み入力を備えたネスト型ベクタ割り込みコントローラー (NVIC) ブロックと復帰割り込みコントローラー (WIC) を含みます。WIC はディープスリープモードからプロセッサを復帰させることが可能です。これにより、チップがディープスリープモードにある時にメインプロセッサへの電源を切れます。

CPU サブシステムは 8 チャネル DMA エンジン、また JTAG の 2 線式のシリアルワイヤデバッグ (SWD) インターフェースも含みます。PSoC 4100S プラスに使用するデバッグコンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

フラッシュ

PSoC 4100S プラス デバイスは、フラッシュブロックからの平均アクセス時間を改善するために CPU と密結合された、フラッシュアクセラレータ付きのフラッシュモジュールを持っています。低消費電力のフラッシュブロックは 48MHz で 2 ウェイトステート (WS) アクセス時間を達成するように設計されます。フラッシュアクセラレータにより、アクセス性能は平均してシングルサイクル SRAM の 85% に達します。

SRAM

48MHz でゼロウェイトステート (待ち状態なし) アクセスを備えた 16KB SRAM が提供されます。

SROM

ブートおよびコンフィギュレーションルーチンを含む 8KB の監視 ROM が提供されます。

システム リソース

電力システム

電源システムの詳細は電源を参照してください。電圧レベルがそれぞれのモードに対して必要なものであることや、また電圧レベルによって、適切な機能に必要な状態になるまでモードへの移行が遅延されたり (例: パワーオンリセット (POR) 時)、あるいはリセットが生成されたりすること (例: 電圧低下検出時) を説明しています。PSoC 4100S プラスは、1.8V±5% (外部レギュレータ不使用時) または 1.8V ~ 5.5V (内部レギュレータ使用時) の外部電源電圧で動作します。また PSoC 4100S プラスには 3 つの異なる電力モードがあります。これらのモード間の遷移は電源システムが管理します。PSoC 4100S プラスはアクティブモードおよびスリープとディープスリープの低消費電力モードに対応しています。

アクティブモードでは、すべてのサブシステムが動作できます。スリープモード中に CPU サブシステム (CPU、フラッシュ、SRAM) のクロックがゲートオフされます。このとき、ウェイクアップイベント中の瞬時ウェイクアップ機能により、すべてのペリフェラルと割り込みがアクティブになります。ディープスリープモードでは、高速クロックおよび対応する

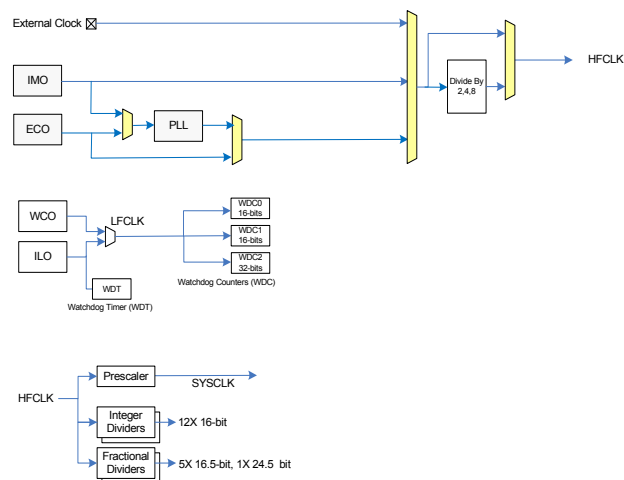
回路がスイッチオフされます。このモードからの復帰には 35µs を要します。オペアンプはディープスリープモードで動作し続けます。

クロック システム

PSoC 4100S プラス クロック システムは、クロックを必要とするすべてのサブシステムにクロックを供給し、グリッチなしに異なるクロックソース間で切り替えられます。さらに、クロックシステムはメタステーブル状態が発生しないことを保証します。

PSoC 4100S プラスのクロックシステムは、IMO、ILO、32kHz 時計用水晶発振器 (WCO)、MHz ECO と PLL および外部クロック入力から構成されます。WCO ブロックでは、IMO を 32kHz 発振器に固定できます。

図 3. PSoC 4100S プラス MCU のクロックアーキテクチャ



HFCLK 信号は、アナログとデジタルペリフェラル用の同期クロックを生成するために分岐できます。PSoC 4100S プラスには 18 個の分周器があります (6 個の分数分周器、12 個の整数専用分周器)。12 個の 16 ビット整数分周器により、きめ細かな周波数を柔軟に生成できます。さらに、5 個の 16 ビット分数分周器と 1 個の 24 ビット分数分周器があります。

IMO クロック ソース

IMO は PSoC 4100S プラスの内部クロック供給の主要なソースです。出荷試験中に仕様の精度を得るために調整されます。IMO のデフォルト周波数は 24MHz です。4MHz ステップで 24 ~ 48MHz に調整できます。サイプレス提供の校正設定による IMO 許容誤差は、電圧と温度範囲全体で ±2% です。

ILO クロック ソース

ILO は超低消費電力の 40kHz 発振器であり、主にディープスリープモードでウォッチドッグタイマー (WDT) とペリフェラルの動作にクロックを生成するために使用されます。ILO 駆動のカウンターは、精度を改善するために IMO に対して校正できます。サイプレスは校正を実行するソフトウェアコンポーネントを提供しています。

時計用水晶発振器 (WCO)

PSoC 4100S プラスのクロック サブシステムは、高精度タイミング アプリケーションに採用できる低周波数 (32kHz 時計用水晶) 発振回路を内蔵します。

外部水晶発振器 (ECO)

PSoC 4100S プラスは 4MHz ~ 33MHz の水晶発振器も実装します。

ウォッチドッグ タイマーおよびカウンタ

ウォッチドッグ タイマーは、ILO をクロック ソースとして動作するクロック ブロックに実装されます。ディープスリープ時のウォッチドッグ動作を可能にし、設定されたタイムアウトが発生する前に処理されなかった場合にウォッチドッグリセットを生成します。ウォッチドッグリセットは、ファームウェア読み出しが可能なリセット原因レジスタに記録されます。ウォッチドッグカウンタは 32kHz WCO を使用して、リアルタイム クロックを実装できます。

リセット

PSoC 4100S プラスは、ソフトウェアリセットを含む様々なソースからリセットできます。リセットイベントは非同期であり、デバイスを既知の状態に復帰させることが保証されています。リセットの原因はレジスタに記録されます。そのレジスタはリセット中も保存され、ソフトウェアがリセットの原因を判断できます。XRES ピンはアクティブ LOW の外部リセット用に予約されています。XRES ピンには、常に有効な内部プルアップ抵抗が接続されています。

アナログ ブロック

12 ビット SAR ADC

12 ビットの 1Msps SAR ADC は 18MHz の最大クロック レートで動作でき、12 ビット変換を行うためにその周波数で少なくとも 18 クロックを要します。

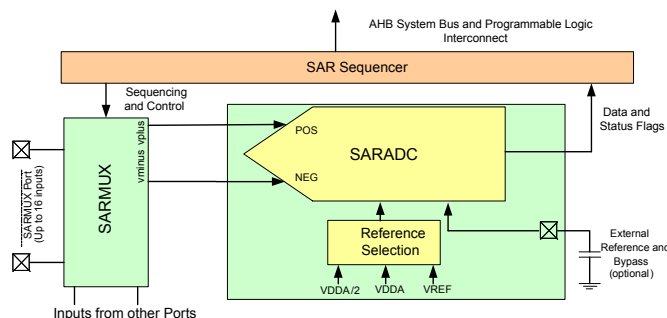
サンプル ホールド (S/H) のアパーチャがプログラム可能であるため、SAR 入力を駆動するアンプの整定時間を規定する利得帯域幅要件を必要に応じて緩和できます。内部基準アンプ用に外部バイパス (固定したピン位置を介して) を提供できます。

SAR は 8 入力シーケンサを介して固定したピンに接続されます。シーケンサは、スイッチング オーバヘッドの必要なく選択されたチャンネルを自律的に巡回します (シーケンサスキャン) (つまり、合計サンプリング帯域幅は、単一のチャンネルか複数のチャンネルであるかにかかわらず 1Msps です)。シーケンサの切り替えは、ステート マシンまたはファームウェア駆動の切り替えにより行われます。シーケンサの 1 つの機能は、CPU 割り込みサービスの要件を軽減するための各チャンネルのバッファリングです。信号を様々なソース インピーダンスと周波数に適合させるために、チャンネルごとに異なるサンプリング時間をプログラムすることができます。また、デジタル化された値がプログラムされた範囲を超えた場合、レンジレジスタの 1 対 (低と高レンジ値) による信号範囲の指定は、対応する範囲外の割り込みで実施されます。これにより、シーケンサ

スキャンが完了し、CPU が値を読み出してソフトウェア内で範囲外の値の有無を確認するのを待たず、範囲外の値を早く検出できます。

SAR は高速クロック (最大 18MHz) を必要とするため、ディープスリープモードに対応していません。SAR の動作範囲は 1.71V ~ 5.5V です。

図 4. SAR ADC



2 個のオペアンプ (連続時間ブロック、CTB)

PSoC 4100S プラスは、コンパレータモードのある 2 個のオペアンプを持つことにより、PGA、電圧バッファ、フィルタ、トランスインピーダンスアンプなどほとんどの一般的なアナログ機能が外付け部品の必要なくオンチップで実行でき、消費電力、コストおよび空間を節約できます。ただし外部受動素子が必要になる場合もあります。内蔵オペアンプは、外部バッファを必要とせずに ADC のサンプルホールド回路を駆動するために十分な帯域幅を持つように設計されています。

低消費電力コンパレータ (LPC)

PSoC 4100S プラスはディープスリープモードで動作できる低消費電力コンパレータの 1 対を内蔵しています。これにより、低消費電力モード中に外部電圧レベルを監視する能力を維持しながらアナログシステムブロックを無効にできます。コンパレータ出力は、メタスタビリティを避けるために通常同期化されます。ただし、システム復帰回路がコンパレータの切り替えイベントによりアクティブになるような、非同期電力モードで動作している場合を除きます。LPC の出力はピンに接続できます。

電流 DAC

PSoC 4100S プラスは、チップ上のすべてのピンを駆動できる 2 個の IDAC を備えています。IDAC はプログラム可能な電流範囲があります。

アナログマルチプレクサバス

PSoC 4100S プラスは同心円状にチップの周辺を回る 2 本の独立したバスを備えています。これらのバス (amux バスと呼ばれる) はファームウェアでプログラム可能なアナログスイッチに接続され、チップの内部リソース (IDAC、コンパレータ) を I/O ポートのいずれのピンにも接続できます。

プログラマブル デジタル ブロック

Smart I/O ブロック

Smart I/O ブロックはスイッチと LUT の構造体であり、ブール関数を GPIO ポートのピンに配線されている信号で実行できます。Smart I/O は論理演算をチップの入力ピン、および出力として出る信号で実行できます。

固定機能デジタル ブロック

タイマー／カウンター／PWM (TCPWM) ブロック

TCPWM ブロックは、ユーザーが周期長をプログラム可能な 16 ビット カウンターからなります。キャプチャレジスタは、I/O イベントなどのイベントのときにカウント値を記録します。周期レジスタは、カウンターのカウントが周期レジスタのカウントに等しくなる時にカウントを停止し、または自動的にリロードします。比較レジスタは、PWM デューティ比出力として使用される比較値信号を生成します。このブロックはプログラム可能なオフセットをつけられる正出力とコンプリメント出力も提供しており、デッドバンドをプログラム可能なコンプリメント PWM 出力として使用できます。また、出力を事前に決定された状態に移行させるキル (Kill) 入力もあります。例えば、モーター駆動システムでは、過電流状態が示され、FET を駆動している PWM をソフトウェアの介入なしに直ちに止める必要がある時、キル入力が使用されます。各ブロックは直交デコーダも組み込んでいます。PSoC 4100S プラスは 8 個の TCPWM ブロックがあります。

シリアル通信ブロック (SCB)

PSoC 4100S プラスは 5 個のシリアル通信ブロックを備え、必要に応じて SPI、I²C または UART 機能にプログラムできます。

I²C モード: ハードウェア I²C ブロックは、完全なマルチマスターとスレーブインターフェース (マルチマスターのアービトラーションが可能) を実装します。このブロックは、最大 400kbps (ファストモード) で動作可能で、CPU 用の割込みオーバヘッドとレイテンシを削減するためのフレキシブルなバッファリングオプションがあります。また、PSoC 4100S プラスのメモリでメールボックス アドレス範囲を作って、メモリ アレイに対する読み書きの I²C 通信を効果的に削減する EZI2C にも対応しています。さらに、ブロックは送受信用に深さ 8 の FIFO にも対応しています。CPU がデータを読み出す一定の時間を増加することで、時間通りに CPU が読み出すデータがないことに起因したクロック ストレッチの必要性を大幅に低減できます。

I²C ペリフェラルは、NXP I²C バス仕様とユーザー マニュアル (UM10204) で定義された通りに、I²C 標準モードとファストモード デバイスと互換性があります。I²C バス I/O は、オープンドレイン モードの GPIO を使って実装されます。

PSoC 4100S プラスは、以下の点では I²C 仕様に完全に準拠しません。

- GPIO セルは過電圧耐性がないため、ホットスワップや、I²C システムの残りの部分から独立して電源を投入できません。

UART モード: 最大 1Mbps で動作するフル機能の UART です。基本 UART プロトコルから少し変化したものである、車載向けシングルワイヤインターフェース (LIN)、赤外線インターフェース (IrDA)、SmartCard (ISO7816) プロトコルに対応しています。また、共通の RX と TX ラインを介して接続したペリフェラルのアドレス指定を可能にする 9 ビット マルチプロセッサモードに対応しています。パリティエラー、フレーク検出、フレームエラーなどの一般的な UART 機能に対応しています。深さ 8 の FIFO により、より大きい CPU サービス レイテンシが許容されます。

SPI モード: SPI モードは Motorola SPI、TI SSP (SPI コーデックを同期化するのに使用される開始パルスを追加)、National Microwire (半二重の SPI) に完全に対応しています。SPI ブロックは FIFO を使用することができます。

CAN

TT-CAN をサポートする CAN 2.0B ブロックがあります。

GPIO

PSoC 4100S プラスは最大 54 本の GPIO を持ちます。GPIO ブロックは以下を実装します。

- 8 種類の駆動モード
 - アナログ入力モード (入力と出力バッファが無効)
 - 入力のみ
 - 弱プルアップ、強プルダウン
 - 強プルアップ、弱プルダウン
 - オープンドレイン、強プルダウン
 - オープンドレイン、強プルアップ
 - 強プルアップ、強プルダウン
 - 弱プルアップ、弱プルダウン
- 入力閾値選択 (CMOS あるいは LVTTL)
- 駆動強度モードに加えて、入力と出力バッファの有効/無効の個別制御
- EMI を改善するための dV/dt 関連の雑音制御用の選択可能なスルー レート

ピンは、8 ビット幅のポートと呼ばれる論理エンティティに構成されます (ポート 5 とポート 6 はより少ないビット幅です)。電源投入とリセットの間、入力に過電流を与えず、過剰なターンオン電流を発生させないために、ブロックは無効状態にされます。高速 I/O マトリックスとして知られている多重化ネットワークが、1 本の I/O ピンに接続され得る複数の信号間を多重化するために使用されます。

データ出力とピンステートレジスタは、それぞれピン上で駆動される値とそれらのピンの状態を格納します。

各 I/O ピンは有効になった場合に割込みを生成できます。各 I/O ポートには、それに対応する割込み要求 (IRQ) と割込みサービスルーチン (ISR) ベクタがあります。

特殊機能ペリフェラル

CapSense

CapSense は、(アナログスイッチに接続された)アナログマルチプレクサバスを介してどのピンにも接続できる CapSense シグマ-デルタ (CSD) ブロックにより、PSoC 4100S プラスでサポートされています。CapSense 機能はどのように、ソフトウェアで制御されるシステム内のいかなる使用可能なピンあるいはピングループにも提供できます。扱い易くするために、CapSense ブロック用の PSoC Creator コンポーネントが提供されています。

シールド電圧は、耐水機能を実現するために、他のマルチプレクサバス上で駆動できます。耐水性は、シールド電極を検知電極と同位相で駆動して提供されます。その検知電極はシールド静電容量が検知された入力を減衰させることを防ぐためのものです。近接センシングも実装できます。

CapSense ブロックは、2 個の IDAC を備えています。CapSense を使用しない (両方の IDAC とも使用可能) 場合、または CapSense の耐水機能を利用しない場合 (どちらか一方の IDAC が使用可能)、一般用途に使用できます。

また、CapSense ブロックは CapSense 機能と併用できる 10 ビットのスロー ADC 機能も提供しています。

CapSense ブロックは高性能で、低雑音のプログラマブルブロックです。感度と柔軟性を向上させるために基準電圧と電流源の範囲をプログラム可能です。さらに、外部基準電圧も利用できます。VDDA およびグラウンドのセンシングを代替し、消費電力関連雑音をゼロにする全波 CSD モードがあります。

LCD セグメント駆動

PSoC 4100S プラスは最大 4 つのコモン信号と最大 50 のセグメント信号を駆動できる LCD コントローラーを内蔵しています。内部 LCD 電圧を生成する必要がないフル デジタル方式を使用して LCD セグメントを駆動します。2 つの方式は、デジタル相関と PWM と呼ばれています。デジタル相関は、コモンとセグメント信号の周波数と駆動レベルの変調に関連し、セグメントの全域で最高 RMS 電圧を生成してセグメントを点灯させるか、または RMS 信号を 0 に維持します。この方法は STN ディスプレイに適していますが、(より安い) TN ディスプレイに対してはコントラストが低くなる場合があります。PWM は、PWM 信号を有するパネルの駆動に関連し、パネルの静電容量を効率的に使用して変調されたパルス幅の積分を提供し、所望の LCD 電圧を生成します。この方法は消費電力が増えますが、TN ディスプレイを駆動する際にはより良い結果を出します。LCD 動作はディープスリープモード中にディスプレイ用の小さいバッファ (4 ビット、ポートごとに 1 つの 32 ビットレジスタ) をリフレッシュすることでサポートされます。

ピン配置

次の表は、PSoC 4100S プラスの 44 ピン TQFP、48 ピン TQFP および 64 ピン TQFP 通常ピッチと微細ピッチ パッケージのピンリストです。

64-TQFP		44-TQFP		48-TQFP	
ピン	名称	ピン	名称	ピン	名称
39	P0.0	24	P0.0	28	P0.0
40	P0.1	25	P0.1	29	P0.1
41	P0.2	26	P0.2	30	P0.2
42	P0.3	27	P0.3	31	P0.3
43	P0.4	28	P0.4	32	P0.4
44	P0.5	29	P0.5	33	P0.5
45	P0.6	30	P0.6	34	P0.6
46	P0.7	31	P0.7	35	P0.7
47	XRES	32	XRES	36	XRES
48	VCCD	33	VCCD	37	VCCD
		34	VDDD		
49	VSSD			38	VSSD
50	VDDD			39	VDDD
51	P5.0				
52	P5.1				
53	P5.2				
54	P5.3				
55	P5.5				
56	VDDA	35	VDDA	40	VDDA
57	VSSA	36	VSSA	41	VSSA
58	P1.0	37	P1.0	42	P1.0
59	P1.1	38	P1.1	43	P1.1
60	P1.2	39	P1.2	44	P1.2
61	P1.3	40	P1.3	45	P1.3
62	P1.4	41	P1.4	46	P1.4
63	P1.5	42	P1.5	47	P1.5
64	P1.6	43	P1.6	48	P1.6
1	P1.7	44	P1.7	1	P1.7
		1	VSSD		
2	P2.0	2	P2.0	2	P2.0
3	P2.1	3	P2.1	3	P2.1
4	P2.2	4	P2.2	4	P2.2
5	P2.3	5	P2.3	5	P2.3
6	P2.4	6	P2.4	6	P2.4
7	P2.5	7	P2.5	7	P2.5
8	P2.6	8	P2.6	8	P2.6
9	P2.7	9	P2.7	9	P2.7
10	VSSD				
11	NC				

64-TQFP		44-TQFP		48-TQFP	
ピン	名称	ピン	名称	ピン	名称
12	P6.0	10	P6.0		
13	P6.1				
14	P6.2				
15	P6.4				
16	P6.5				
17	VSSD			10	VSSD
				11	NC
18	P3.0	11	P3.0	12	P3.0
19	P3.1	12	P3.1	13	P3.1
20	P3.2	13	P3.2	14	P3.2
				15	NC
21	P3.3	14	P3.3	16	P3.3
22	P3.4	15	P3.4	17	P3.4
23	P3.5	16	P3.5	18	P3.5
24	P3.6	17	P3.6	19	P3.6
25	P3.7	18	P3.7	20	P3.7
26	VDDD	19	VDDD	21	VDDD
27	P4.0	20	P4.0	22	P4.0
28	P4.1	21	P4.1	23	P4.1
29	P4.2	22	P4.2	24	P4.2
30	P4.3	23	P4.3	25	P4.3
31	P4.4				
32	P4.5				
33	P4.6				
34	P4.7				
35	P5.6				
36	P5.7				
37	P7.0			26	P7.0
38	P7.1			27	P7.1

電源ピンの説明は以下のとおりです。

VDDD: デジタル セクション用の電源

VDDA: アナログ セクション用の電源

VSSD、VSSA: それぞれデジタルとアナログ セクション用のグラウンド ピン

VCCD: 安定化デジタル電源 (1.8V±5%)

VDD: チップのすべてのセクション用の電源

VSS: チップのすべてのセクション用のグラウンド

下表はパッケージ別の GPIO 数です。

	64 TQFP	44 TQFP	48 TQFP
GPIO 数	54	37	38

ピンの代替機能

それぞれのポート ピンは多機能の1つに割り当てられます。例えば、アナログ I/O、デジタル ペリフェラル機能、LCD ピンまたは CapSense ピンです。ピンの割り当てを下表に示します。

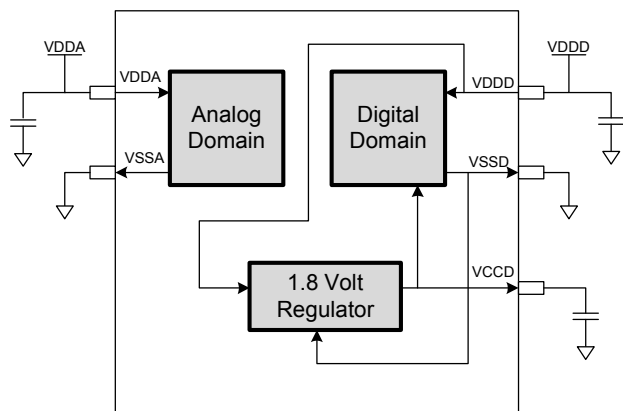
ポート/ ピン	アナログ	Smart I/O	ACT #0	ACT #1	ACT #3	DS #2	DS #3
P0.0	lpcomp.in_p[0]			tcpwm.tr_in[0]	scb[2].uart_cts:0	scb[2].i2c_scl:0	scb[0].spi_select1:0
P0.1	lpcomp.in_n[0]			tcpwm.tr_in[1]	scb[2].uart_rts:0	scb[2].i2c_sda:0	scb[0].spi_select2:0
P0.2	lpcomp.in_p[1]						scb[0].spi_select3:0
P0.3	lpcomp.in_n[1]						scb[2].spi_select0:1
P0.4	wco.wco_in			scb[1].uart_rx:0	scb[2].uart_rx:0	scb[1].i2c_scl:0	scb[1].spi_mosi:1
P0.5	wco.wco_out			scb[1].uart_tx:0	scb[2].uart_tx:0	scb[1].i2c_sda:0	scb[1].spi_miso:1
P0.6	exco.eco_in		srss.ext_clk:0	scb[1].uart_cts:0	scb[2].uart_tx:1		scb[1].spi_clk:1
P0.7	exco.eco_out		tcpwm.line[0]:3	scb[1].uart_rts:0			scb[1].spi_select0:1
P5.0			tcpwm.line[4]:2		scb[2].uart_rx:1	scb[2].i2c_scl:1	scb[2].spi_mosi:0
P5.1			tcpwm.line_compl[4]:2		scb[2].uart_tx:2	scb[2].i2c_sda:1	scb[2].spi_miso:0
P5.2			tcpwm.line[5]:2		scb[2].uart_cts:1	lpcomp.comp[0]:2	scb[2].spi_clk:0
P5.3			tcpwm.line_compl[5]:2		scb[2].uart_rts:1	lpcomp.comp[1]:0	scb[2].spi_select0:0
P5.4			tcpwm.line[6]:2				scb[2].spi_select1:0
P5.5			tcpwm.line_compl[6]:2				scb[2].spi_select2:0
P1.0	ctb0_oa0+	Smartlo[2].io[0]	tcpwm.line[2]:1	scb[0].uart_rx:1		scb[0].i2c_scl:0	scb[0].spi_mosi:1
P1.1	ctb0_oa0-	Smartlo[2].io[1]	tcpwm.line_compl[2]:1	scb[0].uart_tx:1		scb[0].i2c_sda:0	scb[0].spi_miso:1
P1.2	ctb0_oa0_out	Smartlo[2].io[2]	tcpwm.line[3]:1	scb[0].uart_cts:1	tcpwm.tr_in[2]	scb[2].i2c_scl:2	scb[0].spi_clk:1
P1.3	ctb0_oa1_out	Smartlo[2].io[3]	tcpwm.line_compl[3]:1	scb[0].uart_rts:1	tcpwm.tr_in[3]	scb[2].i2c_sda:2	scb[0].spi_select0:1
P1.4	ctb0_oa1-	Smartlo[2].io[4]	tcpwm.line[6]:1			scb[3].i2c_scl:0	scb[0].spi_select1:1
P1.5	ctb0_oa1+	Smartlo[2].io[5]	tcpwm.line_compl[6]:1			scb[3].i2c_sda:0	scb[0].spi_select2:1
P1.6	ctb0_oa0+	Smartlo[2].io[6]	tcpwm.line[7]:1				scb[0].spi_select3:1
P1.7	ctb0_oa1+ sar_ext_vref0 sar_ext_vref1	Smartlo[2].io[7]	tcpwm.line_compl[7]:1				scb[2].spi_clk:1
P2.0	sarmux[0]	Smartlo[0].io[0]	tcpwm.line[4]:0	csd.comp	tcpwm.tr_in[4]	scb[1].i2c_scl:1	scb[1].spi_mosi:2
P2.1	sarmux[1]	Smartlo[0].io[1]	tcpwm.line_compl[4]:0		tcpwm.tr_in[5]	scb[1].i2c_sda:1	scb[1].spi_miso:2
P2.2	sarmux[2]	Smartlo[0].io[2]	tcpwm.line[5]:1				scb[1].spi_clk:2
P2.3	sarmux[3]	Smartlo[0].io[3]	tcpwm.line_compl[5]:1				scb[1].spi_select0:2

ポート ピン	アナログ	Smart I/O	ACT #0	ACT #1	ACT #3	DS #2	DS #3
P2.4	sarmux[4]	Smartlo[0].io[4]	tcpwm.line[0]:1	scb[3].uart_rx:1			scb[1].spi_select1:1
P2.5	sarmux[5]	Smartlo[0].io[5]	tcpwm.line_compl[0]:1	scb[3].uart_tx:1			scb[1].spi_select2:1
P2.6	sarmux[6]	Smartlo[0].io[6]	tcpwm.line[1]:1	scb[3].uart_cts:1			scb[1].spi_select3:1
P2.7	sarmux[7]	Smartlo[0].io[7]	tcpwm.line_compl[1]:1	scb[3].uart_rts:1		lpcomp.comp[0]:0	scb[2].spi_mosi:1
P6.0			tcpwm.line[4]:1	scb[3].uart_rx:0	can.can_tx_enb_n:0	scb[3].i2c_scl:1	scb[3].spi_mosi:0
P6.1			tcpwm.line_compl[4]:1	scb[3].uart_tx:0	can.can_rx:0	scb[3].i2c_sda:1	scb[3].spi_miso:0
P6.2			tcpwm.line[5]:0	scb[3].uart_cts:0	can.can_tx:0		scb[3].spi_clk:0
P6.3			tcpwm.line_compl[5]:0	scb[3].uart_rts:0			scb[3].spi_select0:0
P6.4			tcpwm.line[6]:0			scb[4].i2c_scl	scb[3].spi_select1:0
P6.5			tcpwm.line_compl[6]:0			scb[4].i2c_sda	scb[3].spi_select2:0
P3.0		Smartlo[1].io[0]	tcpwm.line[0]:0	scb[1].uart_rx:1		scb[1].i2c_scl:2	scb[1].spi_mosi:0
P3.1		Smartlo[1].io[1]	tcpwm.line_compl[0]:0	scb[1].uart_tx:1		scb[1].i2c_sda:2	scb[1].spi_miso:0
P3.2		Smartlo[1].io[2]	tcpwm.line[1]:0	scb[1].uart_cts:1		cpuss.swd_data	scb[1].spi_clk:0
P3.3		Smartlo[1].io[3]	tcpwm.line_compl[1]:0	scb[1].uart_rts:1		cpuss.swd_clk	scb[1].spi_select0:0
P3.4		Smartlo[1].io[4]	tcpwm.line[2]:0		tcpwm.tr_in[6]		scb[1].spi_select1:0
P3.5		Smartlo[1].io[5]	tcpwm.line_compl[2]:0				scb[1].spi_select2:0
P3.6		Smartlo[1].io[6]	tcpwm.line[3]:0			scb[4].spi_select3	scb[1].spi_select3:0
P3.7		Smartlo[1].io[7]	tcpwm.line_compl[3]:0			lpcomp.comp[1]:1	scb[2].spi_miso:1
P4.0	csd.vref_ext			scb[0].uart_rx:0	can.can_rx:1	scb[0].i2c_scl:1	scb[0].spi_mosi:0
P4.1	csd.cshield			scb[0].uart_tx:0	can.can_tx:1	scb[0].i2c_sda:1	scb[0].spi_miso:0
P4.2	csd.cmod			scb[0].uart_cts:0	can.can_tx_enb_n:1	lpcomp.comp[0]:1	scb[0].spi_clk:0
P4.3	csd.csh_tank			scb[0].uart_rts:0		lpcomp.comp[1]:2	scb[0].spi_select0:0
P4.4				scb[4].uart_rx		scb[4].spi_mosi	scb[0].spi_select1:2
P4.5				scb[4].uart_tx		scb[4].spi_miso	scb[0].spi_select2:2
P4.6				scb[4].uart_cts		scb[4].spi_clk	scb[0].spi_select3:2
P4.7				scb[4].uart_rts		scb[4].spi_select0	
P5.6			tcpwm.line[7]:0			scb[4].spi_select1	scb[2].spi_select3:0
P5.7			tcpwm.line_compl[7]:0			scb[4].spi_select2	
P7.0			tcpwm.line[0]:2	scb[3].uart_rx:2		scb[3].i2c_scl:2	scb[3].spi_mosi:1
P7.1			tcpwm.line_compl[0]:2	scb[3].uart_tx:2		scb[3].i2c_sda:2	scb[3].spi_miso:1
P7.2			tcpwm.line[1]:2	scb[3].uart_cts:2			scb[3].spi_clk:1

電源

以下の電源システム図は、PSoC 4100S プラス用に実装された電源ピンを示します。システムは、アクティブモードで動作するデジタル回路用のレギュレータが1つあります。アナログ用のレギュレータはありません。アナログ回路はV_{DD}入力から直接動作します。

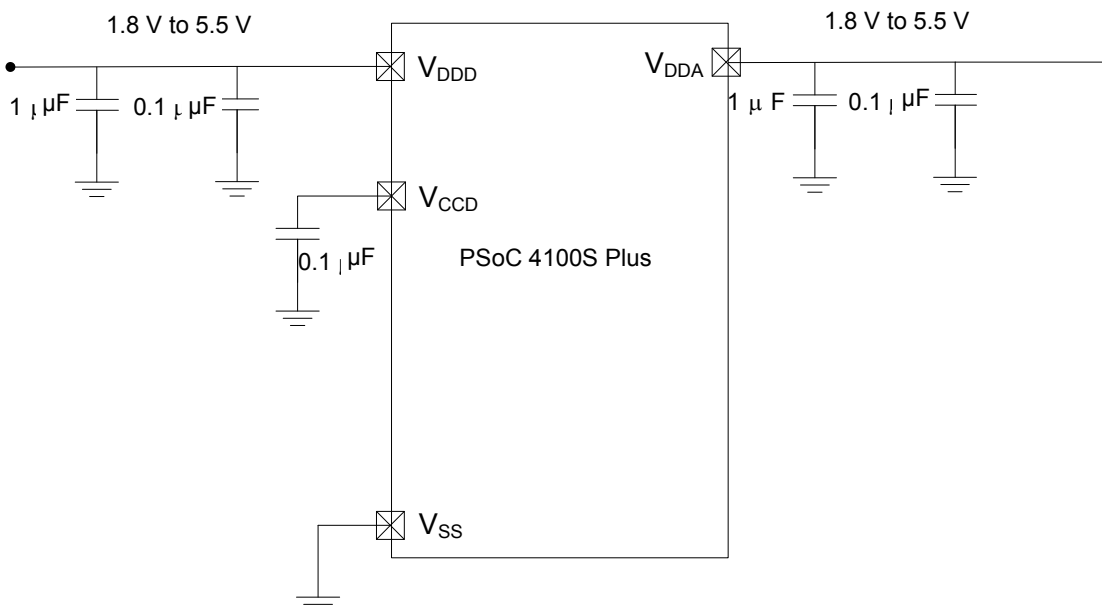
図 5. 電源接続



次の2つの異なる動作モードがあります。モード1では、供給電圧範囲は1.8V ~ 5.5V (外部レギュレータ不使用、内部レギュレータは動作可能)です。モード2では、供給電圧範囲は1.8V±5% (外部レギュレータ使用、1.71 ~ 1.89V、内部レギュレータはバイパスされる)です。

図 6. 1.8V ~ 5.5V の外部電源 (内部レギュレータが有効)

Power supply bypass connections example



モード1: 1.8V ~ 5.5V の外部電源

このモードでは、PSoC 4100S プラスは1.8V ~ 5.5Vの電圧範囲の外部電源から電源供給されます。この範囲はバッテリー駆動動作にも対応します。例えばチップは、3.5Vから始まって1.8Vまで低下するバッテリーシステムから電源供給されます。このモードでは、PSoC 4100S プラスの内部レギュレータは内部ロジックに電源を供給し、その出力はV_{CCD}ピンに接続されます。V_{CCD}ピンは外部コンデンサ(0.1μF、X5Rセラミックかそれより良質なものを)を介してグラウンドにバイパスされ、他のどれにも接続してはいけません。

モード2: 1.8V±5% の外部電源

このモードでは、PSoC 4100S プラスは1.71V ~ 1.89Vの外部電源から電源供給されます。この範囲には電源リップルが含まれていることに注意してください。このモードで、VDDピンとVCCDピンは互いに短絡され、バイパスされます。内部レギュレータはファームウェアで無効化することができます。

バイパスコンデンサをVDDDからグラウンドの間に接続する必要があります。この周波数範囲でのシステムの標準的な実践としては、1μFレンジのコンデンサをより小さいコンデンサ(例えば、0.1μF)と並列で使用します。これらは単なる経験則です。しかし、重要なアプリケーションに対しては、設計に最適なバイパスを得るために、PCBレイアウト、リードインダクタンス、バイパスコンデンサ寄生容量をシミュレートする必要があります。ことに留意してください。

バイパススキームの例を下図に示します。

電氣的仕様

絶対最大定格

表 1. 絶対最大定格^[1]

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID1	V _{DDD_ABS}	V _{SS} を基準としたデジタル電源電圧	-0.5	-	6	V	-
SID2	V _{CCD_ABS}	V _{SS} を基準とした直接デジタル コア電圧入力	-0.5	-	1.95		-
SID3	V _{GPIO_ABS}	GPIO 電圧	-0.5	-	V _{DD} +0.5		-
SID4	I _{GPIO_ABS}	GPIO ごとの最大電流	-25	-	25	mA	-
SID5	I _{GPIO_injection}	GPIO 注入電流、V _{IH} >V _{DDD} の場合は Max、V _{IL} <V _{SS} の場合は Min	-0.5	-	0.5		ピンごとの注入電流
BID44	ESD_HBM	静電気放電 (人体モデル)	2200	-	-	V	-
BID45	ESD_CDM	静電気放電 (デバイス帯電モデル)	500	-	-		-
BID46	LU	ラッチアップ時のピン電流	-140	-	140	mA	-

デバイス レベルの仕様

特記されていない限り、すべての仕様は -40°C ≤ T_A ≤ 105°C および T_J ≤ 125°C の条件で有効です。仕様は注記した場合を除いて 1.71V ~ 5.5V において有効です。

表 2. DC 仕様

Typ 値は 25°C、V_{DD}=3.3V で測定されます。

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID53	V _{DD}	電源ピン入力電圧	1.8	-	5.5	V	内部レギュレータ使用
SID255	V _{DD}	電源ピン入力電圧 (V _{CCD} =V _{DDD} =V _{DDA})	1.71	-	1.89		内部レギュレータ不使用
SID54	V _{CCD}	出力電圧 (コア ロジック用)	-	1.8	-		-
SID55	C _{EFC}	外部レギュレータ電圧バイパス	-	0.1	-	μF	X5R セラミックまたはこれより良質のもの
SID56	C _{EXC}	電源バイパス コンデンサ	-	1	-		X5R セラミックまたはこれより良質のもの

アクティブモード、V_{DD}=1.8V ~ 5.5V。Typ 値は 25°C、V_{DD}=3.3V で測定

SID10	I _{DD5}	フラッシュから実行。CPU 速度が 6MHz	-	1.8	2.4	mA	
SID16	I _{DD8}	フラッシュから実行。CPU 速度が 24MHz	-	3.0	4.6		
SID19	I _{DD11}	フラッシュから実行。CPU 速度が 48MHz	-	5.4	7.1		

注

- 表 1 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響を与える可能性があります。最大保管温度は JEDEC 規格「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以内で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様通りに動作しない可能性があります。

表 2. DC 仕様 (続き)

 Typ 値は 25°C、V_{DD}=3.3V で測定されます。

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
スリープモード、V_{DDD}=1.8V ~ 5.5V (レギュレータが有効)							
SID22	I _{DD17}	I ² C ウェイクアップ、WDT およびコンパレータが有効	-	1.1	1.8	mA	6MHz
SID25	I _{DD20}	I ² C ウェイクアップ、WDT およびコンパレータが有効	-	1.5	2.1		12MHz
スリープモード、V_{DDD}=1.71V ~ 1.89V (レギュレータがバイパスされる)							
SID28	I _{DD23}	I ² C ウェイクアップ、WDT、およびコンパレータが有効	-	1.1	1.8	mA	6MHz
SID28A	I _{DD23A}	I ² C ウェイクアップ、WDT、およびコンパレータが有効	-	1.5	2.1		12MHz
ディープスリープモード、V_{DD}=1.8V ~ 3.6V (レギュレータが有効)							
SID30	I _{DD25}	I ² C ウェイクアップと WDT が有効。 T=-40°C ~ 60°C	-	2.5	40	μA	T=-40°C ~ 60°C
SID31	I _{DD26}	I ² C ウェイクアップと WDT が有効	-	2.5	125		Max は 3.6V、 85°C で測定
ディープスリープモード、V_{DD}=3.6V ~ 5.5V (レギュレータが有効)							
SID33	I _{DD28}	I ² C ウェイクアップと WDT が有効。 T=-40°C ~ 60°C	-	2.5	40	μA	T=-40°C ~ 60°C
SID34	I _{DD29}	I ² C ウェイクアップと WDT が有効	-	2.5	125		Max は 5.5V、 85°C で測定
ディープスリープモード、V_{DD}=V_{CCD}=1.71V ~ 1.89V (レギュレータがバイパス)							
SID36	I _{DD31}	I ² C ウェイクアップと WDT が有効。 T=-40°C ~ 60°C	-	2.5	60	μA	T=-40°C ~ 60°C
SID37	I _{DD32}	I ² C ウェイクアップと WDT が有効	-	2.5	180		Max が 1.89V、 85°C で測定
XRES 電流							
SID307	I _{DD_XR}	XRES がアサート時の供給電流	-	2	5	mA	-

表 3. AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件	
SID48	F _{CPU}	CPU 周波数	DC	-	48	MHz	1.71 ≤ V _{DD} ≤ 5.5	
SID49 ^[2]	T _{SLEEP}	スリープモードからの復帰時間	-	0	-		μs	
SID50 ^[2]	T _{DEEPSLEEP}	ディープスリープモードからの復帰時間	-	35	-			

注

2. 特性評価で保証されています。

GPIO
表 4. GPIO の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID57	$V_{IH}^{[3]}$	入力電圧 HIGH 閾値	$0.7 \times V_{DD}$	-	-	V	CMOS 入力
SID58	V_{IL}	入力電圧 LOW 閾値	-	-	$0.3 \times V_{DD}$		CMOS 入力
SID241	$V_{IH}^{[3]}$	LVTTL 入力、 $V_{DD} < 2.7V$	$0.7 \times V_{DD}$	-	-		-
SID242	V_{IL}	LVTTL 入力、 $V_{DD} < 2.7V$	-	-	$0.3 \times V_{DD}$		-
SID243	$V_{IH}^{[3]}$	LVTTL 入力、 $V_{DD} \geq 2.7V$	2.0	-	-		-
SID244	V_{IL}	LVTTL 入力、 $V_{DD} \geq 2.7V$	-	-	0.8		-
SID59	V_{OH}	出力電圧 HIGH レベル	$V_{DD} - 0.6$	-	-		$V_{DD} = 3V$ のとき、 $I_{OH} = 4mA$
SID60	V_{OH}	出力電圧 HIGH レベル	$V_{DD} - 0.5$	-	-		$V_{DD} = 1.8V$ のとき、 $I_{OH} = 1mA$
SID61	V_{OL}	出力電圧 LOW レベル	-	-	0.6		$V_{DD} = 1.8V$ のとき、 $I_{OL} = 4mA$
SID62	V_{OL}	出力電圧 LOW レベル	-	-	0.6		$V_{DD} = 3V$ のとき、 $I_{OL} = 10mA$
SID62A	V_{OL}	出力電圧 LOW レベル	-	-	0.4		$V_{DD} = 3V$ のとき、 $I_{OL} = 3mA$
SID63	R_{PULLUP}	プルアップ抵抗	3.5	5.6	8.5		k Ω
SID64	$R_{PULLDOWN}$	プルダウン抵抗	3.5	5.6	8.5	-	
SID65	I_{IL}	入力リーク電流 (絶対値)	-	-	2	nA	25°C、 $V_{DD} = 3.0V$
SID66	C_{IN}	入力静電容量	-	-	7	pF	-
SID67 ^[4]	V_{HYSTTL}	入力ヒステリシス LVTTL	25	40	-	mV	$V_{DD} \geq 2.7V$
SID68 ^[4]	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05 \times V_{DD}$	-	-		$V_{DD} < 4.5V$
SID68A ^[4]	$V_{HYSCMOS5V5}$	入力ヒステリシス CMOS	200	-	-		$V_{DD} > 4.5V$
SID69 ^[4]	I_{DIODE}	保護ダイオードを通して V_{DD} / V_{SS} に流れる電流	-	-	100	μA	-
SID69A ^[4]	I_{TOT_GPIO}	ソースおよびシンク電流をチップ全体で合計した値の最大値	-	-	200	mA	-

表 5. GPIO の AC 仕様
(特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID70	T_{RISEF}	高速ストロングモードでの立ち上がり時間	2	-	12	ns	3.3V V_{DD} 、 Load=25pF
SID71	T_{FALLF}	高速ストロングモードでの立ち下がり時間	2	-	12		3.3V V_{DD} 、 Load=25pF
SID72	T_{RISES}	低速ストロングモードでの立ち上がり時間	10	-	60	-	3.3V V_{DD} 、 Load=25pF

注

- V_{IH} は $V_{DD} + 0.2V$ を超えてはいけません。
- 特性評価で保証されています。

表 5. GPIO の AC 仕様 (続き)
 (特性評価で保証)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID73	T_{FALLS}	低速ストロングモードでの立ち下がり時間	10	–	60	–	$3.3V V_{DD}$ 、 $C_{load}=25pF$
SID74	$F_{GPIOOUT1}$	GPIO F_{OUT} 。 $3.3V \leq V_{DD} \leq 5.5V$ 高速ストロングモード	–	–	33	MHz	90/10%、負荷 25pF、デューティ比 60/40
SID75	$F_{GPIOOUT2}$	GPIO F_{OUT} 。 $1.71V \leq V_{DD} \leq 3.3V$ 高速ストロングモード	–	–	16.7		90/10%、負荷 25pF、デューティ比 60/40
SID76	$F_{GPIOOUT3}$	GPIO F_{OUT} 。 $3.3V \leq V_{DD} \leq 5.5V$ 低速ストロングモード	–	–	7		90/10%、負荷 25pF、デューティ比 60/40
SID245	$F_{GPIOOUT4}$	GPIO F_{OUT} 。 $1.71V \leq V_{DD} \leq 3.3V$ 低速ストロングモード	–	–	3.5		90/10%、負荷 25pF、デューティ比 60/40
SID246	F_{GPIOIN}	GPIO 入力の動作周波数。 $1.71V \leq V_{DD} \leq 5.5V$	–	–	48		V_{IO} の 90/10%

XRES

表 6. XRES の DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID77	V_{IH}	入力電圧 HIGH 閾値	$0.7 \times V_{DDD}$	–	–	V	CMOS 入力
SID78	V_{IL}	入力電圧 LOW 閾値	–	–	$0.3 \times V_{DDD}$		
SID79	R_{PULLUP}	プルアップ抵抗	–	60	–	k Ω	–
SID80	C_{IN}	入力静電容量	–	–	7	pF	–
SID81 ^[5]	$V_{HYSXRES}$	入力電圧ヒステリシス	–	100	–	mV	$V_{DD} > 4.5V$ 時の標準ヒステリシス電圧が 200mV
SID82	I_{DIODE}	保護ダイオードを通して V_{DD} / V_{SS} に流れる電流	–	–	100	μA	

表 7. XRES の AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID83 ^[5]	$T_{RESETWIDTH}$	リセットパルス幅	1	–	–	μs	–
BID194 ^[5]	$T_{RESETWAKE}$	リセット解除時からの復帰時間	–	–	2.7	ms	–

 注
 5. 特性評価で保証されています。

アナログ ペリフェラル

CTBm オペアンプ

表 8. CTBm オペアンプの仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
	I _{DD}	オペアンプ ブロック電流、外部負荷					
SID269	I _{DD_HI}	電力 = 高	-	1100	1850	μA	-
SID270	I _{DD_MED}	電力 = 中	-	550	950		-
SID271	I _{DD_LOW}	電力 = 低	-	150	350		-
	G _{BW}	負荷 = 20pF、0.1mA V _{DDA} =2.7V					
SID272	G _{BW_HI}	電力 = 高	6	-	-	MHz	入力および出力は 0.2V ~ V _{DDA} -0.2V
SID273	G _{BW_MED}	電力 = 中	3	-	-		入力および出力は 0.2V ~ V _{DDA} -0.2V
SID274	G _{BW_LO}	電力 = 低	-	1	-		入力および出力は 0.2V ~ V _{DDA} -0.2V
	I _{OUT_MAX}	V _{DDA} =2.7V、電源電圧より 500mV 内側					
SID275	I _{OUT_MAX_HI}	電力 = 高	10	-	-	mA	出力は 0.5V ~ V _{DDA} -0.5V
SID276	I _{OUT_MAX_MID}	電力 = 中	10	-	-		出力は 0.5V ~ V _{DDA} -0.5V
SID277	I _{OUT_MAX_LO}	電力 = 低	-	5	-		出力は 0.5V ~ V _{DDA} -0.5V
	I _{OUT}	V _{DDA} =1.71V、電源電圧より 500mV 内側					
SID278	I _{OUT_MAX_HI}	電力 = 高	4	-	-	mA	出力は 0.5V ~ V _{DDA} -0.5V
SID279	I _{OUT_MAX_MID}	電力 = 中	4	-	-		出力は 0.5V ~ V _{DDA} -0.5V
SID280	I _{OUT_MAX_LO}	電力 = 低	-	2	-		出力は 0.5V ~ V _{DDA} -0.5V
	I _{DD_Int}	オペアンプ ブロック電流、内部負荷					
SID269_I	I _{DD_HI_Int}	電力 = 高	-	1500	1700	μA	-
SID270_I	I _{DD_MED_Int}	電力 = 中	-	700	900		-
SID271_I	I _{DD_LOW_Int}	電力 = 低	-	-	-		-
	G _{BW}	V _{DDA} =2.7V	-	-	-		-
SID272_I	G _{BW_HI_Int}	電力 = 高	8	-	-	MHz	出力は 0.25V ~ V _{DDA} -0.25V
		内部モード、外部モード両方の オペアンプの一般仕様					
SID281	V _{IN}	チャージ ポンプが有効、V _{DDA} =2.7V	-0.05	-	V _{DDA} -0.2	V	-
SID282	V _{CM}	チャージ ポンプが有効、V _{DDA} =2.7V	-0.05	-	V _{DDA} -0.2		-
	V _{OUT}	V _{DDA} =2.7V					

表 8. CTBm オペアンプの仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID283	V _{OUT_1}	電力 = 高、I _{load} =10mA	0.5	-	V _{DDA} ⁻ 0.5	V	-
SID284	V _{OUT_2}	電力 = 高、I _{load} =1mA	0.2	-	V _{DDA} ⁻ 0.2		-
SID285	V _{OUT_3}	電力 = 中、I _{load} =1mA	0.2	-	V _{DDA} ⁻ 0.2		-
SID286	V _{OUT_4}	電力 = 低、I _{load} =0.1mA	0.2	-	V _{DDA} ⁻ 0.2		-
SID288	V _{OS_TR}	オフセット電圧 (トリム後)	-1.0	±0.5	1.0	mV	高電力モード、入力は 0V ~ V _{DDA} -0.2V
SID288A	V _{OS_TR}	オフセット電圧 (トリム後)	-	±1	-		中電力モード、入力は 0V ~ V _{DDA} -0.2V
SID288B	V _{OS_TR}	オフセット電圧 (トリム後)	-	±2	-		低電力モード、入力は 0V ~ V _{DDA} -0.2V
SID290	V _{OS_DR_TR}	オフセット電圧ドリフト (トリム後)	-10	±3	10	μV/°C	高電力モード
SID290A	V _{OS_DR_TR}	オフセット電圧ドリフト (トリム後)	-	±10	-	μV/°C	中電力モード
SID290B	V _{OS_DR_TR}	オフセット電圧ドリフト (トリム後)	-	±10	-		低電力モード
SID291	CMRR	DC	70	80	-	dB	入力は 0V ~ V _{DDA} -0.2V、出力は 0.2V ~ V _{DDA} -0.2V
SID292	PSRR	周波数 = 1kHz、リップル = 10mV	70	85	-		V _{DD} =3.6V、高電力 モード、入力は 0.2V ~ V _{DDA} -0.2V
	雑音						
SID294	VN2	入力基準、1kHz、電力 = 高	-	72	-	nV/rtHz	入力と出力は 0.2V ~ V _{DDA} -0.2V
SID295	VN3	入力基準、10kHz、電力 = 高	-	28	-		入力および出力は 0.2V ~ V _{DDA} -0.2V
SID296	VN4	入力基準、100kHz、電力 = 高	-	15	-		入力および出力は 0.2V ~ V _{DDA} -0.2V
SID297	C _{LOAD}	最大負荷まで安定。50pF で性能 仕様を満たす	-	-	125	pF	-
SID298	SLEW_RATE	C _{load} =50pF、電力 = 高、 V _{DDA} =2.7V	6	-	-	V/μs	-
SID299	T _{OP_WAKE}	無効から有効までの時間。外付け RC 無し	-	-	25	μs	-
SID299A	OL_GAIN	オープンループゲイン	-	90	-	dB	-
	COMP_MODE	コンパレータモード。50mV 駆動、 T _{rise} =T _{fall} (おおよそ)					

表 8. CTBm オペアンプの仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID300	TPD1	応答時間。電力 = 高	-	150	-	ns	入力は 0.2V ~ $V_{DDA} - 0.2V$
SID301	TPD2	応答時間。電力 = 中	-	500	-		入力は 0.2V ~ $V_{DDA} - 0.2V$
SID302	TPD3	応答時間。電力 = 低	-	2500	-		入力は 0.2V ~ $V_{DDA} - 0.2V$
SID303	VHYST_OP	ヒステリシス	-	10	-	mV	-
SID304	WUP_CTB	イネーブル状態から使用可能までの所要時間	-	-	25	μs	-
	ディープスリープモード	モード2は最低電流範囲。モード1はより高いGBWを持つ					
SID_DS_1	I _{DD_HI_M1}	モード1、高電流	-	1400	-	μA	25°C
SID_DS_2	I _{DD_MED_M1}	モード1、中電流	-	700	-		25°C
SID_DS_3	I _{DD_LOW_M1}	モード1、低電流	-	200	-		25°C
SID_DS_4	I _{DD_HI_M2}	モード2、高電流	-	120	-		25°C
SID_DS_5	I _{DD_MED_M2}	モード2、中電流	-	60	-		25°C
SID_DS_6	I _{DD_LOW_M2}	モード2、低電流	-	15	-		25°C
SID_DS_7	G _{BW_HI_M1}	モード1、高電流	-	4	-	MHz	20pF 負荷、DC 負荷なし、0.2V ~ $V_{DDA} - 0.2V$
SID_DS_8	G _{BW_MED_M1}	モード1、中電流	-	2	-		20pF 負荷、DC 負荷なし、0.2V ~ $V_{DDA} - 0.2V$
SID_DS_9	G _{BW_LOW_M1}	モード1、低電流	-	0.5	-		20pF 負荷、DC 負荷なし、0.2V ~ $V_{DDA} - 0.2V$
SID_DS_10	G _{BW_HI_M2}	モード2、高電流	-	0.5	-		20pF 負荷、DC 負荷なし、0.2V ~ $V_{DDA} - 0.2V$
SID_DS_11	G _{BW_MED_M2}	モード2、中電流	-	0.2	-		20pF 負荷、DC 負荷なし、0.2V ~ $V_{DDA} - 0.2V$
SID_DS_12	G _{BW_LOW_M2}	モード2、低電流	-	0.1	-		20pF 負荷、DC 負荷なし、0.2V ~ $V_{DDA} - 0.2V$
SID_DS_13	V _{OS_HI_M1}	モード1、高電流	-	5	-	mV	トリム後、25°C、0.2V ~ $V_{DDA} - 0.2V$
SID_DS_14	V _{OS_MED_M1}	モード1、中電流	-	5	-		トリム後、25°C、0.2V ~ $V_{DDA} - 0.2V$
SID_DS_15	V _{OS_LOW_M1}	モード1、低電流	-	5	-		トリム後、25°C、0.2V ~ $V_{DDA} - 0.2V$
SID_DS_16	V _{OS_HI_M2}	モード2、高電流	-	5	-		トリム後、25°C、0.2V ~ $V_{DDA} - 0.2V$
SID_DS_17	V _{OS_MED_M2}	モード2、中電流	-	5	-		トリム後、25°C、0.2V ~ $V_{DDA} - 0.2V$
SID_DS_18	V _{OS_LOW_M2}	モード2、低電流	-	5	-		トリム後、25°C、0.2V ~ $V_{DDA} - 0.2V$

表 8. CTBm オペアンプの仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID_DS_19	I _{OUT_HI_M1}	モード 1、高電流	-	10	-	mA	出力は 0.5V ~ V _{DDA} -0.5V
SID_DS_20	I _{OUT_MED_M1}	モード 1、中電流	-	10	-		出力は 0.5V ~ V _{DDA} -0.5V
SID_DS_21	I _{OUT_LOW_M1}	モード 1、低電流	-	4	-		出力は 0.5V ~ V _{DDA} -0.5V
SID_DS_22	I _{OUT_HI_M2}	モード 2、高電流	-	1	-		
SID_DS_23	I _{OUT_MED_M2}	モード 2、中電流	-	1	-		
SID_DS_24	I _{OUT_LOW_M2}	モード 2、低電流	-	0.5	-		

コンパレータ

表 9. コンパレータの DC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID84	V _{OFFSET1}	入力オフセット電圧 (工場出荷時トリム)	-	-	±10	mV	
SID85	V _{OFFSET2}	入力オフセット電圧 (カスタムトリム)	-	-	±4		
SID86	V _{HYST}	有効時のヒステリシス	-	10	35		
SID87	V _{ICM1}	通常モードでの入力同相電圧	0	-	V _{DDD} -0.1	V	モード 1 およびモード 2
SID247	V _{ICM2}	低消費電力モードでの入力同相電圧	0	-	V _{DDD}		
SID247A	V _{ICM3}	超低消費電力モードでの入力同相電圧	0	-	V _{DDD} -1.15		-40°C で V _{DDD} ≥2.2V
SID88	C _{MRR}	同相信号除去比	50	-	-	dB	V _{DDD} ≥2.7V
SID88A	C _{MRR}	同相信号除去比	42	-	-		V _{DDD} ≤2.7V
SID89	I _{CMP1}	通常モードでのブロック電流	-	-	400	μA	
SID248	I _{CMP2}	低消費電力モードでのブロック電流	-	-	100		
SID259	I _{CMP3}	超低消費電力モードでのブロック電流	-	-	6		-40°C で V _{DDD} ≥2.2V
SID90	Z _{CMP}	コンパレータの DC 入力インピーダンス	35	-	-	MΩ	

表 10. コンパレータの AC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID91	TRESP1	通常モードでの応答時間、50mV オーバードライブ	-	38	110	ns	
SID258	TRESP2	低消費電力モードでの応答時間、50mV オーバードライブ	-	70	200		
SID92	TRESP3	超低消費電力モードでの応答時間、200mV オーバードライブ	-	2.3	15	μs	-40°C で V _{DDD} ≥2.2V

注

6. 特性評価で保証されています。

温度センサー

表 11. 温度センサー仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID93	TSENSACC	温度センサー精度	-5	±1	5	°C	-40°C ~ +85°C

SAR ADC

表 12. SAR ADC の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SAR ADC の DC 仕様							
SID94	A_RES	分解能	-	-	12	ビット	
SID95	A_CHNLS_S	チャンネル数 - シングル エンド	-	-	16		
SID96	A-CHNKS_D	チャンネル数 - 差動	-	-	4		差動チャンネルの入力は隣接する I/O を使用
SID97	A-MONO	単調増加性	-	-	-		有
SID98	A_GAINERR	ゲイン誤差	-	-	±0.1	%	外部基準電圧有り
SID99	A_OFFSET	入力オフセット電圧	-	-	2	mV	1V 基準電圧で測定
SID100	A_ISAR	消費電流	-	-	1	mA	
SID101	A_VINS	入力電圧範囲 - シングル エンド	V _{SS}	-	V _{DDA}	V	
SID102	A_VIND	入力電圧範囲 - 差動	V _{SS}	-	V _{DDA}	V	
SID103	A_INRES	入力抵抗	-	-	2.2	kΩ	
SID104	A_INCAP	入力静電容量	-	-	10	pF	
SID260	VREFSAR	SAR 用の調整された内部基準電圧	1.188	1.2	1.212	V	
SAR ADC の AC 仕様							
SID106	A_PSRR	電源電圧変動除去比	70	-	-	dB	
SID107	A_CMRR	同相信号除去比	66	-	-	dB	1V で測定
SID108	A_SAMP	サンプル レート	-	-	1	MspS	
SID109	A_SNR	信号対雑音および歪み比 (SINAD)	65	-	-	dB	F _{IN} =10kHz
SID110	A_BW	エイリアシングが発生しない入力帯域幅	-	-	A _{samp} /2	kHz	
SID111	A_INL	積分非直線性 V _{DD} =1.71V ~ 5.5V、1MspS	-1.7	-	2	LSB	V _{REF} =1V ~ V _{DD}
SID111A	A_INL	積分非直線性 V _{DD} =1.71V ~ 3.6V、1MspS	-1.5	-	1.7	LSB	V _{REF} =1.71V ~ V _{DD}
SID111B	A_INL	積分非直線性 V _{DD} =1.71V ~ 5.5V、500kspS	-1.5	-	1.7	LSB	V _{REF} =1V ~ V _{DD}
SID112	A_DNL	微分非直線性 V _{DD} =1.71V ~ 5.5V、1MspS	-1	-	2.2	LSB	V _{REF} =1V ~ V _{DD}
SID112A	A_DNL	微分非直線性 V _{DD} =1.71V ~ 3.6V、1MspS	-1	-	2	LSB	V _{REF} =1.71V ~ V _{DD}
SID112B	A_DNL	微分非直線性 V _{DD} =1.71V ~ 5.5V、500kspS	-1	-	2.2	LSB	V _{REF} =1V ~ V _{DD}
SID113	A_THD	全高調波歪み	-	-	-65	dB	F _{in} =10kHz
SID261	FSARINTREF	SAR 動作速度 (外部基準バイパス コンデンサ無し)	-	-	100	kspS	12 ビット分解能

CSD および IDAC

表 13. CSD および IDAC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SYS.PER#3	VDD_RIPPLE	電源の最大許容リップル (DC ~ 10MHz 帯域)	-	-	±50	mV	$V_{DD} > 2V$ (リップルあり)、 $T_A = 25^\circ C$ 、感度 = 0.1pF
SYS.PER#16	VDD_RIPPLE_1.8	電源の最大許容リップル (DC ~ 10MHz 帯域)	-	-	±25	mV	$V_{DD} > 1.75V$ (リップルあり)、 $T_A = 25^\circ C$ 、寄生容量 (C_P) < 20pF、感度 $\geq 0.4pF$
SID.CSD.BLK	ICSD	最大ブロック電流	-	-	4000	μA	コンパレータ、バッファおよび基準電圧生成器を含む動的 (スイッチング) モードでの両 IDAC の最大ブロック電流
SID.CSD#15	V _{REF}	CSD およびコンパレータ用の基準電圧	0.6	1.2	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ または 4.4 (いずれか低い方)
SID.CSD#15A	VREF_EXT	CSD およびコンパレータ用の外部基準電圧	0.6		$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ または 4.4 (いずれか低い方)
SID.CSD#16	IDAC1IDD	IDAC1 (7 ビット) ブロック電流	-	-	1750	μA	
SID.CSD#17	IDAC2IDD	IDAC2 (7 ビット) ブロック電流	-	-	1750	μA	
SID308	VCSD	動作電圧範囲	1.71	-	5.5	V	1.8V±5% または 1.8V ~ 5.5V
SID308A	VCOMPIDAC	IDAC の最大電圧範囲	0.6	-	$V_{DDA} - 0.6$	V	$V_{DDA} - 0.6$ または 4.4 (いずれか低い方)
SID309	IDAC1DNL	DNL	-1	-	1	LSB	
SID310	IDAC1INL	INL	-2	-	2	LSB	$V_{DDA} < 2V$ の場合、INL が ±5.5 LSB
SID311	IDAC2DNL	DNL	-1	-	1	LSB	
SID312	IDAC2INL	INL	-2	-	2	LSB	$V_{DDA} < 2V$ の場合、INL が ±5.5 LSB
SID313	SNR	指の信号と雑音のカウント比。特性評価で保証	5	-	-	比率	静電容量範囲 = 5pF ~ 35pF、感度 = 0.1pF。すべてのユースケース。 $V_{DDA} > 2V$
SID314	IDAC1CRT1	低域での IDAC1 (7 ビット) の出力電流	4.2	-	5.4	μA	LSB=37.5nA (Typ)
SID314A	IDAC1CRT2	中域での IDAC1 (7 ビット) の出力電流	34	-	41	μA	LSB=300nA (Typ)
SID314B	IDAC1CRT3	高域での IDAC1 (7 ビット) の出力電流	275	-	330	μA	LSB=2.4μA (Typ)
SID314C	IDAC1CRT12	低域での IDAC1 (7 ビット) の出力電流、2X モード	8	-	10.5	μA	LSB=75nA (Typ)
SID314D	IDAC1CRT22	中域での IDAC1 (7 ビット) の出力電流、2X モード	69	-	82	μA	LSB=600nA (Typ)
SID314E	IDAC1CRT32	高域での IDAC1 (7 ビット) の出力電流、2X モード	540	-	660	μA	LSB=4.8μA (Typ)
SID315	IDAC2CRT1	低域での IDAC2 (7 ビット) の出力電流	4.2	-	5.4	μA	LSB=37.5nA (Typ)
SID315A	IDAC2CRT2	中域での IDAC2 (7 ビット) の出力電流	34	-	41	μA	LSB=300nA (Typ)
SID315B	IDAC2CRT3	高域での IDAC2 (7 ビット) の出力電流	275	-	330	μA	LSB=2.4μA (Typ)
SID315C	IDAC2CRT12	低域での IDAC2 (7 ビット) の出力電流、2X モード	8	-	10.5	μA	LSB=75nA (Typ)

表 13. CSD および IDAC 仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID315D	IDAC2CRT22	中域での IDAC2 (7 ビット) の出力電流、2X モード	69	–	82	μA	LSB=600nA (Typ)
SID315E	IDAC2CRT32	高域での IDAC2 (7 ビット) の出力電流、2X モード	540	–	660	μA	LSB=4.8μA (Typ)
SID315F	IDAC3CRT13	低域での 8 ビット モード IDAC 出力電流	8	–	10.5	μA	LSB=37.5nA (Typ)
SID315G	IDAC3CRT23	中域での 8 ビット モード IDAC 出力電流	69	–	82	μA	LSB=300nA (Typ)
SID315H	IDAC3CRT33	高域での 8 ビット モード IDAC 出力電流	540	–	660	μA	LSB=2.4μA (Typ)
SID320	IDACOFFSET	すべてゼロ入力	–	–	1	LSB	極性はソースまたはシンク電流により設定。37.5nA / LSB モードの場合、オフセットは 2 LSB
SID321	IDACGAIN	オフセットを除くフルスケール誤差	–	–	±10	%	
SID322	IDACMISMATC H1	低電力モードでの IDAC1 と IDAC2 の不整合	–	–	9.2	LSB	LSB=37.5nA (Typ)
SID322A	IDACMISMATC H2	中電力モードでの IDAC1 と IDAC2 の不整合	–	–	5.6	LSB	LSB=300nA (Typ)
SID322B	IDACMISMATC H3	高電力モードでの IDAC1 と IDAC2 の不整合	–	–	6.8	LSB	LSB=2.4μA (Typ)
SID323	IDACSET8	8 ビット IDAC の 0.5 LSB に達するまでの整定時間	–	–	5	μs	フルスケール遷移。外部負荷なし
SID324	IDACSET7	7 ビット IDAC の 0.5 LSB に達するまでの整定時間	–	–	5	μs	フルスケール遷移。外部負荷なし
SID325	CMOD	外部モジュレータ コンデンサ	–	2.2	–	nF	5V 定格、X7R または NP0 コンデンサ

10 ビット CapSense ADC
表 14. 10 ビット CapSense ADC 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SIDA94	A_RES	分解能	–	–	10	ビット	ミリ秒ごとにオートゼロが必要
SIDA95	A_CHNLS_S	チャンネル数 – シングル エンド	–	–	16		AMUX バスにより定義
SIDA97	A-MONO	単調増加性	–	–	–	有	
SIDA98	A_GAINERR	ゲイン誤差	–	–	±3	%	V _{REF} (2.4V) モードで、V _{DDA} バイパス静電容量が 10μF
SIDA99	A_OFFSET	入力オフセット電圧	–	–	±18	mV	V _{REF} (2.4V) モードで、V _{DDA} バイパス静電容量が 10μF
SIDA100	A_ISAR	消費電流	–	–	0.25	mA	
SIDA101	A_VINS	入力電圧範囲 – シングル エンド	V _{SSA}	–	V _{DDA}	V	
SIDA103	A_INRES	入力抵抗	–	2.2	–	KΩ	
SIDA104	A_INCAP	入力静電容量	–	20	–	pF	
SIDA106	A_PSR	電源電圧変動除去比	–	60	–	dB	V _{REF} (2.4V) モードで、V _{DDA} バイパス静電容量が 10μF

表 14. 10 ビット CapSense ADC 仕様 (続き)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SIDA107	A_TACQ	サンプル取得時間	–	1	–	μs	
SIDA108	A_CONV8	変換速度 = Fhclk/(2^(N+2)) での 8 ビット分解能の変換時間。クロック周波数 = 48MHz	–	–	21.3	μs	取得時間を含まない。取得時間を含むと 44.8ksps に相当
SIDA108A	A_CONV10	変換速度 = Fhclk/(2^(N+2)) での 10 ビット分解能の変換時間。クロック周波数 = 48MHz	–	–	85.3	μs	取得時間を含まない。取得時間を含むと 11.6ksps に相当
SIDA109	A_SND	信号対雑音および歪み比 (SINAD)	–	61	–	dB	入力正弦波 10Hz、外部基準電圧 2.4V、V _{REF} (2.4V) モード
SIDA110	A_BW	エイリアシングが発生しない入力帯域幅	–	–	22.4	kHz	8 ビット分解能
SIDA111	A_INL	積分非直線性。1ksps	–	–	2	LSB	V _{REF} =2.4V 以上
SIDA112	A_DNL	微分非直線性。1ksps	–	–	1	LSB	

デジタル ペリフェラル

タイマー/カウンター/パルス幅変調器 (TCPWM)

表 15. TCPWM 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.TCPWM.1	ITCPWM1	3MHz でのブロック消費電流	–	–	45	μA	すべてのモード (TCPWM)
SID.TCPWM.2	ITCPWM2	12MHz でのブロック消費電流	–	–	155		すべてのモード (TCPWM)
SID.TCPWM.2A	ITCPWM3	48MHz でのブロック消費電流	–	–	650		すべてのモード (TCPWM)
SID.TCPWM.3	TCPWM _{FREQ}	動作周波数	–	–	F _c	MHz	F _c max=CLK_SYS Max=48MHz
SID.TCPWM.4	TPWM _{ENEXT}	入力トリガ パルス幅	2/F _c	–	–	ns	すべてのトリガ イベント ^[8]
SID.TCPWM.5	TPWM _{EXT}	出力トリガ パルス幅	2/F _c	–	–		オーバーフロー、アンダーフロー、および CC (カウンター = 比較値) 出力の最小幅
SID.TCPWM.5A	TC _{RES}	カウンターの分解能	1/F _c	–	–		逐次カウント間の最小時間
SID.TCPWM.5B	PWM _{RES}	PWM 分解能	1/F _c	–	–		PWM 出力の最小パルス幅
SID.TCPWM.5C	Q _{RES}	直交位相入力分解能	1/F _c	–	–		直交位相入力同士間の最小パルス幅

I²C

 表 16. 固定 I²C の DC 仕様^[7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID149	I _{I2C1}	100kHz でのブロック消費電流	-	-	50	μA	-
SID150	I _{I2C2}	400kHz でのブロック消費電流	-	-	135		-
SID151	I _{I2C3}	1Mbps でのブロック消費電流	-	-	310		-
SID152	I _{I2C4}	I ² C がディープスリープモードで有効の場合	-	1	-		-

 表 17. 固定 I²C の AC 仕様^[7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID153	F _{I2C1}	ビットレート	-	-	1	Mbps	-

SPI

 表 18. SPI の DC 仕様^[7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID163	ISPI1	1Mbps でのブロック消費電流	-	-	360	μA	-
SID164	ISPI2	4Mbps でのブロック消費電流	-	-	560		-
SID165	ISPI3	8Mbps でのブロック消費電流	-	-	600		-

 表 19. SPI の AC 仕様^[7]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID166	FSPI	SPI 動作周波数 (マスター。6X オーバーサンプリング)	-	-	8	MHz	
固定 SPI マスターモードの AC 仕様							
SID167	TDMO	SClock 駆動エッジから MOSI が有効になるまでの時間	-	-	15	ns	-
SID168	TDSI	SClock キャプチャエッジ前の MISO 有効時間	20	-	-		フルクロック、MISO の遅いサンプリング
SID169	THMO	前の MOSI データ ホールド時間	0	-	-		スレーブ キャプチャエッジを基準とする
固定 SPI スレーブモードの AC 仕様							
SID170	TDMI	Sclock キャプチャエッジ前の MOSI 有効時間	40	-	-	ns	-
SID171	TDSO	Sclock 駆動エッジから MISO が有効になるまでの時間	-	-	42+3*T _{cpu}		T _{CPU} =1/F _{CPU}
SID171A	TDSO_EXT	外部 Sclock 駆動エッジから MISO が有効になるまでの時間 Ck モード	-	-	48		-
SID172	THSO	直前の MISO データ ホールド時間	0	-	-		-
SID172A	TSELSSCK	SSEL 有効から最初の SCK 有効エッジまでの時間	100	-	-	ns	-

注

7. 特性評価で保証されています。

UART
表 20. UART の DC 仕様 ^[8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID160	I _{UART1}	100Kbps でのブロック消費電流	–	–	55	μA	–
SID161	I _{UART2}	1000Kbps でのブロック消費電流	–	–	312	μA	–

表 21. UART の AC 仕様 ^[8]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID162	F _{UART}	ビット レート	–	–	1	Mbps	–

注

8. 特性評価で保証されています。

LCD 直接駆動

表 22. LCD 直接駆動の DC 仕様^[9]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID154	I_{LCDLOW}	低電力モードでの動作電流	–	5	–	μA	16×4 小型セグメントディスプレイ、50Hz
SID155	C_{LCDCAP}	セグメント/コモンドライバー当たりの LCD 静電容量	–	500	5000	pF	–
SID156	LCD_{OFFSET}	長時間セグメントオフセット	–	20	–	mV	–
SID157	I_{LCDOP1}	LCD システム動作電流。Vbias=5V	–	2	–	mA	32×4 セグメント、50Hz、25°C
SID158	I_{LCDOP2}	LCD システム動作電流。Vbias=3.3V	–	2	–		32×4 セグメント、50Hz、25°C

表 23. LCD 直接駆動の AC 仕様^[9]

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID159	F_{LCD}	LCD フレーム レート	10	50	150	Hz	–

注

9. 特性評価で保証されています。

メモリ
表 24. フラッシュの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID173	V _{PE}	消去およびプログラム電圧	1.71	-	5.5	V	-

表 25. フラッシュの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID174	T _{ROWWRITE} ^[10]	行 (ブロック) 書き込み時間 (消去 + プログラム)	-	-	20	ms	行 (ブロック) = 256 バイト
SID175	T _{ROWERASE} ^[10]	行消去時間	-	-	16		-
SID176	T _{ROWPROGRAM} ^[10]	消去後の行プログラム時間	-	-	4		-
SID178	T _{BULKERASE} ^[10]	バルク消去時間 (64KB)	-	-	35		-
SID180 ^[11]	T _{DEVPROG} ^[10]	総デバイス プログラム時間	-	-	7	秒	-
SID181 ^[11]	F _{END}	フラッシュ アクセス可能回数	100K	-	-	サイクル	-
SID182 ^[11]	F _{RET}	フラッシュのデータ保持期間。 T _A ≤ 55°C、プログラム/消去 サイクル = 10 万回	20	-	-	年	-
SID182A ^[11]	-	フラッシュのデータ保持期間。 T _A ≤ 85°C、プログラム/消去 サイクル = 1 万回	10	-	-		-
SID182B	F _{RETQ}	フラッシュのデータ保持期間。 T _A ≤ 105°C、プログラム/消去 サイクル = 1 万回、T _A ≥ 85°C 時は 3 年以下	10	-	-	年	特性評価で保証
SID256	TWS48	48MHz でのウェイト ステート数	2	-	-		フラッシュからの CPU 実行
SID257	TWS24	24MHz でのウェイト ステート数	1	-	-		フラッシュからの CPU 実行

システム リソース

パワーオンリセット (POR)

表 26. パワーオンリセット (PRES)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.CLK#6	SR_POWER_UP	電源電圧スルー レート	1	-	67	V/ms	電源投入時
SID185 ^[11]	V _{RISEIPOR}	立ち上がりトリップ電圧	0.80	-	1.5	V	-
SID186 ^[11]	V _{FALLIPOR}	立ち下がりトリップ電圧	0.70	-	1.4		-

注

10. フラッシュメモリに書き込むには最大 20 ミリ秒かかります。この間、デバイスをリセットしないでください。デバイスをリセットすると、フラッシュメモリの動作は中断され、正常に完了したことは保証されません。リセットソースは XRES ピン、ソフトウェアリセット、CPU のロックアップ状態と特権違反、不適切な電源レベル、ウォッチドッグを含みます。これらが誤ってアクティブにならないことを確認してください。

11. 特性評価で保証されています。

表 27. V_{CCD} の電圧低下検出 (BOD)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID190 ^[11]	V _{FALLPPOR}	アクティブモードとスリープモードでの BOD トリップ電圧	1.48	–	1.62	V	–
SID192 ^[11]	V _{FALLDPSLP}	ディープスリープモードでの BOD トリップ電圧	1.11	–	1.5		–

SWD インターフェース

表 28. SWD インターフェース仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID213	F_SWDCCLK1	$3.3V \leq V_{DD} \leq 5.5V$	–	–	14	MHz	SWDCLK は CPU クロック周波数の 1/3 以下
SID214	F_SWDCCLK2	$1.71V \leq V_{DD} \leq 3.3V$	–	–	7		SWDCLK は CPU クロック周波数の 1/3 以下
SID215 ^[12]	T_SWDI_SETUP	$T=1/f$ SWDCLK	$0.25 \cdot T$	–	–	ns	–
SID216 ^[12]	T_SWDI_HOLD	$T=1/f$ SWDCLK	$0.25 \cdot T$	–	–		–
SID217 ^[12]	T_SWDO_VALID	$T=1/f$ SWDCLK	–	–	$0.5 \cdot T$		–
SID217A ^[12]	T_SWDO_HOLD	$T=1/f$ SWDCLK	1	–	–		–

内部主発振器

表 29. IMO の DC 仕様

(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID218	I _{IMO1}	48MHz での IMO 動作電流	–	–	250	μA	–
SID219	I _{IMO2}	24MHz での IMO 動作電流	–	–	180	μA	–

表 30. IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID223	F _{IMOTOL1}	24MHz、32MHz および 48MHz での周波数誤差 (トリム済み)	–	–	±2	%	
SID226	T _{STARTIMO}	IMO 起動時間	–	–	7	μs	–
SID228	T _{JITRMSIMO2}	24MHz での RMS ジッタ	–	145	–	ps	–

内部低速発振器

表 31. ILO の DC 仕様

(設計評価上保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID231	I _{ILO1}	ILO 動作電流	–	0.3	1.05	μA	–

注

12. 設計で保証されています。

表 32. ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID234 ^[12]	T _{STARTILO1}	ILO 起動時間	–	–	2	ms	–
SID236 ^[12]	T _{ILODUTY}	ILO のデューティ サイクル	40	50	60	%	–
SID237	F _{ILOTRIM1}	ILO 周波数範囲	20	40	80	kHz	–

時計用水晶発振器 (WCO)

表 33. WCO 仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID398	FWCO	水晶周波数	–	32.768	–	kHz	
SID399	FTOL	周波数許容誤差	–	50	250	ppm	20ppm の水晶振動子
SID400	ESR	等価直列抵抗	–	50	–	kΩ	
SID401	PD	駆動レベル	–	–	1	μW	
SID402	TSTART	起動時間	–	–	500	ms	
SID403	CL	水晶の負荷容量	6	–	12.5	pF	
SID404	C0	水晶の並列容量	–	1.35	–	pF	
SID405	IWCO1	動作電流 (高消費電力モード)	–	–	8	μA	

外部クロック

表 34. 外部クロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID305 ^[13]	ExtClkFreq	外部クロック入力周波数	0	–	48	MHz	–
SID306 ^[13]	ExtClkDuty	デューティ比。V _{DD/2} で測定	45	–	55	%	–

外部水晶発振器および PLL

表 35. 外部水晶発振器 (ECO) 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID316 ^[13]	IECO1	外部クロック入力周波数	–	–	1.5	mA	–
SID317 ^[13]	FECO	水晶周波数範囲	4	–	33	MHz	–

表 36. PLL の仕様

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID410	IDD_PLL_48	入力 = 3MHz、出力 = 48MHz	–	530	610	μA	
SID411	IDD_PLL_24	入力 = 3MHz、出力 = 24MHz	–	300	405	μA	
SID412	Fp1in	PLL 入力周波数	1	–	48	MHz	
SID413	Fp1int	PLL 中間周波数。プリスケアラ出力	1	–	3	MHz	
SID414	Fp1vco	後分周の前の VCO 出力周波数	22.5	–	104	MHz	
SID415	Divvco	VCO 出力の後分周範囲。PLL 出力周波数は Fp1vco / Divvco	1	–	8		
SID416	Plllocktime	起動時のロック時間	–	–	250	μs	
SID417	Jperiod_1	VCO ≥ 67MHz 時の周期ジッタ	–	–	150	ps	設計で保証
SID416A	Jperiod_2	VCO ≤ 67MHz 時の周期ジッタ	–	–	200	ps	設計で保証

システム クロック

表 37. ブロック仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID262 ^[13]	T _{CLKSWITCH}	システム クロック ソースの切り替え時間	3	–	4	周期	–

注

13. 特性評価で保証されています。

Smart I/O

表 38. Smart I/O パススルー時間 (バイパス モードでの遅延時間)

仕様 ID#	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID252	PRG_BYPASS	バイパス モードでの Smart I/O による最大遅延時間	–	–	1.6	ns	

CAN

表 39. CAN 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID420	IDD_CAN	ブロック消費電流	–	–	200	μA	
SID421	CAN_bits	CAN ビットレート	–	–	1	Mbps	最小 8MHz クロック

注文情報

PSoC 4100S プラス デバイスの製品番号は下表のとおりです。

カテゴリ	MPN	機能														パッケージ				温度範囲 (°C)	
		CPU 最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	オペアンプ (CTBm)	CSD	10 ビット CSD ADC	12 ビット SAR ADC	SAR ADC サンプル レート	LP コンパレータ	TCPWM ブロック	SCB ブロック	ECO	CAN コントローラー	Smart I/O	GPIO	44-TQFP (0.8mm ピッチ)	48-TQFP (0.5mm ピッチ)	64-TQFP (0.5mm ピッチ)		64-TQFP (0.8mm ピッチ)
4126	CY8C4126AXI-S443	24	64	8	2	0	1	1	806ksps	2	8	4	✓	0	24	37	✓	-	-	-	-40 ~ 85
	CY8C4126AZI-S445	24	64	8	2	0	1	1	806ksps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 85
	CY8C4126AXI-S445	24	64	8	2	0	1	1	806ksps	2	8	5	✓	0	24	54	-	-	-	✓	-40 ~ 85
	CY8C4126AZI-S455	24	64	8	2	1	1	1	806ksps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 85
	CY8C4126AXI-S455	24	64	8	2	1	1	1	806ksps	2	8	5	✓	0	24	54	-	-	-	✓	-40 ~ 85
4146	CY8C4146AXI-S443	48	64	8	2	0	1	1	1Msps	2	8	4	✓	0	24	37	✓	-	-	-	-40 ~ 85
	CY8C4146AZI-S443	48	64	8	2	0	1	1	1Msps	2	8	4	✓	0	24	38	-	✓	-	-	-40 ~ 85
	CY8C4146AZI-S445	48	64	8	2	0	1	1	1Msps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 85
	CY8C4146AZQ-S445	48	64	8	2	0	1	1	1Msps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 105
	CY8C4146AXI-S445	48	64	8	2	0	1	1	1Msps	2	8	5	✓	0	24	54	-	-	-	✓	-40 ~ 85
	CY8C4146AXI-S453	48	64	8	2	1	1	1	1Msps	2	8	4	✓	0	24	37	✓	-	-	-	-40 ~ 85
	CY8C4146AZI-S453	48	64	8	2	1	1	1	1Msps	2	8	4	✓	0	24	38	-	✓	-	-	-40 ~ 85
	CY8C4146AZI-S455	48	64	8	2	1	1	1	1Msps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 85
	CY8C4146AZQ-S455	48	64	8	2	1	1	1	1Msps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 105
	CY8C4146AXI-S455	48	64	8	2	1	1	1	1Msps	2	8	5	✓	0	24	54	-	-	-	✓	-40 ~ 85
	CY8C4146AZI-S463	48	64	8	2	0	1	1	1Msps	2	8	4	✓	1	24	38	-	✓	-	-	-40 ~ 85
4127	CY8C4127AXI-S443	24	128	16	2	0	1	1	806ksps	2	8	4	✓	0	24	37	✓	-	-	-	-40 ~ 85
	CY8C4127AZI-S443	24	128	16	2	0	1	1	806ksps	2	8	4	✓	0	24	38	-	✓	-	-	-40 ~ 85
	CY8C4127AZI-S445	24	128	16	2	0	1	1	806ksps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 85
	CY8C4127AZQ-S445	24	128	16	2	0	1	1	806ksps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 105
	CY8C4127AXI-S445	24	128	16	2	0	1	1	806ksps	2	8	5	✓	0	24	54	-	-	-	✓	-40 ~ 85
	CY8C4127AXI-S453	24	128	16	2	1	1	1	806ksps	2	8	4	✓	0	24	37	✓	-	-	-	-40 ~ 85
	CY8C4127AZI-S453	24	128	16	2	1	1	1	806ksps	2	8	4	✓	0	24	38	-	✓	-	-	-40 ~ 85
	CY8C4127AZI-S455	24	128	16	2	1	1	1	806ksps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 85
	CY8C4127AZQ-S455	24	128	16	2	1	1	1	806ksps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 105
	CY8C4127AXI-S455	24	128	16	2	1	1	1	806ksps	2	8	5	✓	0	24	54	-	-	-	✓	-40 ~ 85

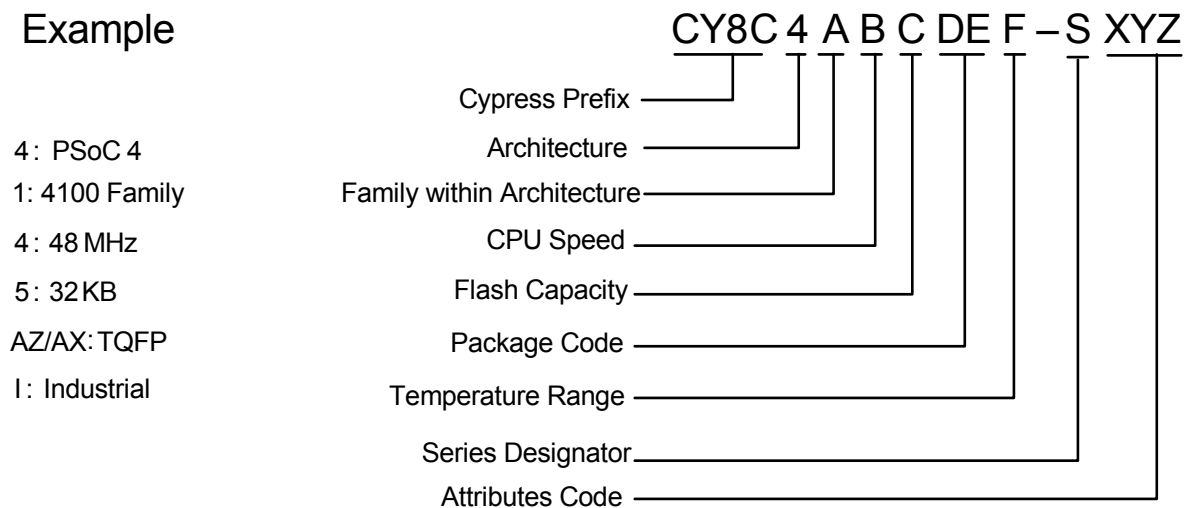
カテゴリ	MPN	機能															パッケージ				温度範囲 (°C)	
		CPU 最大速度 (MHz)	フラッシュ (KB)	SRAM (KB)	オペアンプ (CTBm)	CSD	10 ビット CSD ADC	12 ビット SAR ADC	SAR ADC サンプルレート	LP コンパレータ	TCPWM ブロック	SCB ブロック	ECO	CAN コントローラー	Smart I/O	GPIO	44-TQFP (0.8mm ピッチ)	48-TQFP (0.5mm ピッチ)	64-TQFP (0.5mm ピッチ)	64-TQFP (0.8mm ピッチ)		
4147	CY8C4147AXI-S443	48	128	16	2	0	1	1	1Msps	2	8	4	✓	0	24	37	✓	-	-	-	-40 ~ 85	
	CY8C4147AZI-S443	48	128	16	2	0	1	1	1Msps	2	8	4	✓	0	24	38	-	✓	-	-	-40 ~ 85	
	CY8C4147AZI-S445	48	128	16	2	0	1	1	1Msps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 85	
	CY8C4147AZQ-S445	48	128	16	2	0	1	1	1Msps	2	8	5	✓	0	24	54	-	-	✓	-	-40 ~ 105	
	CY8C4147AXI-S445	48	128	16	2	0	1	1	1Msps	2	8	5	✓	0	24	54	-	-	-	✓	-40 ~ 85	
	CY8C4147AXI-S453	48	128	16	2	1	1	1	1Msps	2	8	4	✓	0	24	37	✓	-	-	-	-	-40 ~ 85
	CY8C4147AZI-S453	48	128	16	2	1	1	1	1Msps	2	8	4	✓	0	24	38	-	✓	-	-	-	-40 ~ 85
	CY8C4147AZI-S455	48	128	16	2	1	1	1	1Msps	2	8	5	✓	0	24	54	-	-	✓	-	-	-40 ~ 85
	CY8C4147AZQ-S455	48	128	16	2	1	1	1	1Msps	2	8	5	✓	0	24	54	-	-	✓	-	-	-40 ~ 105
	CY8C4147AXI-S455	48	128	16	2	1	1	1	1Msps	2	8	5	✓	0	24	54	-	-	-	✓	-	-40 ~ 85
	CY8C4147AZI-S463	48	128	16	2	0	1	1	1Msps	2	8	4	✓	1	24	38	-	✓	-	-	-	-40 ~ 85
	CY8C4147AZI-S465	48	128	16	2	0	1	1	1Msps	2	8	5	✓	1	24	54	-	-	✓	-	-	-40 ~ 85
	CY8C4147AZQ-S465	48	128	16	2	0	1	1	1Msps	2	8	5	✓	1	24	54	-	-	✓	-	-	-40 ~ 105
	CY8C4147AXI-S465	48	128	16	2	0	1	1	1Msps	2	8	5	✓	1	24	54	-	-	-	✓	-	-40 ~ 85
	CY8C4147AZI-S475	48	128	16	2	1	1	1	1Msps	2	8	5	✓	1	24	54	-	-	✓	-	-	-40 ~ 85
	CY8C4147AZQ-S475	48	128	16	2	1	1	1	1Msps	2	8	5	✓	1	24	54	-	-	✓	-	-	-40 ~ 105
	CY8C4147AXI-S475	48	128	16	2	1	1	1	1Msps	2	8	5	✓	1	24	54	-	-	-	✓	-	-40 ~ 85

上記の表に使用される命名法は次の製品番号の命名規則に基づいています。

文字列	説明	値	意味
CY8C	サイプレスの接頭辞		
4	アーキテクチャ	4	PSoC 4
A	ファミリー	1	4100 ファミリー
B	CPU 速度	2	24MHz
		4	48MHz
C	フラッシュ容量	4	16KB
		5	32KB
		6	64KB
		7	128KB
DE	パッケージコード	Ax	TQFP (0.8mm ピッチ)
		Arizona	TQFP (0.5mm ピッチ)
		LQ	QFN
		PV	SSOP
		FN	CSP
F	温度範囲	I	産業用
		Q	産業用拡張温度範囲
S	シリーズ指示子	S	PSoC 4 S シリーズ
		M	PSoC 4 M シリーズ
		L	PSoC 4 L シリーズ
		BL	PSoC 4 BLE シリーズ
XYZ	属性コード	000 ~ 999	特定ファミリー向け機能セットコード

製品番号の例は次のとおりです。

Example



パッケージ

PSoC 4100S プラスは、44 TQFP、48 TQFP、64 TQFP 通常ピッチおよび 64 TQFP 微細ピッチ パッケージで提供されています。パッケージの寸法とサイプレスの図面番号は次の表のとおりです。

表 40. パッケージ一覧

仕様 ID#	パッケージ	説明	パッケージ図面番号
BID20	64 ピン TQFP	寸法 14×14×1.4mm、ピッチ 0.8mm	51-85046
BID27	64 ピン TQFP	寸法 10×10×1.6mm、ピッチ 0.5mm	51-85051
BID34A	44 ピン TQFP	寸法 10×10×1.4mm、ピッチ 0.8mm	51-85064
BID70	48 ピン TQFP	寸法 7×7×1.4mm、ピッチ 0.5mm	51-85135

表 41. パッケージ熱特性

パラメーター	説明	パッケージ	Min	Typ	Max	単位
T _A	動作周囲温度		-40	25	105	°C
T _J	動作接合部温度		-40	–	125	°C
T _{JA}	パッケージ θ _{JA}	44 ピン TQFP	–	55.6	–	°C/W
T _{JC}	パッケージ θ _{JC}	44 ピン TQFP	–	14.4	–	°C/W
T _{JA}	パッケージ θ _{JA}	64 ピン TQFP (0.5mm ピッチ)	–	46	–	°C/W
T _{JC}	パッケージ θ _{JC}	64 ピン TQFP (0.5mm ピッチ)	–	10	–	°C/W
T _{JA}	パッケージ θ _{JA}	64 ピン TQFP (0.8mm ピッチ)	–	36.8	–	°C/W
T _{JC}	パッケージ θ _{JC}	64 ピン TQFP (0.8mm ピッチ)	–	9.4	–	°C/W
T _{JA}	パッケージ θ _{JA}	48 ピン TQFP (0.5mm ピッチ)	–	39.4	–	°C/W
T _{JC}	パッケージ θ _{JC}	48 ピン TQFP (0.5mm ピッチ)	–	9.3	–	°C/W

表 42. はんだリフロー ピーク温度

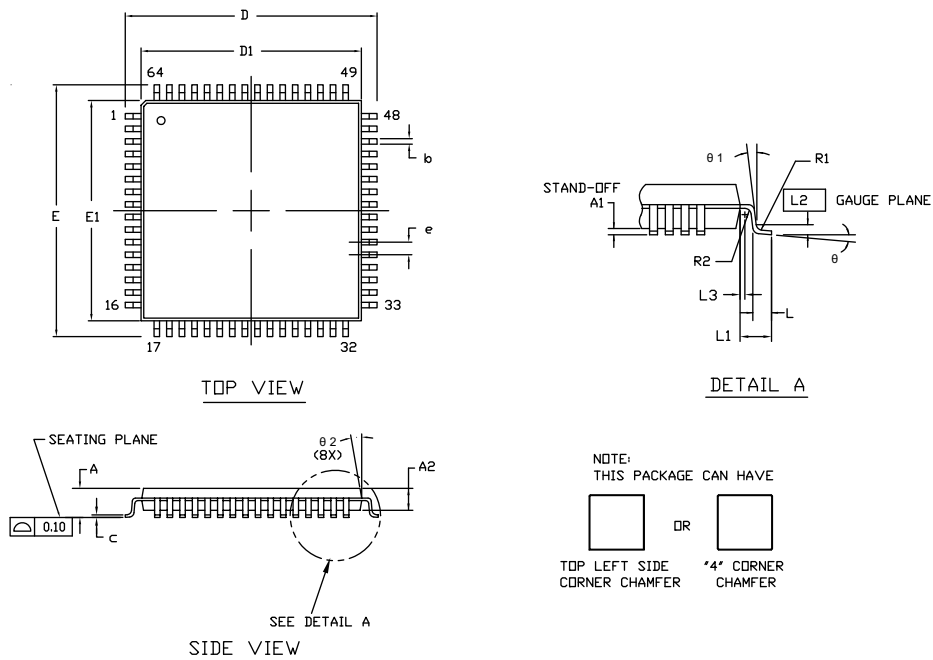
パッケージ	最高ピーク温度	ピーク温度での最長時間
すべて	260°C	30 秒

表 43. パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-020

パッケージ	MSL
すべて	MSL 3

パッケージ図

図 7. 64ピン TQFP パッケージ (0.8mm ピッチ) 外形図



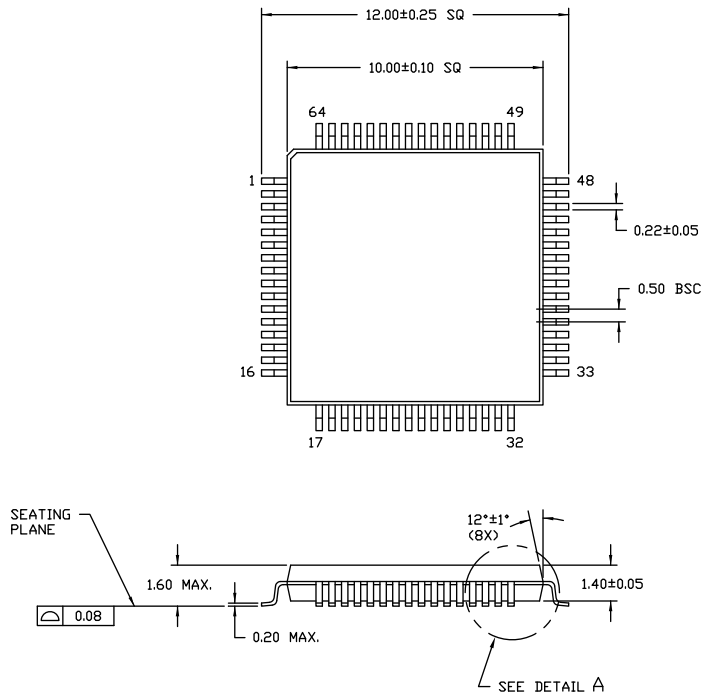
SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
D	15.75	16.00	16.25
D1	13.95	14.00	14.05
E	15.75	16.00	16.25
E1	13.95	14.00	14.05
R1	0.08	—	0.20
R2	0.08	—	0.20
θ	0°	—	7°
$\theta 1$	0°	—	—
$\theta 2$	11°	12°	13°
c	—	—	0.20
b	0.30	0.35	0.40
L	0.45	0.60	0.75
L1	1.00 REF		
L2	0.25 BSC		
L3	0.20	—	—
e	0.80 TYP		

NOTE:

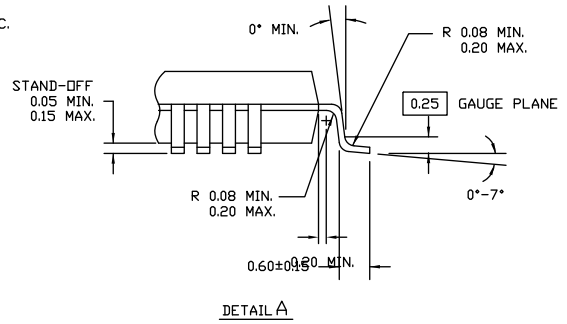
- JEDEC STD REF MS-026
- BODY LENGTH DIMENSION DOES NOT INCLUDE MOLD PROTRUSION/END FLASH. MOLD PROTRUSION/END FLASH SHALL NOT EXCEED 0.0098 in (0.25 mm) PER SIDE. BODY LENGTH DIMENSIONS ARE MAX PLASTIC BODY SIZE INCLUDING MOLD MISMATCH.
- DIMENSIONS IN MILLIMETERS

51-85046 *H

図 8. 64 ピン TQFP パッケージ (0.5mm ピッチ) 外形図

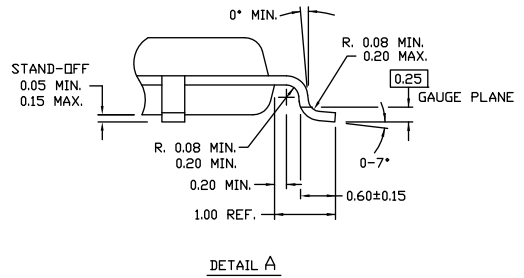
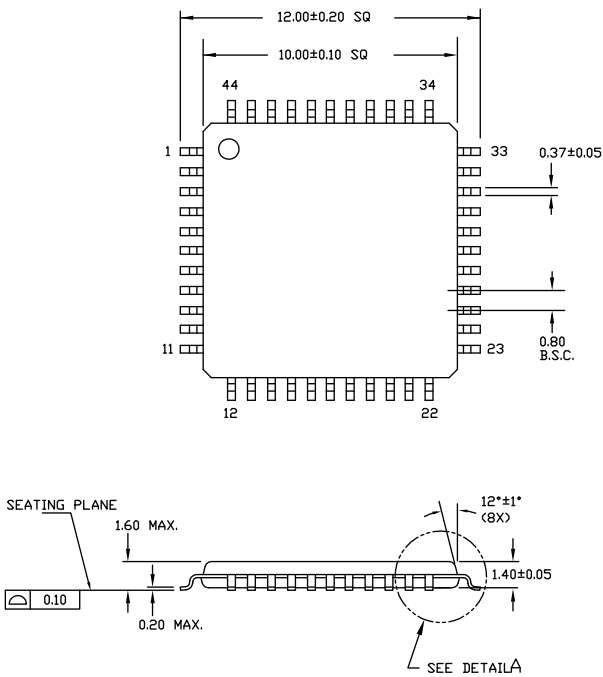


DIMENSIONS ARE IN MILLIMETERS



51-85051 *D

図 9. 44 ピン TQFP パッケージ外形図

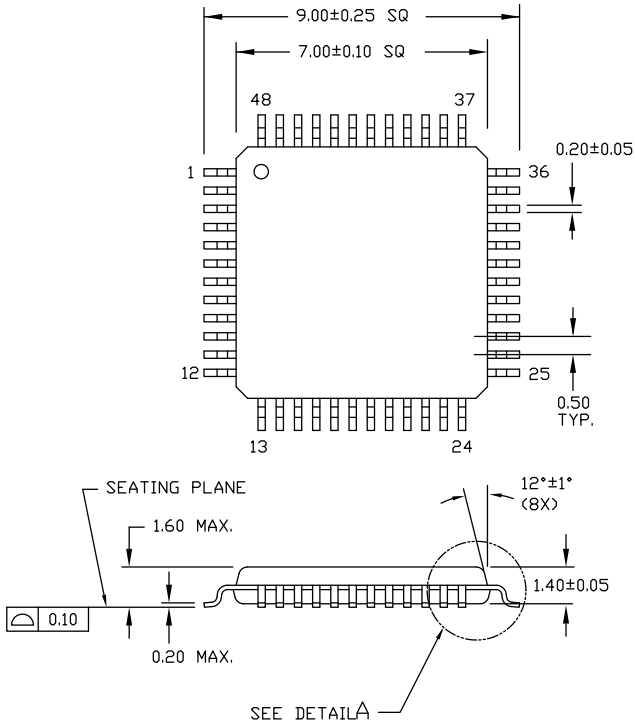


NOTE:

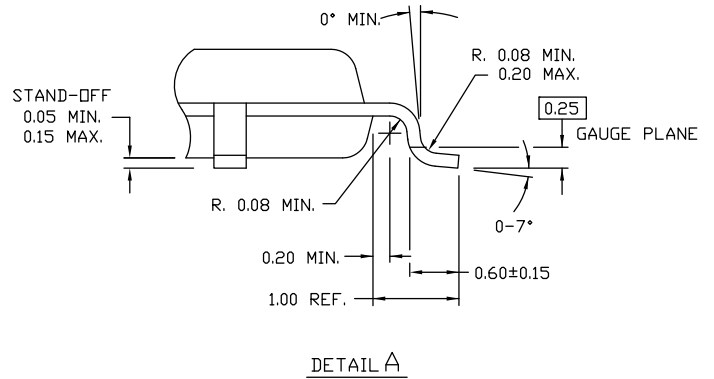
1. JEDEC STD REF MS-026
2. BODY LENGTH DIMENSION DOES NOT INCLUDE MOLD PROTRUSION/END FLASH
MOLD PROTRUSION/END FLASH SHALL NOT EXCEED 0.0098 in (0.25 mm) PER SIDE
BODY LENGTH DIMENSIONS ARE MAX PLASTIC BODY SIZE INCLUDING MOLD MISMATCH
3. DIMENSIONS IN MILLIMETERS

51-85064 *G

図 10. 48 ピン 7x7x1.4mm TQFP パッケージの外観図



DIMENSIONS ARE IN MILLIMETERS



51-85135 °C

略語
表 44. 本書で使用する略語

略語	説明
abus	analog local bus (アナログ ローカル バス)
ADC	analog-to-digital converter (アナログ - デジタル 変換器)
AG	analog global (アナログ グローバル)
AHB	AMBA high-performance bus (AMBA (アドバンスド マイクロコントローラー バス アーキテクチャ) 高性能バス)。Arm データ転送バス的一种
ALU	arithmetic logic unit (算術論理装置)
AMUXBUS	analog multiplexer bus (アナログ マルチプレクサバス)
API	application programming interface (アプリケーション プログラミング インターフェース)
APSR	application program status register (アプリケーション プログラム ステータス レジスタ)
Arm®	advanced RISC machine (高度な RISC マシン)。CPU アーキテクチャの一種
ATM	automatic thump mode (自動サンプリング モード)
BW	bandwidth (帯域幅)
CAN	Controller Area Network (コントローラー エリア ネットワーク)、通信プロトコルの一種
CMRR	common-mode rejection ratio (同相除去比)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査)、エラー チェック プロトコルの一種
DAC	digital-to-analog converter (デジタル - アナログ コンバータ)。IDAC、VDAC を参照してください
DFB	digital filter block (デジタル フィルター ブロック)
DIO	digital input/output (デジタル入出力)。アナログなし、デジタル機能のみを持つ GPIO。GPIO を参照してください
DMIPS	Dhrystone million instructions per second (ドラストーン 100 万命令毎秒)
DMA	direct memory access (ダイレクト メモリ アクセス)。TD を参照してください
DNL	differential nonlinearity (微分非直線性)。INL を参照してください
DNU	do not use (使用禁止)
DR	port write data registers (ポート書き込みデータ レジスタ)
DSI	digital system interconnect (デジタル システム インターコネクト)

表 44. 本書で使用する略語 (続き)

略語	説明
DWT	data watchpoint and trace (データ ウォッチポイントとトレース)
ECC	error correcting code (エラー訂正コード)
ECO	external crystal oscillator (外部水晶発振器)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専用メモリ)
EMI	electromagnetic interference (電磁干渉)
EMIF	external memory interface (外部メモリ インターフェース)
EOC	end of conversion (変換の終了)
EOF	end of frame (フレームの終了)
EPSR	execution program status register (実行プログラム ステータス レジスタ)
ESD	electrostatic discharge (静電気放電)
ETM	embedded trace macrocell (埋め込みトレース マクロセル)
FIR	finite impulse response (有限インパルス応答)。IIR を参照してください
FPB	flash patch and breakpoint (フラッシュ パッチ およびブレークポイント)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)。PSoC ピンに適用
HVI	high-voltage interrupt (高電圧割込み)。LVI、LVD を参照してください
IC	integrated circuit (集積回路)
IDAC	current DAC (電流 DAC)。DAC、VDAC を参照してください
IDE	integrated development environment (統合開発環境)
I ² C (別名: IIC)	Inter-Integrated Circuit (インター インテグレートド サーキット)、通信プロトコルの一種
IIR	infinite impulse response (無限インパルス応答)。FIR を参照してください
ILO	internal low-speed oscillator (内部低速発振器)。IMO を参照してください
IMO	internal main oscillator (内部主発振器)。ILO を参照してください
INL	integral nonlinearity (積分非直線性)。DNL を参照してください
I/O	input/output (入出力)。GPIO、DIO、SIO、USBIO を参照してください
IPOR	initial power-on reset (初期パワーオン リセット)

表 44. 本書で使用する略語 (続き)

略語	説明
IPSR	interrupt program status register (割込みプログラム ステータス レジスタ)
IRQ	interrupt request (割込み要求)
ITM	instrumentation trace macrocell (計装トレース マクロセル)
LCD	liquid crystal display (液晶ディスプレイ)
LIN	Local Interconnect Network (ローカル インターコネクト ネットワーク)。通信プロトコルの一種
LR	link register (リンク レジスタ)
LUT	lookup table (ルックアップ テーブル)
LVD	low-voltage detect (低電圧検出)。LVI を参照してください
LVI	low-voltage interrupt (低電圧割込み)。HVI を参照してください
LVTTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)
MAC	multiply-accumulate (積和演算)
MCU	microcontroller unit (マイクロコントローラー ユニット)
MISO	master-in slave-out (マスター入カスレーブ出力)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割込み)
NRZ	non-return-to-zero (非ゼロ復帰)
NVIC	nested vectored interrupt controller (ネスト型ベクタ割込みコントローラー)
NVL	nonvolatile latch (不揮発性ラッチ)。WOL を参照してください
opamp	operational amplifier (演算増幅器)
PAL	programmable array logic (プログラマブルアレイ ロジック)。PLD を参照してください
PC	program counter (プログラム カウンター)
PCB	printed circuit board (プリント回路基板)
PGA	programmable gain amplifier (プログラマブルゲイン アンプ)
PHUB	peripheral hub (ペリフェラル ハブ)
PHY	physical layer (物理層)
PICU	port interrupt control unit (ポート割込み制御ユニット)
PLA	programmable logic array (プログラマブルロジックアレイ)
PLD	programmable logic device (プログラマブルロジックデバイス)。PAL を参照してください
PLL	phase-locked loop (位相同期回路)

表 44. 本書で使用する略語 (続き)

略語	説明
PMDD	package material declaration data sheet (パッケージ材質宣言データシート)
POR	power-on reset (パワーオン リセット)
PRES	precise power-on reset (高精度パワーオン リセット)
PRS	pseudo random sequence (疑似乱数列)
PS	port read data register (ポート読み出しデータレジスタ)
PSoC [®]	Programmable System-on-Chip [™] (プログラマブル システムオンチップ)
PSRR	power supply rejection ratio (電源電圧変動除去比)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (2 乗平均平方根)
RTC	real-time clock (リアルタイム クロック)
RTL	register transfer language (レジスタ転送レベル言語)
RTR	remote transmission request (リモート送信要求)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SC/CT	switched capacitor/continuous time (スイッチド キャパシタ / 連続時間)
SCL	I ² C serial clock (I ² C シリアル クロック)
SDA	I ² C serial data (I ² C シリアル データ)
S/H	sample and hold (サンプル / ホールド)
SINAD	signal to noise and distortion ratio (信号対雑音および歪み比)
SIO	special input/output (特殊入出力)。高度機能 GPIO。GPIO を参照してください
SOC	start of conversion (変換の開始)
SOF	start of frame (フレームの開始)
SPI	serial Peripheral Interface (シリアル ペリフェラル インターフェース)。通信プロトコルの一種
SR	slew rate (スルー レート)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SRES	software reset (ソフトウェア リセット)
SWD	serial wire debug (シリアル ワイヤ デバッグ)、テスト プロトコルの一種

表 44. 本書で使用する略語 (続き)

略語	説明
SWV	single-wire viewer (シングルワイヤビューアー)
TD	transaction descriptor (トランザクション ディスクリプタ)。DMA を参照してください
THD	total harmonic distortion (全高調波歪み)
TIA	transimpedance amplifier (トランスインピーダンス アンプ)
TRM	technical reference manual (技術リファレンス マニュアル)
TTL	transistor-transistor logic (トランジスタ - トランジスタ ロジック)
TX	transmit (送信)
UART	universal asynchronous receiver transmitter (汎用非同期トランスミッタ レシーバ)。通信プロトコルの一種
UDB	universal digital block (ユニバーサル デジタル ブロック)
USB	universal serial bus (ユニバーサル シリアル バス)
USBIO	USB input/output (USB 入出力)。USB ポートへの接続に使用される PSoC ピン
VDAC	voltage DAC (電圧 DAC)。DAC、IDAC を参照してください
WDT	watchdog timer (ウォッチドッグ タイマー)
WOL	write once latch (一度しか書き込めないラッチ)。NVL を参照してください
WRES	watchdog timer reset (ウォッチドッグ タイマーリセット)
XRES	external reset I/O pin (外部リセット I/O ピン)
XTAL	crystal (水晶)

本書の表記法

測定単位

表 45. 測定単位

記号	測定単位
°C	摂氏温度
dB	デシベル
fF	フェムト ファラド
Hz	ヘルツ
KB	1024 バイト
kbps	キロビット毎秒
Khr	キロ時間
kHz	キロヘルツ
kΩ	キロオーム
ksps	キロサンプル毎秒
LSB	最下位ビット
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μH	マイクロヘンリー
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
nV	ナノボルト
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル数毎秒
sqrtHz	ヘルツの平方根
V	ボルト

改訂履歴

文書名 : PSoC [®] 4: PSoC 4100S プラス データシート プログラマブル システムオンチップ (PSoC)				
文書番号 : 002-21674				
版	ECN 番号	変更者	発行日	変更内容
**	5965813	HZEN	11/14/2017	これは英語版 002-19966 Rev. *B を翻訳した日本語版 002-21674 Rev. ** です。
*A	6515992	YSAT	03/06/2019	これは英語版 002-19966 Rev. *H を翻訳した日本語版 002-21674 Rev. *A です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラー	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmics
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2017-2019. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。