

## 特性

- 访问时间为 20 ns、25 ns 和 45 ns
- 内部采用 128 K × 8 (CY14B101LA) 或 64 K × 16 (CY14B101NA) 的组织方式
- 只需一个小电容，即可在断电时实现自动存储
- 可通过软件、器件引脚或断电时自动存储触发存储至 QuantumTrap 非易失性元件
- 可通过软件或加电触发回读至 SRAM
- 无限次读、写和回读循环
- 一百万次 QuantumTrap 存储循环
- 20 年数据保留时间
- 3V +20% 到 -10% 单电源供电
- 工业级温度

## 封装

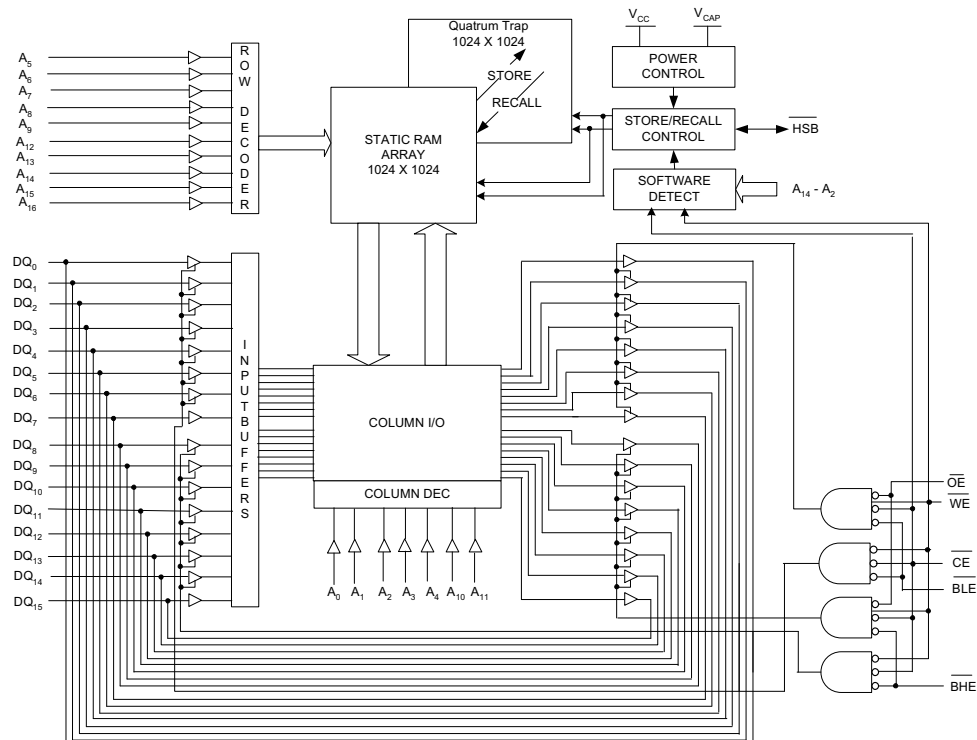
- 32 引脚小外形集成电路 (SOIC)
- 44-/54 引脚薄小外形封装 (TSOP II)
- 48 引脚紧缩小外形封装 (SSOP)
- 48 脚小间距 BGA (FBGA)

## 无铅并符合有害物质限制 (RoHS)

## 功能描述

赛普拉斯 CY14B101LA/CY14B101NA 是一种快速静态 RAM (SRAM)，且每个存储器单元中都包含非易失性元件。该存储器采用“128K 字节，每字节 8 位”或“64K 字，每字 16 位”的组织方式。嵌入式非易失性元件通过采用 QuantumTrap 技术，打造出了世界上最可靠的非易失性存储器。SRAM 能够实现无限次读写循环，而独立的非易失性数据则存储在高度可靠的 QuantumTrap 单元中。断电时，数据会从 SRAM 自动转移到非易失性元件中（“存储”操作）。加电时，数据会从非易失性存储器回读到 SRAM（“回读”操作）。“存储”和“回读”操作也可以在软件控制下执行。

## 逻辑框图 [1、2、3]



### 注：

1. 地址 A<sub>0</sub> - A<sub>16</sub> 适用于 x8 配置；地址 A<sub>0</sub> - A<sub>15</sub> 适用于 x16 配置。
2. 数据 DQ<sub>0</sub> - DQ<sub>7</sub> 适用于 x8 配置；数据 DQ<sub>0</sub> - DQ<sub>15</sub> 适用于 x16 配置。
3. BHE 和 BLE 仅适用于 x16 配置。

## 器件运行

CY14B101LA/CY14B101NA nvSRAM 由两个相同物理单元中的成对功能组件组成。它们是一个 SRAM 存储器单元和一个非易失性 QuantumTrap 单元。SRAM 存储器单元可作为标准快速静态 RAM 工作。SRAM 中的数据被传输到非易失性单元（存储操作），或从非易失性单元传输到 SRAM（回读操作。使用该独特的架构，所有单元都可以并行存储和回读。在存储和回读操作期间，SRAM 读写操作被禁止。和 SRAM 相同，CY14B101LA/CY14B101NA 支持无限次读写。此外，它还提供无限次从非易失性单元的回读操作以及最多 100 万次存储操作。参考 Truth Table For SRAM Operations on page 17 了解读写模式的完整说明。

## SRAM 读取

当  $\overline{CE}$  和  $\overline{OE}$  为低电平且  $\overline{WE}$  和  $\overline{HSB}$  为高电平时，CY14B101LA/CY14B101NA 执行读循环。引脚  $A_{0-16}$  或  $A_{0-15}$  上指定的地址确定访问 131,072 个数据字节或 65,536 个 16 位的字的哪一个。字节使能 ( $\overline{BHE}$ 、 $\overline{BLE}$ ) 确定将哪些字节启用为输出（在 16 位字的情况下）。当读取由地址转换触发时，输出在  $t_{AA}$ （读取循环 1）之后有效。如果读取由  $\overline{CE}$  或  $\overline{OE}$  触发，则输出在  $t_{ACE}$  或  $t_{DOE}$  中较晚者时有效（读取循环 2）。数据输出在  $t_{AA}$  访问时间内反复响应地址变化而不需要切换任何控制输入引脚。这一直有效，直到另一个地址变化为止或直到  $\overline{CE}$  或  $\overline{OE}$  变为高电平，或  $\overline{WE}$  或  $\overline{HSB}$  变为低电平为止。

## SRAM 写入

当  $\overline{CE}$  和  $\overline{WE}$  为低电平且  $\overline{HSB}$  为高电平时执行写循环。地址输入必须稳定才能进入写循环，并且必须保持稳定，直到  $\overline{CE}$  或  $\overline{WE}$  在循环结束时变为高电平为止。如果数据在  $\overline{WE}$  控制的写入结束之前或  $\overline{CE}$  控制的写入结束之前的  $t_{SD}$  时有效，则公用 I/O 引脚  $DQ_{0-15}$  上的数据被写入到存储器中。字节使能输入 ( $\overline{BHE}$ 、 $\overline{BLE}$ ) 确定在 16 位字的情况下写入哪些字节。在整个写循环期间保持  $\overline{OE}$  为高电平以避免公用 I/O 线路上出现数据总线竞争。如果  $\overline{OE}$  为低电平，则内部电路将在  $\overline{WE}$  变为低电平之后的  $t_{HZWE}$  时关闭输出缓冲器。

## 自动存储操作

CY14B101LA/CY14B101NA 使用下列三种存储操作之一将数据存储在 nvSRAM：HSB 激活的硬件存储；地址序列激活的软件存储；器件断电时的自动存储。自动存储操作是 QuantumTrap 技术的独有特性，在 CY14B101LA/CY14B101NA 上在默认情况下启用。

在正常工作时，器件从  $V_{CC}$  得到电流以对与  $V_{CAP}$  引脚连接的电容充电。芯片使用该存储的电荷执行单个存储操作。如果  $V_{CC}$  引脚的电压降到  $V_{SWITCH}$  以下，部件将自动断开  $V_{CAP}$  引脚与  $V_{CC}$  的连接。通过  $V_{CAP}$  电容提供的电能触发存储操作。

**注意：**如果电容未与  $V_{CAP}$  引脚连接，则必须使用中指定的软件禁用自动存储 [组织自动存储](#) on page 4。如果在没有  $V_{CAP}$  引脚上的电容的情况下启用自动存储，则器件将在没有足够电荷的情况下尝试自动存储操作以完成存储。这将破坏 nvSRAM 中存储的数据。

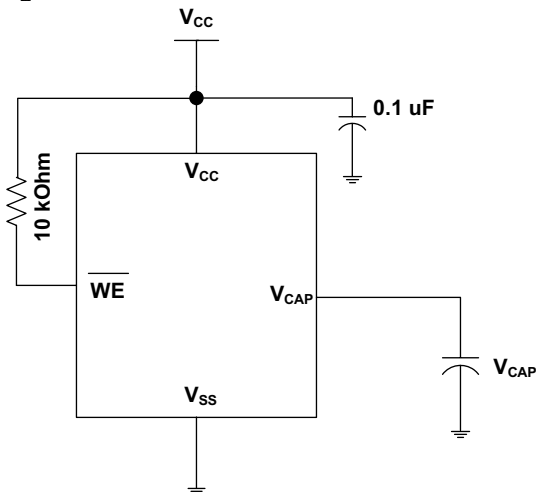
### Note

4. 采取 44-TSOP II (x16) 封装的产品中没有  $\overline{HSB}$  引脚。

Figure 1 显示自动存储操作之存储电容 ( $V_{CAP}$ ) 的正确连接。请参考 DC Electrical Characteristics on page 9 了解  $V_{CAP}$  的大小。 $V_{CAP}$  引脚上的电压通过芯片上的调节器输入到  $V_{CC}$ 。上拉应该置于  $\overline{WE}$  上以在加电期间保持其处于非活动状态。该上拉仅在  $\overline{WE}$  信号在加电期间为三态时有效。很多 MPU 在加电时使其控制进入三态。使用上拉时应验证该。当 nvSRAM 退出加电回读时，MPU 必须处于活动状态或者  $\overline{WE}$  保持处于非活动状态，直到 MPU 退出复位状态为止。

为了降低不必要的非易失性存储，将忽略自动存储和硬件存储操作，除非在最新的存储或回读循环之后发生了至少一次写操作。无论是否发生写操作，都会执行软件触发的存储循环。系统会监控  $\overline{HSB}$  信号以检测自动存储循环是否正在进行中。

Figure 1. 自动存储模式



## 硬件存储操作

CY14B101LA/CY14B101NA 提供  $\overline{HSB}$ <sup>[4]</sup> 引脚以控制和确定存储操作。使用  $\overline{HSB}$  引脚请求硬件存储循环。当  $\overline{HSB}$  引脚被置为低电平时，CY14B101LA/CY14B101NA 将在  $t_{DELAY}$  之后有条件地启动存储操作。实际的存储循环仅在最后一个存储或回读循环之后发生了对 SRAM 的写操作时才开始。 $\overline{HSB}$  引脚还起到开漏驱动器（内部 100 kΩ 弱上拉电阻）的作用，它在进行（通过任何手段触发的）存储时在内部变为低电平以指示繁忙状态。

**注意：**在每次硬件和软件存储操作之后， $\overline{HSB}$  通过标准输出高电流变为高电平一小段时间 ( $t_{HHD}$ )，然后通过内部 100 kΩ 上拉电阻一直保持高电平。

在  $\overline{HSB}$  通过任何手段变为低电平时进行的 SRAM 写操作要在启动存储操作之前给定的时间 ( $t_{DELAY}$ ) 之后完成。但是，在  $\overline{HSB}$  变为低电平之后请求的任何 SRAM 写循环都被禁止，直到  $\overline{HSB}$  变回高电平。如果未设置写锁存，则  $\overline{HSB}$  不会被 CY14B101LA/CY14B101NA 置为低电平。但是所有 SRAM 读和写循环将被禁止，直到 MPU 或其他外部源令  $\overline{HSB}$  变回高电平。

在任何存储操作期间，无论它是否已启动，CY14B101LA/CY14B101NA 都将继续将  $\overline{HSB}$  引脚置为低电平，仅在存储完成时才会释放。存储操作完成后，在  $\overline{HSB}$  引脚变回高电平时，nvSRAM 存储器访问将被禁止  $t_{LZHSB}$  的时间。如果不使用  $\overline{HSB}$ ，让其保持未连接状态即可。

## 硬件回读（加电）

加电时或任何低功率状态之后 ( $V_{CC} < V_{SWITCH}$ )，内部回读请求将被锁存。当加电时  $V_{CC}$  再次超过  $V_{SWITCH}$  时，将自动启动回读循环并需要  $t_{HRECALL}$  的时间完成。在此期间，HSB 驱动器将 HSB 引脚驱动为低电平，对 nvSRAM 的所有读和写操作都将被禁止。

## 软件存储

通过软件地址序列将数据从 SRAM 传输到非易失性存储器。CY14B101LA/CY14B101NA 软件存储循环通过以准确的顺序在四个特定地址执行连续的  $\overline{CE}$  或  $\overline{OE}$  控制的读循环来启动。在存储循环期间，首先擦除上一个非易失性数据，接下来执行非易失性元件程序。启动存储循环后，将禁用进一步输入和输出，直到循环完成。

由于特定地址的读取序列用于存储启动，所以在该序列中没有其他读或写访问干预，或者该序列终止并且未发生存储或回读这一点很重要。

若要启动软件存储循环，必须执行下列读取序列：

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x8FC0 启动存储循环

**Table 1. 模式选择**

$\overline{CE}$	$\overline{WE}$	$\overline{OE}$	BHE、BLE <sup>[5]</sup>	$A_{15} - A_0$ <sup>[6]</sup>	模式	I/O	功耗
H	X	X	X	X	未选中	输出 high-Z	待机
L	H	L	L	X	读取 SRAM	输出数据	活动 (Active)
L	L	X	L	X	写入 SRAM	输入数据	活动 (Active)
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8B45	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储禁用	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	活动 <sup>[7]</sup>
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4B46	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储启用	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	活动 <sup>[7]</sup>
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8FC0	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性存储	输出数据 输出数据 输出数据 输出数据 输出数据 输出 high-Z	活动 $I_{CC2}$ <sup>[7]</sup>

注：

5. BHE 和 BLE 仅适用于 ×16 配置。
6. CY14B101LA 上有 17 个地址行 (CY14B101NA 上有 16 个地址行)，只有 13 个地址行 ( $A_{14} - A_2$ ) 用于控制软件模式。余下的地址行无需关注。
7. 六个连续的地址必须按顺序列出。 $\overline{WE}$  在六个周期期间必须为高电平才能启用非易失性循环。

该软件序列可以在六个读取序列中  $\overline{WE}$  都保持高电平的情况下通过  $\overline{CE}$  控制的读取或  $\overline{OE}$  控制的读取来锁定。在序列中输入第六个地址之后，存储循环将立即开始，芯片被禁用。HSB 被置为低电平。达到  $t_{STORE}$  循环时间后，SRAM 再次被激活以进行读和写操作。

## 软件回读

通过软件地址序列将数据从非易失性存储器传输到 SRAM。软件回读循环以与软件存储启动类似的方式通过读操作序列启动。若要启动回读循环，必须执行下列  $\overline{CE}$  或  $\overline{OE}$  控制的读操作序列：

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x4C63 启动回读循环

在内部，回读是两步程序。首先，清除 SRAM 数据。然后，将非易失性信息传输到 SRAM 单元。在  $t_{RECALL}$  循环时间后，SRAM 再次准备就绪进行读和写操作。回读操作不会更改非易失性元件中数据。

**Table 1. 模式选择 (continued)**

$\overline{CE}$	$\overline{WE}$	$\overline{OE}$	$\overline{BHE}$ 、 $\overline{BLE}^{[5]}$	$A_{15} - A_0^{[6]}$	模式	I/O	功耗
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4C63	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性回读	输出数据 输出数据 输出数据 输出数据 输出数据 输出 high-Z	活动 <sup>[7]</sup>

## 组织自动存储

通过启动自动存储禁用序列禁用自动存储功能。以与软件存储启动类似的方式执行读操作序列。若要启动自动存储循环，必须执行下列  $\overline{CE}$  或  $\overline{OE}$  控制的读操作序列：

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x8B45 自动存储禁用

通过启动自动存储启用序列重新启用自动存储。以与软件回读启动类似的方式执行读操作序列。若要启动自动存储循环启用序列，必须执行下列  $\overline{CE}$  或  $\overline{OE}$  控制的读操作序列：

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x4B46 自动存储启用

如果自动存储功能禁用或重新启用，则必须触发手动存储操作（软件或硬件）才能在后续的断电循环中保存自动存储。部件出厂时已启用自动存储。

## 数据保护

CY14B101LA/CY14B101NA 通过禁止外部启动的存储和写操作在低电压状态下保护数据免遭破坏。当  $V_{CC}$  低于  $V_{SWITCH}$  时检测到低电压状态。如果 CY14B101LA/CY14B101NA 在加电时处于写模式（ $\overline{CE}$  和  $\overline{WE}$  都为低电平），在回读或存储之后，将禁止写操作，直到  $t_{LZHSB}$ （HSB 到输出有效的时间）之后启用 SRAM 为止。这可以防止在加电或掉电状态的意外写操作。

## 噪声注意事项

请参考 CY 应用笔记 [AN1064](#)。

## 最佳做法

nvSRAM 产品在 27 年来被有效使用。易于使用是该产品的主要系统价值，处理上百的应用所获得经验令下列建议成为最佳做法：

- nvSRAM 产品中的非易失性单元由赛普拉斯提供，所有单元中都写入了 0x00。在客户处或合约制造商处的传入检测例程有时会重新对这些值编程。最终 NV 模式通常是 AA、55、00、FF、A5 或 5A 的重复模式。不应将最终产品固件假设为 NV 阵列处于设置已编程状态。检查存储器内容值以确定首次系统配置、冷启动或热启动状态等的例程应该始终编写独一无二的 NV 模式（即，46 E6 49 53 十六进制或更多随机字节的复杂的 4 字节模式）作为最终系统制造测试的一部分以确保这些系统例程始终如一地工作。
- 加电启动固件应该将 nvSRAM 重新写入所需状态（例如启用自动存储）。nvSRAM 在发运时处于预设状态，最佳做法再次将 nvSRAM 写入所需状态，作为防止那些可能意外颠倒位的事件的预防措施，例如程序漏洞和传入检测例程。
- 本数据表中指定的  $V_{CAP}$  值包含最大值和最小值。最佳做法将满足该要求并不会超过最大  $V_{CAP}$  值，因为 nvSRAM 内部算法根据此最大  $V_{CAP}$  值计算  $V_{CAP}$  充电和放电时间。想要使用更大  $V_{CAP}$  值以确保有额外存储充电时间和存储时间的客户应该与赛普拉斯讨论他们的  $V_{CAP}$  大小选择，以了解在  $t_{RECALL}$  周期结束时对  $V_{CAP}$  电压水平的任何影响。

文档修订记录页

文档标题 : CY14B101LA, CY14B101NA 1-Mbit (128 K x 8/64 K x 16) nvSRAM				
文档编号 : 001-63445				
Revision	ECN	Orig. of Change	Submission Date	Description of Change
**	3002218	VLX	08/06/2010	Translation of spec 001-42879 *G
*A	3394574	VLX	10/04/2011	Translation of spec 001-42879 *K.
*B	4394208	SCHC	05/30/2014	No technical updates.

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂和经销商组成的全球性网络。要找到距您最近的办事处，请访问赛普拉斯所在地。

产品

- 汽车用产品 [cypress.com/go/automotive](http://cypress.com/go/automotive)
- 时钟与缓冲器 [cypress.com/go/clocks](http://cypress.com/go/clocks)
- 接口 [cypress.com/go/interface](http://cypress.com/go/interface)
- 照明与电源控制 [cypress.com/go/powerpsoc](http://cypress.com/go/powerpsoc)  
[cypress.com/go/plc](http://cypress.com/go/plc)
- 存储器 [cypress.com/go/memory](http://cypress.com/go/memory)
- 光学与图像传感器 [cypress.com/go/image](http://cypress.com/go/image)
- PSoC [cypress.com/go/psoc](http://cypress.com/go/psoc)
- 触摸感应产品 [cypress.com/go/touch](http://cypress.com/go/touch)
- USB 控制器 [cypress.com/go/USB](http://cypress.com/go/USB)
- 无线 /RF 产品 [cypress.com/go/wireless](http://cypress.com/go/wireless)

PSoC 解决方案

- [psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)
- PSoC 1 | PSoC 3 | PSoC 5

© 赛普拉斯半导体公司，2010-2014。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌电路之外，赛普拉斯半导体公司不对其他任何电路的使用承担任何责任，也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用等用途。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受到全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途之外，未经赛普拉斯的明确书面许可，不得对此源代码进行任何复制、修改、转换或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受到适用的赛普拉斯软件许可协议限制。