

最適なサイプレス同期式 SRAM の選択

作成者: Sohelkhan Pathan/Pritesh Mandaliya
関連プロジェクト: なし
関連製品ファミリ: 全ての同期式 SRAM
ソフトウェア バージョン: なし
関連アプリケーション ノート: なし

AN4011 では、標準同期式、NoBL™、QDR®-II/II+、QDR-II+ Xtreme、DDR-II/II+、DDR-II+ Xtreme および QDR-IV SRAM の概要について説明します。現在、サイプレスは幾つかの主な同期式 SRAM アーキテクチャを開発しています。本アプリケーション ノートの目的は、どのアーキテクチャが特定のアプリケーションに最適であるかを判断する手段を提供することです。それぞれのアーキテクチャ、アドレス/データ間関係による比較、および性能特性の簡単な説明も含まれています。

はじめに

現在、サイプレスは幾つかの主な同期式 SRAM アーキテクチャを開発しています。これらの SRAM 全ては同期タイミングで動作しています。データ、アドレス、および制御入力にはクロック エッジで取り込まれます。表 1 には、幾つかの SRAM アーキテクチャの特長を示します。

表 1. SRAM アーキテクチャ^[1]

アーキテクチャ	バージョン	機能
標準同期式	フロースルー	ユーザー選択可能な 4 ワード バースト; デュアル バス マスター; SAR; SDR; 同じサイクルの読み出し結果
	パイプライン SCD	ユーザー選択可能な 4 ワード バースト; デュアル バス マスター; SAR; SDR; 次の CLK 後の読み出し結果; 同じサイクルの読み出し終了
	パイプライン DCD	ユーザー選択可能な 4 ワード バースト; デュアル バス マスター; SAR; SDR; 次の CLK の後の読み出し結果; 次の CLK の後の読み出し終了
NoBL™	フロースルー	ユーザー選択可能な 4 ワード バースト; SAR; SDR; バス ターンアラウンド用に 0 アイドル サイクル; 同じサイクルの読み出し結果; データは常にアドレスより 1CLK サイクル遅れる
	パイプライン DCD	ユーザー選択可能な 4 ワード バースト; SAR; SDR; バス ターンアラウンド用に 0 アイドル サイクル; 次の CLK の後の読み出し結果; データは常にアドレスより 2CLK サイクル遅れる
QDR-II/QDR-II+ /QDR-II+ Xtreme	2 ワード バースト	固定の 2 ワード バースト; 個別 I/O; クロック サイクル毎に読み出しと書き込みを開始; DAR; DDR; 次の C または K の後の読み出し結果; データ転送後の読み出し終了; 書き込みコマンドでデータ書き込みを開始; クロック サイクル毎に 4 オペランドを持続; インピーダンス マッチング ZQ 回路に対応; QDR-II は、広い出力データ ウィンドウおよびソース同期クロックに対応
	4 ワード バースト	固定の 4 ワード バースト; 個別 I/O; クロック サイクル毎に読み出しまたは書き込みを開始; SAR; DDR; 次の C または K の後の読み出し結果; データ転送後の読み出し終了; 書き込みコマンド後の次のクロックでデータ書き込みを開始; クロック サイクル毎に 4 オペランドを持続; インピーダンス マッチング ZQ 回路に対応; QDR-II は、広い出力データ ウィンドウおよびソース同期クロックに対応

アーキテクチャ	バージョン	機能
DDR-II/DDR-II+ /DDR-II+ Xtreme ^[2] (共通 I/O)	2 ワード バースト	固定の 2 ワード バースト; 共通 I/O; SAR; DDR; 次の C または K の後の読み出し結果; データ転送後の読み出し終了 (共通 I/O); 書き込みコマンド後の次のクロックでデータ書き込みを開始; クロック サイクル毎に 2 オペランドを持続; インピーダンス マッチング ZQ 回路およびソース同期クロックに対応; DDR-II は、広い出力データ ウィンドウに対応
	4 ワード バースト	固定の 4 ワード バースト; 共通 I/O; SAR; DDR; 次の C または K の後の読み出し結果; データ転送後の読み出し終了; 書き込みコマンド後の次のクロックでデータ書き込みを開始; クロック サイクル毎に 2 オペランドを持続; インピーダンス マッチング ZQ 回路およびソース同期クロックに対応; DDR-II は、広い出力データ ウィンドウに対応
DDR-II/DDR-II+ (個別 I/O)	2 ワード バースト	固定の 2 ワード バースト; 個別 I/O; クロック サイクル毎に読み出しまたは書き込みを開始; SAR; DDR; (個別 I/O) 次の C または K の後の読み出し結果; データ転送後の読み出し終了; 書き込みコマンド後の次のクロックでデータ書き込みを開始; クロック サイクル毎に 2 オペランドを持続; インピーダンス マッチング ZQ 回路およびソース同期クロックに対応; DDR-II SIO は、広い出力データ ウィンドウに対応
QDR-IV	2 ワード バースト	固定の 2 ワード バースト; 同時読み出し/書き込みトランザクションをサポートする 2 個の独立した双方向データポート; DAR; DDR; QDR-IV XP は書き込みレイテンシが 5 クロック サイクルで、読み出しレイテンシが 8 クロック サイクル。QDR-IV HP は、書き込みレイテンシが 3 クロック サイクルで、読み出しレイテンシが 5 クロック サイクルバス反転、アドレス バス パリティ、設定可能なオンダイ終端、オンチップ 誤り訂正符号 (ECC) およびデスキュートレーニングに対応。

注 1: SAR = シングル アドレス レート、SCD = シングル サイクル ディセレクト、SDR = シングル データ レート、DAR = ダブル アドレス レート、DCD = ダブル サイクル ディセレクト、DDR = ダブル データレート。

注 2: DDR-II+ Xtreme デバイスは 2 ワード バーストのオプションのみ。

標準同期式 SRAM

標準同期式 SRAM ファミリーは、キャッシュ アプリケーション専用に開発されています。これらデバイスは、キャッシュ ライン サイズ 4 (即ち、1 キャッシュ ラインを取り出すために 4 バス トランザクション) に対応する内部 2 ビット バースト カウンタを内蔵しています。標準同期式 SRAM は 2 バス マスターを許可するように設計されているため、2 つの異なるマスター制御入力を持っています。それらはマイクロプロセッサで制御する \overline{ADSP} 、および通常キャッシュ コントローラーで制御する \overline{ADSC} です。 \overline{ADSP} 動作は、初期には READ サイクルとして解釈されましたが、次の CLK 立ち上がりエッジで WRITE サイクルにすることができます。単一のアドレスは 1、2、3、または 4 ワードで動作することができ、アドバンス (\overline{ADV}) で動的に制御されます。4 ワードを超えた \overline{ADV} は、単にシーケンスの始まりに戻ってアドレスを繰り返します。

標準同期式 SRAM は、特に制御信号向けに設計されたプロセッサに適しています。一般的には、シングル データ レート (SDR) のキャッシュ アプリケーションに最適な SRAM アーキテクチャは、バス ターンアラウンド サイクルが頻繁に発生するアプリケーションに適していません。

サイプレス標準同期式 SRAM の 3 つの異なるバージョンは、フローズルー、シングルサイクル ディセレクト (SCD) パイプライン、およびダブルサイクルディセレクト (DCD) パイプラインです。バージョンは、幾つかの要素に基づいて選択されます。

パイプラインかフローズルーかの選択

表 2 に示されるように、サイプレスは、標準同期式 SRAM の 2 つの異なるパイプライン バージョンおよび 1 つのフローズルー バージョンを提供しています。パイプライン バージョンは、入力レジスタと出力レジスタを持っています。フローズルー バージョンは、入力レジスタのみを持っています。出力レジスタを持っているため、パイプライン デバイスは、フローズルー デバイスに比べて、(READ 中に) データが有効になる前に追加の遅延サイクルがあります。

ASIC と DSP アプリケーションでは、フローズルー デバイスはよく使用されています。理由は、これらアプリケーションの多くが、パイプライン デバイスのデータ読み出し時の追加遅延サイクルを許可しないからです。パイプライン デバイスは、帯域幅の最適化が重要なアプリケーションで使用されています。パイプライン デバイスが、バスの競合を防ぐために読み出しから書き込みに切り替わる時に 1 遅延サイクルを必要とすることに注意してください。

表 2. パイプラインとフロースルーの説明

バージョン	説明
フロースルー	入力信号にレジスタが付いている同期式 SRAM
シングルサイクル ディセレクト (SCD) のパイプライン	入力信号と出力信号のどちらにもレジスタ付きの同期式 SRAM。シングルサイクル ディセレクト。
ダブルサイクル ディセレクト (DCD) のパイプライン	入力信号と出力信号のどちらにもレジスタ付きの同期式 SRAM。ダブルサイクル ディセレクト。

最適なパイプライン バージョンの選択

サイプレスのパイプライン SRAM が 2 種類があるため、設計者の要求に最適なバージョンを選択することが必要です。図 1 には、パイプライン SRAM の DCD と SCD バージョン間の違いを示します。この図は、3 つのアドバンス サイクルと 1 つのディセレクト サイクルが続いた READ サイクルを示します。DCD デバイスは 4 ワードを全て読み出しますが、SCD デバイスは最後のワードを除きます。SCD デバイスが全ての 4 ワードを読み出すために、ディセレクト コマンドを 1 サイクル遅延させる必要があります。

サイプレスは、Intel BSRAM 仕様に準拠するように SCD バージョンを設計しました。この仕様は、複数の SRAM バンクがあるシステム内でバスの競合が発生しないように開発されました。これは、異なるベンダーのデバイスが使用されている場合、または異なるバンクが長い電気配線で分離されている場合、複数の SRAM バンクを切り替える時に発生する可能性があります。メーカーによって DQ ラインのオンになる時間とオフになる時間が大幅に異なる場合、このバスの競合は読み出し中に発生する可能性があります。

キャッシュのユーザーは、互いに互換性があり、要求された性能を実現できる SRAM とチップセットを選択することが重要です。デバイスを最大限に使用するために、DCD と SCD 両方に対応できるチップセットを選択してください。単一バンクのシ

ステムで最高性能を得るために、DCD は最適なソリューションです。キャッシュの設計者は、サポートされた標準同期式 SRAM タイプを検証するためにチップセットベンダーに確認することが重要です。ほとんどのチップセットは、BSRAM 規格に準拠しており、SCD デバイスのみを使用できます。他のチップセットは、DCD と SCD デバイス両方を使用できますが、バンク間の切り替えにデッド サイクルがあるため、DCD バージョンを使用しても、性能面でのメリットはありません。いくつかのチップセットは、DCD と SCD 両方をサポートしますが、DCD デバイスを使用すれば高性能を得ることができます。

DCD と SCD バージョンの設計

最も幅広く部品のサプライヤを確保したい場合、または最速な性能が課題とならない場合、ユーザーは DCD と SCD を共に使用できる設計をすることができます。これを実現する一つの方法は、システム内の SRAM タイプ (DCD か SCD) を見つけて、それに応じてディセレクト サイクルを設定することです。起動/電源投入時に、DCD か SCD SRAM があるかをチェックするためにシステムをテストすることができます。このために、4 ワードを SRAM に順次に書き込んでバーストで読み出し、最後の ADV サイクルの後にディセレクト サイクルを発生させます (図 1 を参照)。システム内で DCD が使用された場合、全ての 4 ワードは正常に読み出されます。SCD の場合、3 ワードのみが正常に読み出されます。

図 1. シングルサイクル ディセレクト (SCD) 対ダブルサイクル ディセレクト (DCD)

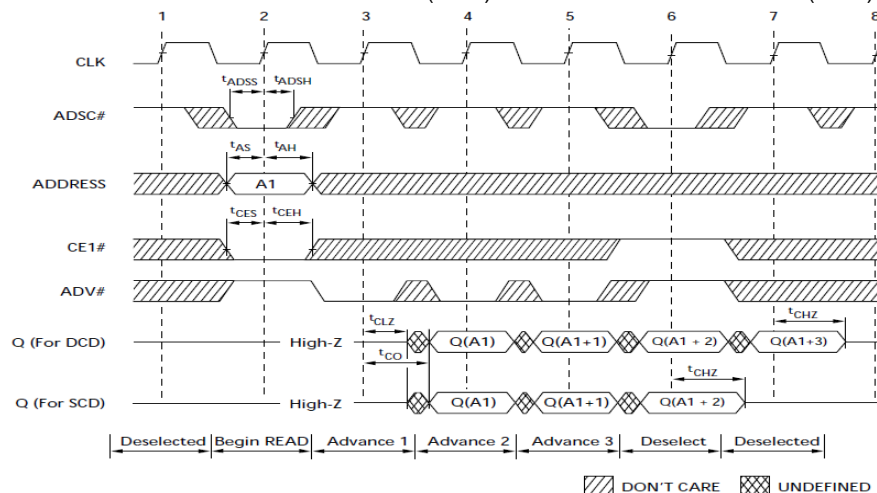
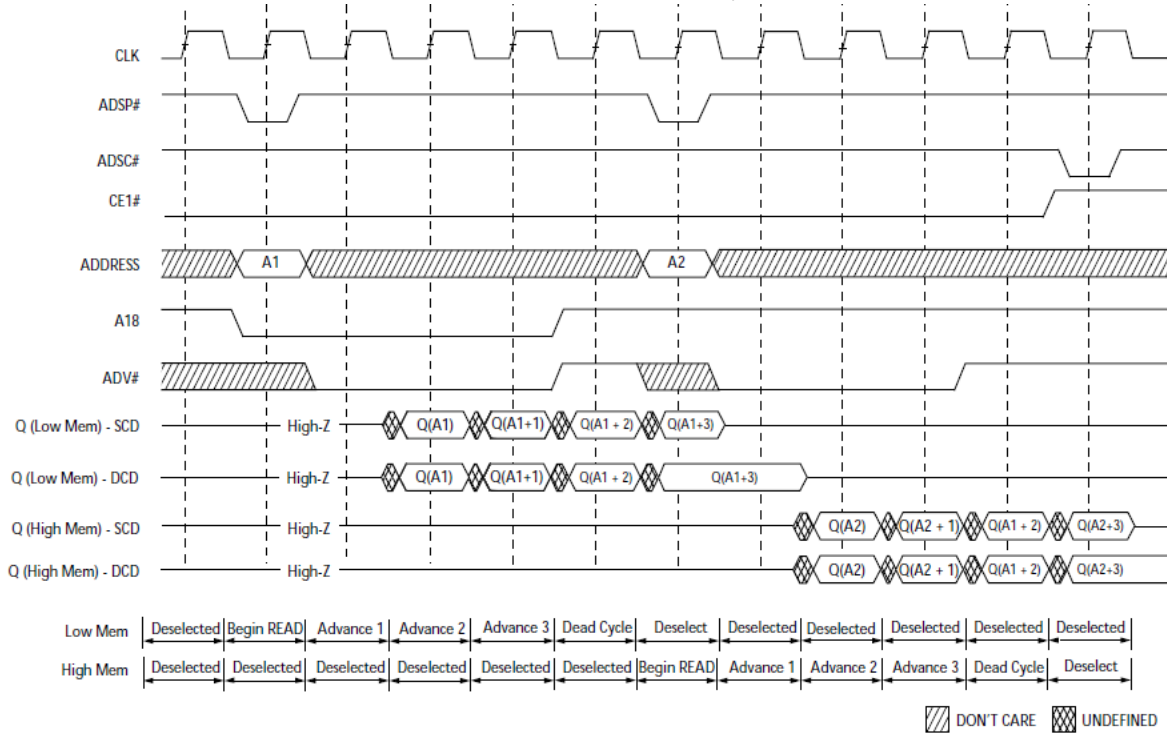


図 2. DCD と SCD バージョンの設計



もう一つの方法は、電源投入時または起動時に修正することなく DCD または SCD バージョンに適應できるメモリ インターフェースを設計することです。このために、図 2 の例のように常にデッド サイクルを挿入します。この方法により、最小ピン数で最も簡単なインターフェースを可能にしつつ、連続した読み出しを実行する際に非常に高い性能を達成できます。

No Bus Latency™ (NoBL™)

NoBL SRAM は、頻繁なバス ターンアラウンドを必要とするが、標準同期式 SRAM に必要なアイドル サイクルを提供できないアプリケーションに応じて開発されました。標準同期式デバイスと同様に、NoBL は内部 2 ビット バースト カウンタを内蔵して、必要なアドレス バス幅を減少させます。しかし、ほとんどのアプリケーションは、バス ターンアラウンドが頻繁に発生するため、この機能を利用していません。このデバイスは、SDR と SAR で動作します。

NoBL アーキテクチャで新しく取り入れたものは、読み出した書き込みを問わずアドレスとデータ間の関係が同一であるように書き込みデータが再整列されることです。このため、バス ターンアラウンド時、即ち、読み出しから書き込みに、または書き込みから読み出しに遷移する時、アイドル サイクルは必要ありません。NoBL SRAM の全バージョンが、データをメモリ アレイに書き込む時間があつたかどうかにかかわらず読み出しサイクルに応じて正しいデータが返されるために、内部

データ レジスタおよびアドレス スヌープを使用することに注意してください。これは、データ整合性と呼ばれています。

NoBL フロースルー

NoBL SRAM は、フロースルーとパイプラインという 2 つのバージョンがあります。NoBL フロースルー SRAM は、システム内で常にアドレスからデータまで 1 遅延クロック サイクルがあります。読み出しは、要求されたデータをクロック サイクル中に提供し、次の CLK の立ち上がりエッジで取り込むまで結果を提供します。書き込みデータも、次の CLK 立ち上がりエッジで期待されています。このデバイスはシステム レイテンシを最小限にします。このために、SRAM は、次の CLK 立ち上がりエッジに間に合うようにデータ フェッチとデータ転送を実行しなければなりません。つまり、動作周波数は制限されます。このデバイスは、バス ターンアラウンドが頻繁に発生する SDR アプリケーションに最適です。小さいデータ チャンク、特に最小のデータ レイテンシを必要とする 1 ワード チャンクを転送する必要がある場合に、効果的に使用されます。一般的には、フロースルー SRAM はパイプライン SRAM より低い周波数で動作します。その理由は、要求元のデータ フェッチ、データ転送およびそれ以降のデータ キャプチャを 1 クロック サイクル内に実行しなければならないからです。

NoBL パイプライン

パイプライン NoBL SRAM は、デバイスの出力に追加されたパイプライン レジスタにちなんで名付けられます。これにより、内部読み出しは 1 つの完全なクロック サイクルをかけることができます。次のクロック サイクル中に、データは転送されて、2 段パイプラインを構成します。データが転送されている間、メモリ アレイは他の動作に使用することができます。このため、アドレスとデータの関係は、フロースルー バージョンを 1 つのクロック サイクル遅れさせます。従って、書き込みサイクルはアドレスの 2 つの CLK 立ち上がりエッジ後にデータを期待します。パイプライン NoBL デバイスは、フロースルー デバイスより高い周波数で動作し、高いシステム スループットを持続します。パイプラインを準備するための追加の 1 クロック サイクルは最初の動作が開始される時に 1 回だけ発生します。その後、新しい動作は各サイクルにわたって継続されます。

このデバイスは、バス ターンアラウンドが頻繁に発生し、小さいデータ チャンク (特に、1 ワード チャンク) を転送し、フロースルー バージョンが許可する周波数より高い周波数で動作する必要がある SDR アプリケーションに最適です。

QDR-II/II+/II+ Xtreme™ および DDR-II/II+/II+ Xtreme

以下の節は、QDR-II/II+/II+ Xtreme について説明します。

QDR はクワッド データ レートの略です。QDR-II SRAM は、低レイテンシおよび NoBL SRAM のサイクルの完全利用を必要とするが、それより大幅に高い周波数で動作する必要があるネットワーク アプリケーションに対処するために開発されました。重要な要素の一つは、ASIC ピン数を減らすことです。

QDR-II SRAM は、個別の読み出しバスと書き込みバスを持っています。この SRAM ソリューションは、ターンアラウンド サイクルを除去し、メモリ製造技術の本来持っている速度で許されるいかなる周波数にも調整することができます。制御信号は、読み出しポートを制御する RPS および書き込みポートを制御する WPS です。幅を拡張するために、単に全ての RPS と WPS を並行に制御します。深さを拡張するために、他の RPS と WPS を各バンクに追加します。

QDR-II アーキテクチャの重要な特長は、各データ ピンでのダブル データ レート (DDR) です。これは、小さいバス サイズを可能にし、ASIC ピン数を減らします。全てのサイクルはデバイス バースト長で動作します。サイクルは、終端するか中断することができます。書き込みサイクルの各部分は、バイト書き込み制御ピンを使用して任意にマスクすることができます。

全てのバージョンは、K と \bar{K} の入力マスター クロック ペアを必要とします。立ち上がりエッジのみは SRAM によって使用されます。理想的には、 \bar{K} の立ち上がりエッジは、K の立ち上がりエッジの正確に半分のクロック サイクル後に発生します。これにより、出力データのバランスが取れて、各データ ワードは同じ有効時間を持っています。

QDR-II と DDR-II SRAM は、データがデバイスから出力される時点を制御するために任意に使用される C と \bar{C} のデータ出

力クロック ペアを持っています。これは、複数の SRAM がバス マスターから異なる物理的距離で配置されているシステムで非常に便利です。C と \bar{C} を使って全ての出力データを整列することができます。そして、全ての結果がバス マスターで同時に取り込まれ、容易に同期化されます。C と \bar{C} が使用されない場合は HIGH に固定され、デバイスをシングル クロック モードにします (K と \bar{K} は入出力の両レジスタに使用されます)。

QDR-II/DDR-II デバイスは、任意に使用されるソース同期出力エコー クロック CQ と \bar{CQ} を持っています。これら出力は、出力データ Q 信号とまったく同じタイミングを持ち、入力レジスタをトリガーするために使用されます。CQ と \bar{CQ} を 200MHz 以上のクロック速度で使用することを推奨します。

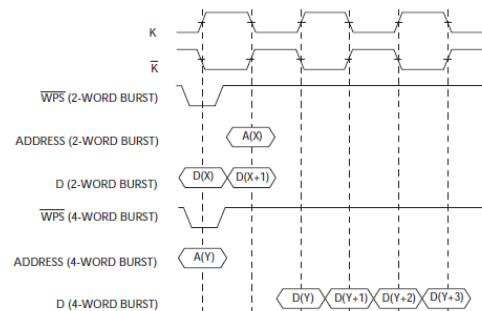
QDRII+/DDR-II+/QDR-II+ Xtreme/DDR-II+ Xtreme デバイスは C と \bar{C} を使用しません。出力は CQ と \bar{CQ} に同期します。また、データが SRAM から出力される半サイクル前に HIGH になり、最後のデータがデバイスから出力される半サイクル前に LOW になる QVLD 信号があります。QDR-II+/DDR-II+/QDR-II+ Xtreme/DDR-II+ Xtreme には、オンダイ終端 (ODT) を備えた、または備えてないデバイスがあります。必須と任意のクロックの組み合わせにより、これは現在最もフレキシブルな SRAM アーキテクチャです。

2 ワード バーストの QDR-II

2 ワード バーストの QDR SRAM バージョンは、各クロック サイクル中に 2 つのアドレスを受け入れることができます。従って、2 QDR のバーストはダブル アドレス レートです。これにより、アプリケーションはバスの全帯域幅を利用できます。RPS と WPS は、同じ K 立ち上がりエッジでラッチされます。外部からは、読み出しと書き込みの両方が同時に開始されるかのように見えます。

書き込みサイクルは図 3 に示されています。データの最初のバーストは、WPS が LOW にアサートされた時に、同じ K の立ち上がりエッジで始まり、取り込まれます。2 番目のバーストは、次の \bar{K} 立ち上がりエッジで取り込まれます。アドレスは、 \bar{K} の立ち上がりエッジで取り込まれます。データは、 \bar{K} の立ち上がりエッジと K の立ち上がりエッジの間にアレイに書き込まれます。

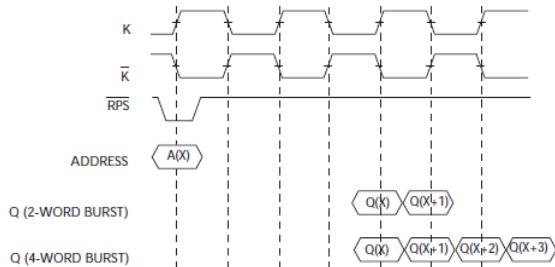
図 3. QDR SRAM 書き込みサイクル中のデータ配置



読み出しサイクルは図 4 に示されます。読み出しを開始するために、RPS は、K の立ち上がりエッジで LOW にアサートされます。同時に、アドレスが提供されます。内部的には、データ

は K の立ち上がりエッジから \bar{K} の立ち上がりエッジまでの間に読み出されます。データはレジスタに入れられて、次のクロックサイクルで出力され、データは 2 つの連続した半クロック サイクルの間現れます。

図 4. QDR SRAM 読み出しサイクル



出力データは整合性を持っています。読み出しと書き込みサイクルが同じクロック サイクル (K の立ち上がりエッジ) で開始されたら、RPSとWPS両方は LOW です。読み出しはアドレス 1 から要求されます。アドレス 1 が提供されます。 \bar{K} の立ち上がりエッジで、アドレス 2 は書き込み用に提供されます。この例では、アドレス 1 とアドレス 2 は同じです。提供された読み出しデータは、アドレス 2 への書き込み用のデータと同じです。

2 ワード QDR バーストは、小さいデータ チャンクを必要とし、読み出しと書き込み動作の短期比率が 1 に近いアプリケーションに最適です。(この短期比率は本書後半で詳しく説明します。) DAR およびダブル データ レートの動作は、SRAM と通信するどのデバイスでも最小ピン数を可能にします。周波数は、システム負荷と SRAM 内部メモリ アレイ速度という 2 因子によって制限されます。コントローラは、クロックと同じ信号周波数でアドレスを提供できることが必要です。アドレスがバス上の全てのデバイスに転送され、データが常に点から点へ転送されるため、アドレス バスが AC タイミングを満たすのは最も困難です。メモリ アレイがクロック サイクル毎に 2 回アクセスされるため、SRAM 内部メモリ アレイ速度限界が生じます。SRAM 速度は、メモリ アレイの受信要求への対応能力によって制限されます。

4 ワード バーストの QDR-II

長いバーストの QDR-II SRAM は、完全なバス利用を維持するために各クロック サイクル中に 1 つのアドレスが提供されることを必要とします (シングル アドレス レート; SAR)。K の立ち上がりエッジでは、RPSまたはWPSのどちらか一方のみのコマンドが受信されます。外部からは、読み出しと書き込み動作がグルグルするように見えます。即ち、読み出しスロットは 1 つのクロック サイクル中に行われ、書き込みスロットは次のクロックサイクル中に行われます。そして続きます。まさに、これがそのケースです。4 データ ワードが 2 クロック サイクルの中で行われるため、クワッド データ レート動作が行われます。デバイスを完全利用する時は、読み出しと書き込みのバス トランザクションが重なり、2 つの動作は同時に実行されます。

図 3 の書き込みサイクルは、データが、サイクルを開始した K の立ち上がりエッジの次の K の立ち上がりエッジから取り込まれることを示し、さらに 3 つの K/\bar{K} の立ち上がりエッジの間続

きます。アドレスは、K の立ち上がりエッジで取り込まれます。メモリ アレイへの実際の内部書き込みは、次の書き込み要求までは行われません。保留中の位置からの読み出しは、保持レジスタから正確に転送され、完全なデータ整合性が維持されます。

図 4 の読み出しサイクルは、アドレスが、サイクルを開始する同じ K の立ち上がりエッジで提供されることを示します。内部的には、データは K の立ち上がりエッジから次の K の立ち上がりエッジまでの間に読み出されます。データがレジスタに格納されて、データ転送は次のクロック サイクルに開始され、4 つの連続した半クロック サイクルの間継続されます。

このデバイスは、4 ワード データ チャンクを必要とし、読み出しと書き込みサイクルの短期比率が 1 に近いアプリケーションに最適です。SAR およびダブル データ レートの動作は、SRAM と通信するどのデバイスでも最小ピン数を可能にします。アドレス バスは、両バスで 100% の利用率を維持するためにクロック周期毎に 1 回だけ更新する必要があります。

QDR-II 対 QDR-II+/II+ Xtreme

QDR-II/II+/II+ Xtreme SRAM の動作は、アプリケーション ノート AN4065 で詳しく説明します。QDR-II と QDR-II+/II+ Xtreme の主な違いは、読み出しレイテンシです。また、QDR-II/II+/II+ Xtreme は C/\bar{C} を使用せず、読み出しデータの可用性を示す QVLD 信号を持っています。制御信号は変わりません。以下では、それら違い、およびそれら違いがどのように SRAM の選択に影響するかを簡潔に説明します。

表 3. QDR-II 対 QDR-II+/II+ Xtreme のまとめ

	QDR-II	QDR-II+	QDR-II+ Xtreme
最大周波数	2 ワード バースト: 333MHz 4 ワード バースト: 333MHz	2 ワード バースト: 333MHz 4 ワード バースト: 550MHz	2 ワード バースト: 450 MHz 4 ワード バースト: 663 MHz
初期レイテンシ	1.5 クロック サイクル	2.0/2.5 サイクル	2.5 サイクル
エコ クロック	あり	あり	あり
容量	18Mb/36Mb/72Mb	18Mb/36Mb/72Mb/144Mb	36 Mb/72Mb/144Mb
電源	1.8V	1.8V	1.8V
ODT に対応するデバイス オプション	なし	あり	あり
データ有効信号 - QVLD	なし	あり	あり

DDR-II 共通 I/O

幾つかの SRAM アプリケーションは読み出しの後に書き込みが続くことを必要とし、QDR-II SRAM 動作に最適です。他のアプリケーションは、読み出しと書き込み動作の短期比率が 100%の読み出しまたは 100%の書き込みであるデータ ストリーミング (例えば、16 の読み出しの後に 16 の書き込み) を必要とします。この場合、QDR-II SRAM のどちらかのバスは半分の時間の間利用されません。2 つの後者の場合を解決するために、入力と出力データが同じバスを共用する DDR-II 共通 I/O SRAM が開発されました。これは、QDR-II に比べて、基板上に配線する信号数を減らします。バス ターンアラウンド サイクルは、使用可能な帯域幅を狭くします。しかし、幾つかのシステムでは、これは QDR アーキテクチャより良い平均バス利用率を提供することができます。

DDR-II SRAM は、共通の読み出しと書き込みポートを備えています。バス ターンアラウンド サイクルは、SRAM 読み出しから書き込みへの遷移中に必要とされます。この遷移中に必要なアイドル クロック サイクル数は、周波数によって異なります: 約 166MHz 以下の周波数では、1 クロック サイクルが必要で、約 200MHz 以上の周波数では、2 クロック サイクルが必要です。過剰なバス競合を防ぐのに必要なサイクルの正確な数を判断するために、シミュレーションを行う必要があります。このソリューションは、より高い周波数に達することができ、メモリ 製造技術固有の速度のみで制限されます。制御信号は、QDR-II デバイスの制御信号とは少し異なります。R/W は読み出し/書き込み動作を制御し、LD はチップ イネーブルと同じように動作し、SRAM に新しいサイクルを開始させます。幅を拡張するために、単に全ての R/W と LD を並行に制御します。深さを拡張するために、他の LD を各バンクに追加します。

他の全ての特長は、QDR-II デバイスと同じです。

2 ワード バーストの DDR-II

DDR-II SRAM は、K の立ち上がりエッジで LD を LOW にアサートし、R/W をセットすることで、1 クロック サイクル中にもう 1 つの動作を行うことができます。

書き込みサイクルは図 5 に示されます。書き込み動作は、K の立ち上がりエッジで LD と R/W を LOW にセットすることで開始します。アドレスは、それと同じ K の立ち上がりエッジで取り込まれます。2 つのデータ バーストは、その 1 クロック サイクル後に取り込まれます (最初のバーストは K の立ち上がりエッジで、2 番目のバーストは K の立ち上がりエッジで取り込まれます)。メモリ アレイへの実際の書き込みは、次の書き込みサイクル中に行われます。データがメモリ アレイに書き込まれる前に保留中のアドレスへの読み出しが行われたら、データは保持レジスタから転送されるため、提供されたデータの整合性が常に維持されます。

書き込みサイクルは図 6 に示されます。読み出し動作は、K の立ち上がりエッジで LD を LOW に、R/W を HIGH にセットすることで開始します。アドレスは、それと同じ K の立ち上がりエッジで取り込まれます。1.5 サイクル後に、データは出力されま

す。最初のバーストは K の立ち上がりエッジで出力され、2 番目のバーストは次の K の立ち上がりエッジで出力されます。

図 5. DDR-II の書き込みサイクル

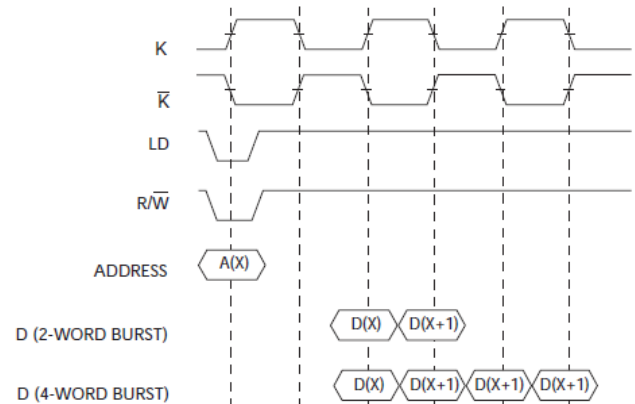
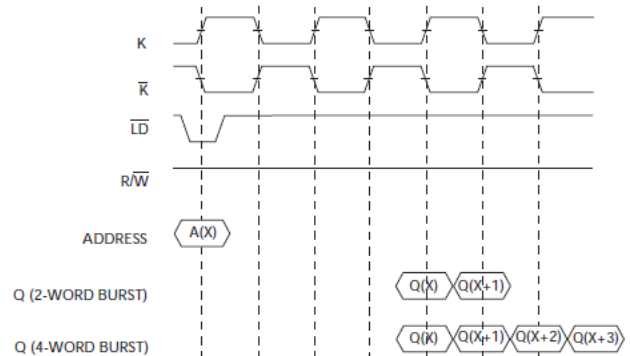


図 6. DDR-II の読み出しサイクル



低アドレス レートとダブル データ レートでは、SRAM と通信するなどのデバイスも最小ピン数が可能になり、高周波数動作が簡略化されます。このデバイスは、データ ストリーミングを必要とするアプリケーションまたは単方向のバス動作が持続されるアプリケーションには最適です。

4 ワード バーストの DDR-II

DDR-II SRAM は、完全なバス利用を維持するために 1 つのアドレスが 2 クロック サイクル毎に提供されることを必要として、アドレス生成用に最も使いやすいバージョンとなります。K の立ち上がりエッジで LD を LOW にアサートし、R/W 方向をセットすることで、1 クロック サイクル中に 1 つの動作のみを要求できます。

書き込みサイクルは図 5 に示されます。書き込みを開始するために、LD と R/W は K の立ち上がりエッジで LOW にセットされます。書き込みアドレスは、それと同時に取り込まれます。最初のデータ バーストは、次の K の立ち上がりエッジで取り込まれます。2 番目のデータ バーストは K の立ち上がりエッジで、3 番目のバーストは K の立ち上がりエッジで、4 番目のバーストは K の立ち上がりエッジで取り込まれます。従って、書き込

みが完了するために、全ての必要なデータを登録するのに 2 クロックかかります。実際の書き込みは、次の書き込みサイクル中も継続されます。データがメモリ アレイに書き込まれる前に保留中のアドレスへの読み出しが行われたら、データは保持レジスタから転送されるため、提供されたデータの整合性が常に維持されます。

書き込みサイクルは図 6 に示されます。読み出しを開始するために、K の立ち上がりエッジで \overline{LD} は LOW にセットされ、 R/\overline{W} は HIGH にセットされます。アドレスは、それと同じ K 立ち上がりエッジで取り込まれます。内部的には、データは次のクロックサイクル中にメモリ アレイから読み出されます。データは登録されて、読み出しが開始されてから 1.5 サイクル後に出力されます。各データ バーストは、連続的な K と \overline{K} の立ち上がりエッジで出力されます。

このデバイスは、4 ワード データ チャンクを必要とし、読み出しと書き込みサイクルの短期比率が上述のように 1 に近いアプリケーションに最適です。低アドレス レートとダブル データレートでは、SRAM と通信するどのデバイスも最小ピン数が可能になり、高周波数動作が簡略化されます。このデバイスは、データ ストリーミングを必要とするアプリケーションまたは単方向のバス動作が持続されるアプリケーションには最適です。

DDR-II 対 DDR-II+/II+ Xtreme

DDR-II/II+/II+ Xtreme の動作は、アプリケーション ノート AN4065 で詳しく説明します。

表 4. DDR-II 対 DDR-II+/II+ Xtreme のまとめ

	DDR-II	DDR-II+	DDR-II+ Xtreme
最大周波数	2 ワード バースト: 333MHz 4 ワード バースト: 333MHz	2 ワード バースト: 550MHz 4 ワード バースト: 550MHz	2 ワード バースト: 663MHz
初期レイテンシ	1.5 クロック サイクル	2.0/2.5 サイクル	2.5 サイクル
エコー クロック	あり	あり	あり
容量	18Mb/36Mb/72Mb/ 144Mb	18Mb/36Mb/72Mb/ 144Mb	36 Mb/ 72 Mb
電源	1.8V	1.8V	1.8V
ODT に対応するデバイス オプション	なし	あり	あり
データ有効信号 - QVLD	なし	あり	あり

DDR-II 個別 I/O

DDR-II 個別 I/O は、QDR-II デバイスと DDR-II デバイスのハイブリッドです。DDR-II SIO は、個別の入力と出力バスを持っており、QDR-II によく似ています。唯一の違いは、DDR-II SIO がクロック サイクル毎に 1 つの動作のみを行うことができるという点です。2 ワード バーストの QDR-II とは異なって、DDR-II SIO は、書き込んですぐに同じアドレスから読み出せる内部データ転送を実行できません。コントローラは、同じアドレスから読み出す前に書き込みデータがメモリ アレイに転送されるのを待機する必要があります。

このアーキテクチャは、アドレス バスの信号周波数とメモリ アレイの応答時間の、2 ワード バースト QDR-II デバイスの周波数を制限する 2 つの因子を克服するために開発されました。DDR-II 個別 I/O は、これら周波数制約を緩和しますが、2 ワード バースト QDR-II の平均バス利用率の半分が新たな犠牲となります。幾つかのアプリケーションでは、システム スループットを保持するために一定のアドレス要求レートを維持する必要があり、バス ターンアラウンドの犠牲は認められません。DDR-II 個別 I/O は、この目的にぴったり合うように開発されました。共通ピンの平均利用率は、読み出し対書き込み比にかかわらず、常に 50% です。この性能は、全てのバス条件で古いアーキテクチャ (NoBL と標準同期式 SRAM) よりも優れており、一方データ トランザクション用のそれらアーキテクチャに等しいものです。

QDR-IV

QDR-IV SRAM は、2 個の互いに独立した双方向データポートを使用して 1 秒当たりのランダムなトランザクション回数を最大限にするように最適化された高性能メモリ デバイスです。これらのポートは DDR インターフェースを備えており、それぞれポート A、ポート B と名付けられます。両データポートへのアクセスは互いに独立して同時に行われます。各ポートへのアクセスは、DDR で動作する共通 アドレス バスを介して行われます。制御信号は SDR で動作し、読み出し動作と書き込み動作のどちらを行うか決めます。

QDR-IV には差動クロックが 3 種類あります。それらは、アドレスとコマンドクロック供給用の CK/CK#、データ入力クロック供給用の DKA/DKA#/DKB/DKB#、およびデータ出力クロック供給用の QKA/QKA#/QKB/QKB# です。

ポート A のアドレスは入力クロック (CK) の立ち上がりエッジでラッチされ、ポート B のアドレスは入力クロック (CK) の立ち下がりエッジでラッチされます。

QDR-IV SRAM 読み出しと書き込みコマンドは、制御入力 (LDA#、LDB#、RWA#、および RWB#) とアドレス バスによって駆動されます。

ポート A の制御入力 (LDA# および RWA#) は、入力クロックの立ち上がりエッジでサンプリングされます。ポート B の制御入力 (LDB# および RWB#) は、入力クロックの立ち下がりエッジでサンプリングされます。

ポート A の場合、LDA# = 0 かつ RWA# = 1 の時、読み出し動作が開始されます。LDA#=0 かつ RWA#=0 の時、書き込み動作が開始されます。

ポート B の場合、LDB# = 0 かつ RWB# = 1 の時、読み出し動作が開始されます。LDB#=0 かつ RWB#=0 の時、書き込み動作が開始されます。

QDR-IV はバス反転、アドレス バス パリティ、ECC、デスキュー、設定可能な ODT およびインピーダンスなどの機能にも対応します。

QDR-IV ファミリは以下のものを含んでいます。

- QDR-IV High Performance (HP) SRAM: 最大 667MHz までの周波数でサイクル毎に 2 回のアクセスを行い、5 クロック サイクルの読み出しレイテンシを持つ、2 ワード パースト アーキテクチャのデバイスです。
- QDR-IV Xtreme Performance (XP) SRAM: 最大 1066MHz までの周波数でサイクル毎に 2 回のアクセスを行い、8 クロック サイクルの読み出しレイテンシを持つ、バンクに分けられた 2 ワード パースト アーキテクチャのデバイスです。

表 5. 動作モード

	QDR-IV HP SRAM		QDR-IV XP SRAM	
	600MHz	667MHz	933MHz	1066MHz
クロック周波数	600MHz	667MHz	933MHz	1066MHz
読み出しレイテンシ	5 サイクル	5 サイクル	8 サイクル	8 サイクル
	8.33ns	7.5ns	8.57ns	7.5ns
書き込みレイテンシ	3 サイクル	3 サイクル	5 サイクル	5 サイクル
バス幅	x18、x36			
入出力	1.1V と 1.2V POD 1.2V と 1.25V HSTL/SSTL			
パッケージ	361 FCBGA			
ポート コンフィギュレーション	双方向 R/W ポート			
メモリ容量	144Mb、72Mb			

図 7 および図 8 に示すように、ポート A の読み出しデータがデータピンから出力されるのは、正確に 5 つの読み出しレイテンシ (RL) クロック サイクル後 (QDR-IV HP SRAM の場合)、または 8 つの RL クロック サイクル後 (QDR-IV XP SRAM の場合) です。データは、READ コマンドが発行された後、CK 信号の立ち上がりエッジから RL クロック サイクル数後に使用可能になります。

ポート A の書き込みデータがデータピンに供給されるのは、正確に 3 つの書き込みレイテンシ (WL) クロック サイクル後 (QDR-IV HP SRAM の場合)、または 5 つの WL クロック サイクル後 (QDR-IV XP SRAM の場合) です。データは、WRITE コマンドが発行された後、CK 信号の立ち上がりエッジから WL クロック サイクル数後に使用可能になります。

ポート B はポート A と同様に動作しますが、データは、READ コマンドが発行された後、CK 信号の立ち下りエッジから RL クロック サイクル数後に使用可能になり、WRITE コマンドが発行された後、CK 信号の立ち下りエッジから WL クロック サイクル数後に使用可能になります。

図 7. 読み出しタイミング

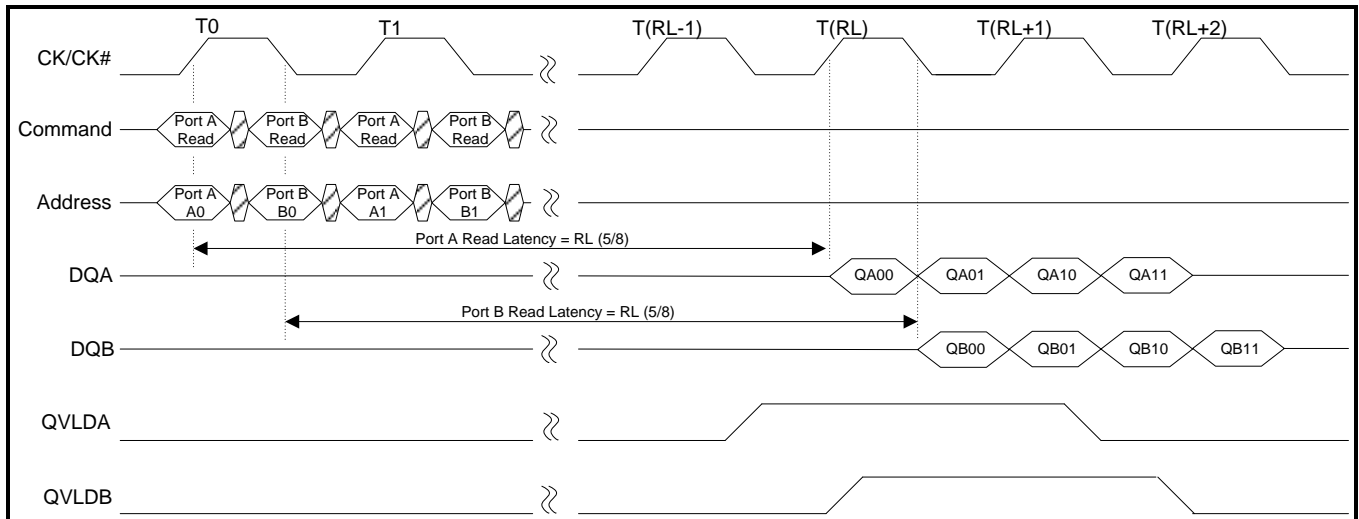
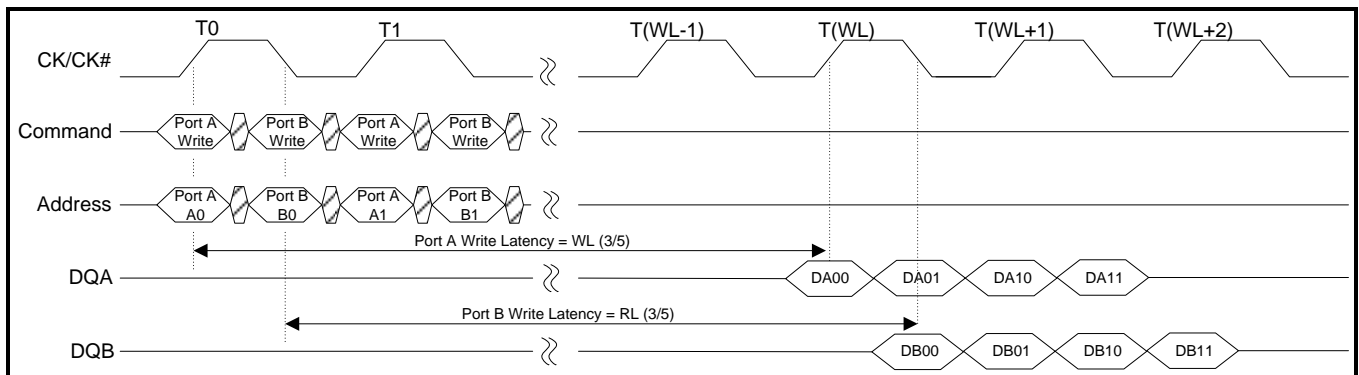


図 8. 書き込みタイミング



QDR-IV XP SRAM には、8 個の内部バンクがあります。下位アドレスの 3 本のピン (A2、A1、A0) は、読み出しと書き込み動作中にアクセスされるバンクを選択します。

バンク選択での唯一の制約は、各バンクにはクロック サイクル毎に 1 回しかアクセスできないことです。このバンク選択における制約は QDR-IV XP SRAM にも適用されます。QDR-IV HP SRAM にはバンク選択における制約がありません。

バンク選択における制約に違反すると、ポート B の読み出し／書き込み動作は拒否されます。ポート A のアドレスが入カロックの立ち上がりエッジでサンプリングされるため、ポート A アクセスには制約がありません。

図 9. QDR-IV XP SRAM の書き込み／読み出し動作

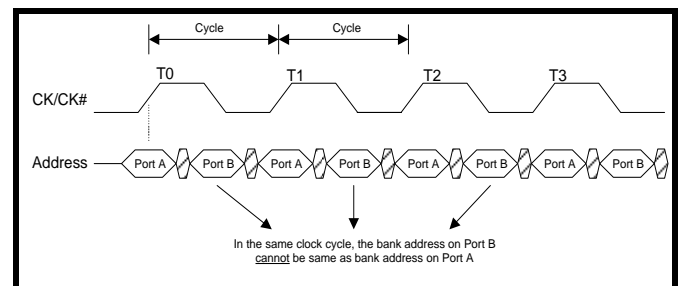
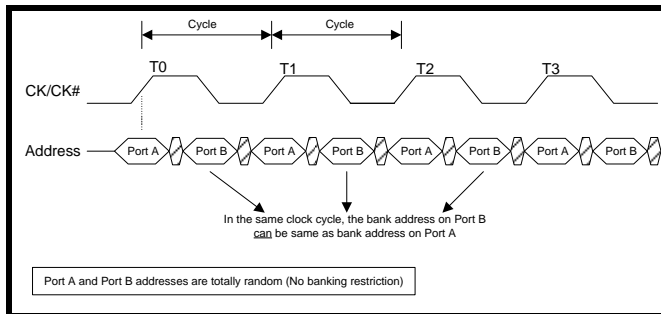


図 10. QDR-IV HP SRAM の書き込み／読み出し動作



QDR-IV は、市場最高性能の標準ベースのメモリ ソリューションです。その高性能、およびデュアル双方向ポート、ECC、バス反転、ODT、アドレス パリティなどの差別化された機能により、QDR-IV はネットワーク システムに最適なソリューションとなります。QDR-IV の利点は、高性能コンピューティングや画像処理などの高速の性能と信号品質 (シグナル インテグリティ) を必要とした他のシステムにも適用することができます。

最適な選択

SRAM が古いプロセッサと通信する場合、それらプロセッサのアーキテクチャが標準同期式 SRAM 向けに設計されたため、選択肢が制限されます。新しいプロセッサは DDR-II/III+/III+ Xtreme SRAM 向けに設計されています。いくつかのネットワーク プロセッサは NoBL、QDR-II/III+、QDR-II+ Xtreme、DDR-II/III+、DDR-II+ Xtreme および QDR-IV SRAM 向けに設計されています。

ネットワーク アプリケーションは最大ピン利用率を必要とします。これは、全てのデータ ピンでダブル データ レートの動作が可能な QDR-II/III+/III+ Xtreme、DDR-II/III+/III+ Xtreme および QDR-IV SRAM に最適です。このため、DDR-II/III+/III+ Xtreme、QDR-II/III+/III+ Xtreme または QDR-IV SRAM は高い帯域幅を必要とする新しい設計に推奨されています。

デバイス クロスリファレンス

次の場所に格納されている [Competitor Memory Device Cross Reference Tool](#) を使って、他社のデバイスと互換性のあるサイプレス メモリ デバイスを確定します。

<http://www.cypress.com/?app=search&searchType=xref&keywords>

まとめ

新しい設計は、特定のアプリケーションの要件に最適な SRAM を利用すべきです。

サイプレスの広帯域幅 QDR-IV SRAM は高速の性能に対応するように設計されており、統計情報の更新、フロー状態の追跡、パケットのスケジューリング、テーブル検索の実行などの要求の厳しいネットワーク機能を満たしています。

QDR-II/III+ SRAM は、連続した読み出しと書き込み動作のシステムに最適です。DDR-II/III+ SRAM は、連続的な読み出しまたは書き込みの場合に推奨されています。適切な選択肢は、図に示された実際の読み出し対書き込み比および所望のバースト長で判断されます。QDR-II/III+ と DDR-II/III+ SRAM は、ピン数を最適化する必要があり、ダブル データ レートのバス動作により減少する場合にも推奨されています。最大 3 つのクロック ピン セットまでのクロック設計の柔軟性を実現しています。

NoBL や標準同期式の古い SRAM アーキテクチャは、既存のコントローラまたはプロセッサとの互換性が必要である場合、またはフロースルー動作の低レイテンシが望ましい場合に推奨されています。標準同期アーキテクチャが、製造が段階的に廃止されているプロセッサ内のマイクロプロセッサ キャッシュ アプリケーション向けに設計された時から、NoBL アーキテクチャは、可能であれば、標準同期アーキテクチャよりお勧めです。

最適な SRAM を選択するのは、価格対性能の問題です。キャッシュのユーザーにとっては、チップセットの選択とプロセッサと直結されるインターフェースによって、どの SRAM を選ぶかが決まります。ネットワーク アプリケーションは、QDR-II/III+/III+ および DDR-II/III+ デバイスにより、かつてない新しい性能レベルに達しています。サイプレスは同期式 SRAM を幅広く提供しており、すべてのシステム タイプの要求を満たしています。また、お客様のご要求を認識する際に当社の指導的役割を継続することをお約束します。

サイプレスの同期式 SRAM 製品についてさらに詳しい情報を入力したい場合、または技術支援が必要な場合には、<http://www.cypress.com/?id=4> でカスタマサポートケースをご利用ください。

改訂履歴

文書名: 最適なサイプレス同期式 SRAM の選択 – AN4011

文書番号: 001-92731

版	ECN 番号	変更者	発行日	変更内容
**	4395688	HZEN	05/30/2014	これは英語版 001-15488 Rev. *E を翻訳した日本語版 001-92731 Rev. **です。
*A	4722963	HZEN	04/27/2015	これは英語版 001-15488 Rev. *G を翻訳した日本語版 001-92731 Rev. *A です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電源管理	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/usb
無線/RF	cypress.com/go/wireless

PSoC®ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

本書で言及するその他すべての商標または登録商標は、各社の所有物です。



Cypress Semiconductor Phone : 408-943-2600
198 Champion Court Fax : 408-943-4730
San Jose, CA 95134-1709 Website : www.cypress.com

© Cypress Semiconductor Corporation, 2007-2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することは全て禁止します。

免責条項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ契約の対象となる場合があります。