

选择正确的赛普拉斯同步 SRAM

作者: Sohelkhan Pathan/Pritesh Mandaliya

相关项目: 无

相关器件系列: 所有同步 SRAM

软件版本: 无

相关应用笔记: 无

AN4011 提供标准同步、NoBL™、QDR®-II/II+、QDR-II+ Xtreme、DDR-II/II+、DDR-II+ Xtreme 和 QDR-IV SRAM 的概述。目前，赛普拉斯生产几种主要的同步 SRAM 架构。本应用笔记的目的是提供一种方法用于确定一个架构是否适合特定的应用。包含了每种结构的简要说明以及它们的地址/数据关系和性能特性的比较。

简介

目前，赛普拉斯生产几种主要的同步 SRAM 架构。这些 SRAM 都在同步时序上运行。数据、地址和控制输入都在时钟边沿上被捕获。某些 SRAM 架构的区分性能显示在表 1 中。

表 1. SRAM 架构^[1]

架构	版本	功能
标准同步	涌流式	用户可选四字突发；双总线主设备；SAR；SDR；同样周期中的读取结果。
	流水线式 SCD	用户可选四字突发；双总线主设备；SAR；SDR；下一个 CLK 后的读取结果；同一周期中的读取终端。
	流水线式 DCD	用户可选四字突发；双总线主设备；SAR；SDR；下一个 CLK 后的读取结果；下一个 CLK 后的读取终端。
NoBL™	涌流式	用户可以选择 4 字突发；SAR；SDR；总线转换的空闲周期为零；同一周期中的读取结果；数据始终比地址慢一个 CLK 周期。
	流水线式	用户可以选择 4 字突发；SAR；SDR；总线转换的空闲周期为零；下一个 CLK 后的读取结果；数据始终比地址慢两个 CLK 周期。
QDR-II/QDR-II+ /QDR-II+ Xtreme	2 字突发	固定 2 字突发；单独的 I/O；对每个时钟周期开始进行读操作和写操作；DAR；DDR；下一个 C 或 K 后的读取结果；传送数据后的读取终端；使用写指令对数据开始进行写操作；每个时钟周期持续 4 个操作数；阻抗特性与电路的阻抗 ZQ 匹配；QDR-II 性能是具有更大的输出数据窗口和源同步的时钟信号。
	4 字突发	固定 4 字突发；单独的 I/O；对每个时钟周期开始进行读/写操作；SAR；DDR；下一个 C 或 K 后的读取结果；传送数据后读取终端；写指令后在下一个时钟开始进行写数据；每个时钟周期持续 4 个操作数；阻抗特性与电路的阻抗 ZQ 相匹配；QDR-II 性能是具有更大的输出数据窗口和源同步的时钟信号。
DDR-II/DDR-II+ /DDR-II+ Xtreme ^[2]	2 字突发	固定 2 字突发；通用 I/O；SAR；DDR；下一个 C 或 K 后的读取结果；传送数据后的读取终端（通用 I/O）；发送写指令后，开始从下一个时钟写入数据；每个时钟周期持续有两个操作数；阻抗特性与电路的阻抗 ZQ 和源同步时钟相匹配；QDR-II 性能是具有更大输出数据的窗口。

架构	版本	功能
(通用 I/O)	4 字突发	固定 4 字突发；SAR；DDR；下一个 C 或 K 后的读取结果；传送数据后读取终端（通用 I/O）；发送写指令后，开始在下一个时钟写入数据；每个时钟周期持续两个操作数；阻抗特性与电路的阻抗 ZQ 和源同步时钟相匹配；QDR-II 性能是具有更大输出数据的窗口。
DDR-II/DDR-II+ (单独 I/O)	2 字突发	固定 2 字突发；单独的 I/O；对每个时钟周期开始进行读/写操作；SAR；DDR；（单独的 I/O）下一个 C 或 K 后的读取结果；传送数据后读取终端；写指令后从下一个时钟开始写数据；每个时钟周期持续两个操作数；阻抗特性与电路的阻抗 ZQ 和源同步时钟相匹配；DDR-II SIO 性能是具有更大的输出数据窗口和源同步的时钟信号。
QDR-IV	2 字突发	固定 2 字突发；支持同时执行读/写数据传输的两个独立双向数据端口；DAR；DDR；QDR-IV XP 的写延迟为 5 个时钟周期，并且读延迟为 8 个时钟周期，QDR-IV HP 的写延迟和读延迟分别为 3 和 5 个时钟周期。支持总线反转、地址总线奇偶校验、可配置片上终端、片上纠错码（ECC）和校正培训。

注意 1: SAR = 单地址速率, SCD = 单周期取消选择, SDR = 单数据速率, DAR = 双地址速率, DCD = 双周期取消选择, DDR = 双数据速率。

注意 2: DDR-II+ Xtreme 器件只有 2 字突发选项。

标准同步 SRAM

标准同步 SRAM 系列特别适用于缓存应用。这些器件使用一个内部 2 位的突发计数器，其计数器支持四条缓存线（即四条总线数据传输，用以加载到一个缓存线）。设计标准同步 SRAM 以允许两个总线主设备；因此，它的两个主设备控制的不同输入分别为：通常通过微处理器控制的和通常通过缓存控制器控制的。操作初始被视为读取周期，但可以在下一个 CLK 上升沿上变成写周期。单独地址可以在 Advance 信号（）灵活控制的 1、2、3 或 4 个字上运行。任何超过这四个值的范围外，它会简单地反转，并从序列的起始点重放地址。

对于在控制信号周围设计的处理器，标准同步 SRAM 是首选。一般情况下，该 SRAM 架构非常适合用于单数据速率（SDR）的缓存应用，但不适合用于总线周期频繁转换的应用。

赛普拉斯标准同步 SRAM 的三个不同版本均可用（即：涌流式、单周期取消[SCD]流水线式和双周期取消[DCD]流水线式）。根据不同的因素，选择不同版本。

选择流水线式与涌流式

赛普拉斯的标准同步 SRAM 提供了两个不同的流水线式版本和一个涌流式版本，如表 2 所示。流水线式版本带有输入寄存器和输出寄存器。而涌流式版本只有输入寄存器。因为有输出寄存器，所以读操作中的数据有效前流水线式器件比涌流式器件有额外的周期有延迟。

常将涌流式器件使用于 ASIC 或 DSP 应用。这是因为当检索数据时，许多应用不可接受与流水线式器件有关的额外周期延迟。而流水线式器件用于最大化带宽的应用中。用户要注意，当从读操作切换到写操作时，流水线式器件需要一个周期的延迟，用以防止总线争用。

表 2. 流水线式和涌流式说明

版本	说明
涌流式	在输入信号上有寄存器的同步 SRAM。
有单周期取消（SCD）的流水线式	在输入信号和输出信号上有寄存器的同步 SRAM。单周期取消。
有双周期取消（DCD）的流水线式	在输入信号和输出信号上实现登记的同步 SRAM。双周期取消。

选择正确的流水线式版本

因为赛普拉斯有两种不同类型的流水线式 SRAM，设计员都应该选择满足他们各自需求的最好版本。图 1 显示的是流水线式 SRAM 的 DCD 和 SCD 版本之间的差别。该图依次显示了三个 Advance 信号的周期、读周期，最后的是 Deselect（取消）周期。DCD 器件读取所有四个字，但 SCD 会切断最后的字。为了从 SCD 器件中读取所有四个字，取消指令必须被延迟一个周期。

赛普拉斯设计了 SCD 版本，以便与 Intel BSRAM 规范相兼容。开发该规范，以确保在有多组 SRAM 的系统中不会发生总线争用。如果使用其他供应商的器件或用较长的电路路径隔开这些组，对 SRAM 中两个或多个组之间进行切换时会发生这种事件。如果各制造商间的 DQ 线的启动时间和关闭时间明显不同，则读取转换时可能会发生总线争用。

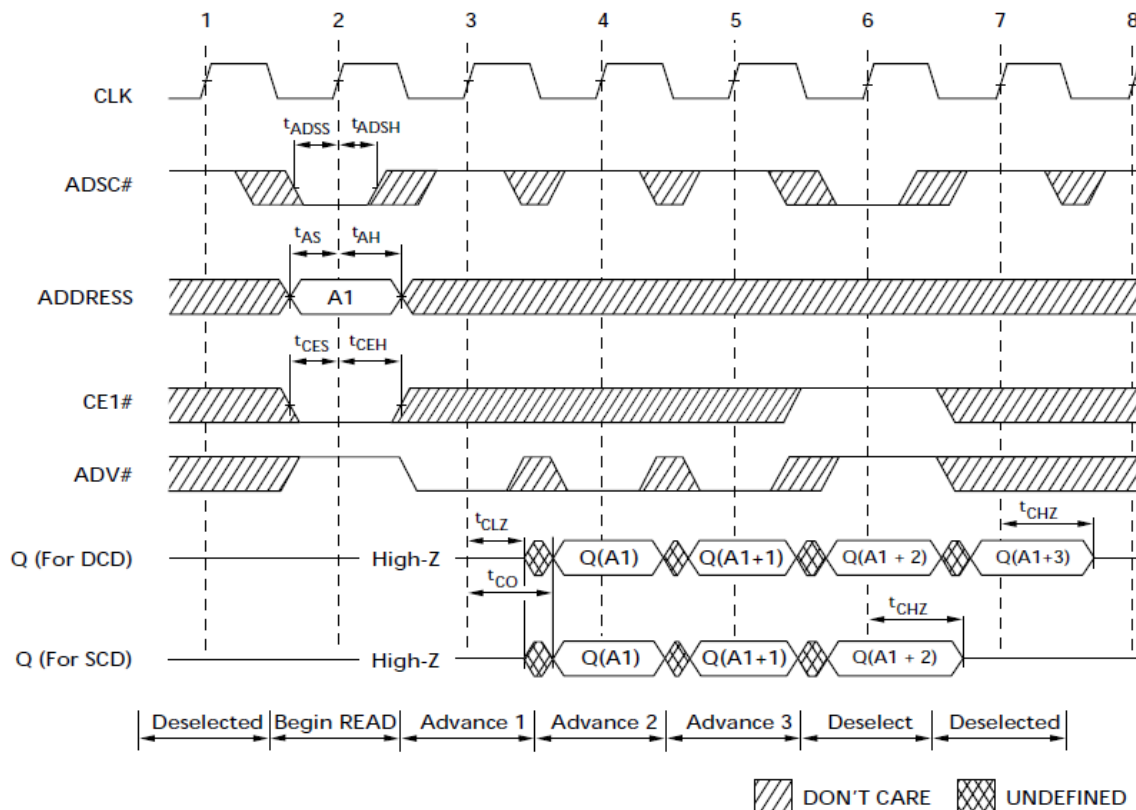
对于缓存用户，需要选择兼容的 SRAM 和芯片组，以提供所需功能。对于器件的最大可用性，可选择一个芯片组来支持 DCD 和 SCD。为了使只有一组的系统的性能最佳，则应

该选择 DCD。对于缓存设计人员来说，与他们的供应商确认他们的供应商提供的标准 SRAM 所支持的类型是非常重要的。大部分芯片组只支持 BSRAM 标准，并仅使用 SCD 器件。剩下的芯片组可使用 DCD 或 SCD 器件，但应在各组切换之间保持一个死区周期。因此，即使您使用了 DCD 版本，但也不占有任何性能优势。这些芯片组支持 DCD 和 SCD，只有选择的是 DCD 器件，才能获得性能优势。

DCD 和 SCD 版本的设计

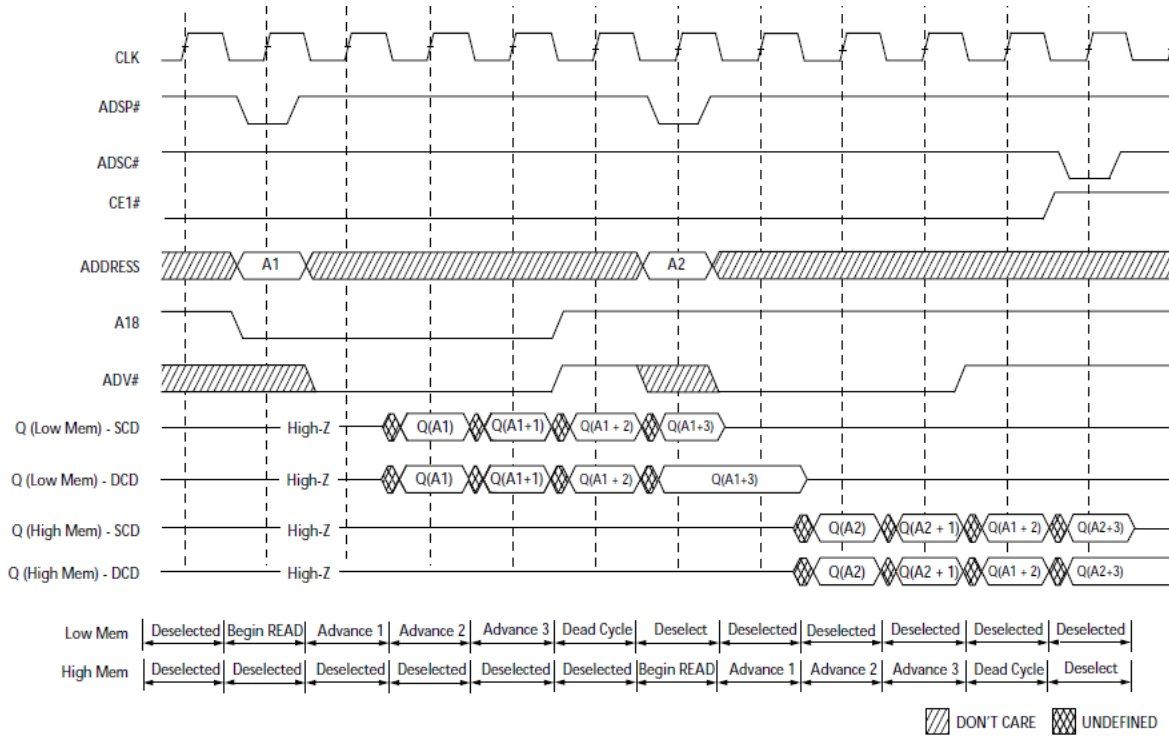
为了获得最广泛的供应渠道或最快的性能不是问题的关键的时候，用户设计应支持 DCD 和 SCD。其中一个方法是检测系统中 SRAM 的类型（DCD 还是 SCD），然后相应配置 Deselect 周期。在启动/上电时，系统可以检查 DCD 或 SCD SRAM 的是否存在。通过向 SRAM 写入四个连续的字，然后通过一个突发读取它们，最后一个 ADV 周期完成后，继续 Deselect 周期（请参考图 1）。如果系统中是 DCD 类型，则会正确读取所有四个字；如果系统中的是 SCD 类型，则只正确读取三个字。

图 1. 单周期取消（SCD）和双周期



取消 (DCD)

图 2. DCD 和 SCD 版本的设计



另一种方法是设计一个可兼容 DCD 或 SCD 版本的存储器接口，而在上电或启动时无需任何修改。可通过始终插入一个死区周期来实现，图 2 中显示的是该示例。当执行 back-to-back（连续）读取时，该方法可使用最简单和引脚数最少的接口，但性能仍然很高。

No Bus Latency™ (NoBL™) (无总线延迟)

发明 NoBL SRAM 的目的是为了响应日益发展的频繁总线周转的需求，但它不能提供标准同步 SRAM 所需要的空闲周期。与标准同步器件相同，NoBL 使用了一个内部 2 位突发计数器，用以降低所需地址总线带宽。但大多数应用不使用该功能，这是由于总线经常发生反转。该器件以 SDR 和 SAR 运行。

NoBL 架构的一个创新是对写入数据进行重新排列，因此，对于读取或写入操作来说，地址-数据的关系是相同的。因此，总线反转（这意味着，它从读操作切换为写操作或从写操作切换为读操作）时，无需空闲周期。请注意：NoBL SRAM 的所有版本都使用了内部数据寄存器和地址监控，

以保证始终返回正确的数据响应读周期（不管是否有时间将数据写入到存储器阵列中）。该特性被称为数据连贯性。

NoBL 涌流式

NoBL SRAM 的两种版本是：涌流式和流水线式。在系统中，NoBL SRAM 涌流式从传输地址到传输数据延迟一个时钟周期。在时钟周期内，读操作作为一个已被要求的数据提供数据，并及时生成读结果，用以在下一个 CLK 上升沿上捕获该结果。在下一个 CLK 的上升沿上写入数据。这种器件最大程度地减少了系统延迟。SRAM 必须为下一个 CLK 上升沿同时执行数据提取和数据传递。因此操作频率是受限的。该器件特别适合用在发生频繁总线反转的 SDR 应用中。当需要在小的数据块（特别是要求最小化数据延迟的一字块）上运行时，它会非常有用。通常，涌流式 SRAM 的工作频率比流水线式 SRAM 的工作频率低，因为数据获取、数据传递以及由请求对象捕获的后续数据必须在一个时钟周期内完成。

NoBL 流水线式

在该器件的输出添加额外流水线式寄存器后，它被称为“流水线式 NoBl SRAM”。它允许内部读取需要一个完整的时钟周期。在下一个时钟周期中，数据被传递，这样可形成一个两阶段的流水线式。数据被传递时，存储器可进行其他操作。因此，地址-数据的关系会使涌流式版本延迟一个时钟周期。所以写周期希望发生地址后在两个 CLK 上升沿中得到数据。与涌流式器件相比，流水线式 NoBl 器件的工作频率更高，并可以保持更高的系统吞吐量。初始第一个操作时，才会发生一个时钟周期延迟，以启动流水线式，然后每个周期可维持新数据操作。

该器件非常适用于 SDR 应用。该应用会频繁地发生总线反转，因此需要在小数据块（特别是一字块）上运行，并其运行频率要比涌流式版本允许的更高。

QDR-II/II+/II+ Xtreme™ 和 DDR-II/II+/II+ Xtreme

下面一节讨论的是 QDR-II/II+/II+ Xtreme。

QDR 表示四倍数据速率。开发 QDR-II SRAM，以处理网络应用，该应用需要 NoBL SRAM 的低延迟和完整周期利用率，并且要求工作频率更高。一个重要因素是为了降低 ASIC 引脚数量。

QDR-II SRAM 有单独的读/写总线。该 SRAM 解决方案消除了反转周期和获取存储器制造技术所固有的速度允许的所有频率。控制信号为：控制读端口和控制写端口。可以通过并行控制所有和来简单扩展宽度。通过为每个组添加另一个和来扩展深度。

QDR-II 架构的重要功能是每个数据引脚上的双倍数据速率（DDR）。这样可使总线尺寸更小，并能够降低 ASIC 的引脚数量。所有周期以器件突发长度运行。周期不能被终止或中断。可以使用字节写控制引脚来屏蔽写周期的部分。

所有版本都需要输入主设备时钟对，即 K 和。SRAM 仅使用上升沿。K 上升沿过后恰好一个半时钟周期后才会发生上升沿。这样能使输出数据均衡，每个数据字具有相同的有效时间。

QDR-II 和 DDR-II SRAM 有数据输出时钟对，即 C 和，当器件出现输出数据时，可通过它来控制。对于总线主设备与各个 SRAM 的距离不相同的系统，该特性非常有用。通过使用 C 和，可以对齐输出数据，使得同时捕捉到整个结果并在总线主设备上轻松同步化数据。如果未使用，C 和被置

为高电平，将器件放置在单时钟模式（K 和使用于输入和输出寄存器）。

QDR-II/DDR-II 器件有可选的源同步输出回波时钟，即 CQ 和。这些输出的时序很像输出数据 Q 信号，并可用于触发输入寄存器。建议在时钟频率超过 200 MHz 时，使用 CQ 和。

QDRII+/DDR-II+/QDR-II+ Xtreme/DDR-II+ Xtreme 器件不使用 C 和。输出被同步到 CQ 和。此外，QVLD 信号在数据从 SRAM 输出前的半周期内保持为高电平，并在最终数据从器件输出前的半周期内保持为低电平。QDR-II+/DDR-II+/QDR-II+ Xtreme/DDR-II+ Xtreme 有带/不带片上终端（ODT）的器件。强制时钟和可选时钟的结合，使现在的 SRAM 架构灵活性更大。

具有突发长度为 2 的 QDR-II

在每个时钟周期内，2 字突发 QDR SRAM 版本可以接收两个地址。因此，长度为 2 的 QDR 突发是双地址速率。这使应用能够使用总线上的全部带宽。和被锁存在同一个 K 上升沿上。外表来看，好像读操作和写操作同时被初始化。

图 3 中显示的是写周期。当置位为低电平时，在同一个 K 上升沿上开始捕获数据的第一个突发。第二个突发在下一个上升沿上被捕获。在上升沿上会捕获地址。在上升沿和 K 上升沿之间的这段时间内，会向阵列写入数据。

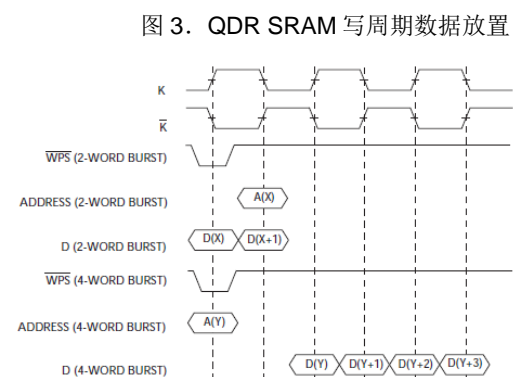
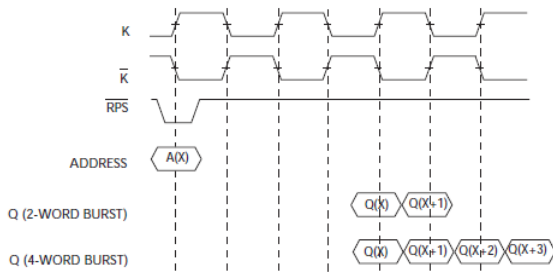


图 4 中显示的是读周期。在 K 上升沿上将置位为低电平，以初始化读操作。同时提供地址。而在内部，从 K 上升沿到上升沿读取数据。数据被寄存，然后在下一个时钟周期它会出现于器件的输出端上，并在两个连续的半时钟周期内保持它。

图 4. QDR SRAM 读周期



输出数据是一致的。如果在同一个时钟周期内（在 K 上升沿上）都初始读周期和写周期，和都为低电平。从地址 1 请求读操作；地址 1 被提供。在上升沿上，地址 2 提供给写操作。在该示例中，地址 1 和地址 2 是相同的。所提供的读数据与提供给写入地址 2 的数据相同。

突发长度为 2 的 QDR 适用于需要小数据块，且其中读操作和写操作之间的近期比率接近于 1 的应用。（有关该比率的更深信息，请参考后面章节。）DAR 和双倍数据速率允许任何器件上的最低引脚数（该器件与 SRAM 连接）。频率受两个因素的限制：系统负载和 SRAM 内部存储器阵列速度。要求控制器能够提供地址与时钟一样的信号频率。因为地址被传输到总线的所有器件，并且数据通常是“点至点”（point-to-point）传输的，所以地址路径很难满足交流时序。SRAM 内部存储器阵列速度限制是由于在每个时钟周期内会访问两次存储器阵列引起的。SRAM 速度受存储器阵列能力的限制，这样才能同输入的请求同步。

QDR-II 的突发长度为 4

较长的突发 QDR-II SRAM 要求在每个时钟周期内都提供单一的地址，以保持完整的总线利用率 [单地址速率 (SAR)]。在 K 上升沿上只有一个指令被接收：即或。从外表看，读操作和写操作互相切换。也就是说在一个时钟周期内发生了一个读操作，而在下一个时钟周期内发生写操作，依此类推。事实并非如此。因为四个数据字包含了两个时钟周期，所以发生的是四倍的数据速率操作。使用全部器件时，读和写总线数据传输重叠，并且这两个操作同时传输。

图 3 中显示的写周期是在启动周期后的下一个 K 上升沿上开始捕获数据的，并在其他三个 K/上升沿上继续捕获数据。在 K 上升沿上接受该地址。实际上，内部写入存储器数据阵列不会发生，直到下一个写请求为止。从保持寄存器正确转发待处理位置的所有读操作，并保持完整数据的一致性。

在图 4 所显示的读周期中，在启动周期相同的 K 上升沿上提供了地址。从 K 上升沿到下一个 K 上升沿间这段时间内读取数据。数据被寄存，然后在下一个时钟周期内开始传递数据，并在四个互相连续的半时钟周期内继续传递数据。

该器件适用于需要 4 字数据块且其中读操作和写操作之间的近期比率接近于 1 的应用中。SAR 和双倍数据速率允许任何器件设置最低引脚数，以器件与 SRAM 连接。地址总线只需要每个时钟周期更新一次，这样可以在两个总线上保持 100 % 的总线利用率。

QDR-II 与 QDR-II+/II+ Xtreme

应用笔记 AN4065 中解释了 QDR-II/II+/II+ Xtreme SRAM 操作的详细信息。这些 QDR-II 和 QDR-II+/II+ Xtreme 之间的主要区别是对读取的延迟不一样。此外，QDR-II+/II+ Xtreme 不使用 C/，并有 QVLD 信号，以指示读数据的可用性。控制信号保持不变。差异的简要概述，以及这些差异如何影响 SRAM 的选择，请参考下面内容。

表 3. 总结 — QDR-II 与 QDR-II+/II+ Xtreme

	QDR-II	QDR-II+	QDR-II+ Xtreme
最大频率	突发长度为 2: 333 MHz 突发长度为 4: 333 MHz	突发长度为 2: 333 MHz 突发长度为 4: 550 MHz	突发长度为 2: 450 MHz 突发长度为 4: 663 MHz
初始延迟	1.5 个时钟周期	2.0/2.5 个周期	2.5 个周期
随路时钟	有	有	有
容量	18 Mb/36 Mb/72 Mb	18 Mb/36 Mb/72 Mb/144 Mb	36 Mb/72 Mb/
供电电压	1.8 V	1.8 V	1.8 V
ODT 使能器件选项	无	有	有
数据有效信号 — QVLD	无	有	有

DDR-II 通用 I/O

一些 SRAM 应用需要写操作后执行读操作，这种操作与 QDR-II SRAM 操作相同。其他应用可能需要数据流（例如，进行 16 次读操作然后进行 16 次写操作），在那种情况下读操作和写操作之间的短期平衡是 100% 读或 100% 写。在这种情况下，QDR-II SRAM 总线中的一个未占用一半的时间。后面这两种情况会导致 DDR-II 通用 I/O SRAM 的开发，其中输入数据和输出数据共同使用相同的总线。与 QDR-II 相比，这样可以降低板上被路由的信号数量。总线周转周期降低可用的带宽；然而，对于某些系统，它会导致总线平均利用率比 QDR 架构可提供的利用率好。

DDR-II SRAM 有通用的读和写端口。在 SRAM 读操作切换为写操作时，需要总线周转周期。这种切换中的时钟空闲周期数量会根据以下频率发生变化：频率大约低于 166 MHz 时，需要一个时钟周期；频率大约高于 200 MHz 时，需要两个时钟周期。通过要执行仿真来确定最终需要多少个周期才能避免过多的总线冲突。该解决方案可扩展到更高的频率，并且仅受存储器固有制造技术速度的限制。控制信号比 QDR-II 器件控制信号略有不同。R/控制读/写操作，并且作为芯片使能，而且会导致 SRAM 初始新周期。可以通过并行控制所有和来简单扩展宽度。可通过为每个组添加另一个来扩展深度。

所有其他功能与 QDR-II 器件相同。

突发长度为 2 的 DDR-II

通过置位为低电平并在 K 的上升沿上设置 R/，DDR-II SRAM 可以在一个时钟周期内执行一个操作。

图 5 中显示的是写周期。可通过在 K 的上升沿上设置和 R/ 为低电平来开始执行写操作。在同一个 K 上升沿上也捕获地址。一个时钟周期后，数据的两个突发被捕获：第一突发在 K 的上升沿上捕获，第二突发在的上升沿上捕获。在下一个写周期内发生实际的写入存储器阵列。如果数据被写入到存储器阵列前发生了待处理地址的读操作，则数据从保持寄存器被转发，因此所提供的数据始终是一致的。

图 6 中显示的是读周期。通过在 K 的上升沿上将设置为低电平，并将 R/ 设置为高电平可开始进行读操作。在同一个 K 上升沿上也会捕获地址。1.5 周期后输出数据。第一个突发出现在的上升沿上，并第二个突发出现在 K 的下一个上升沿上。

图 5. DDR-II 写周期

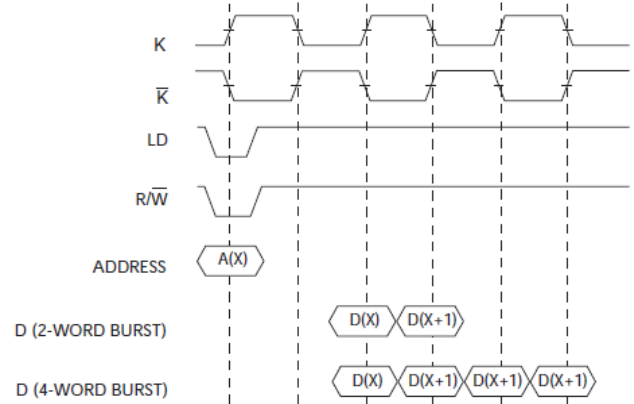
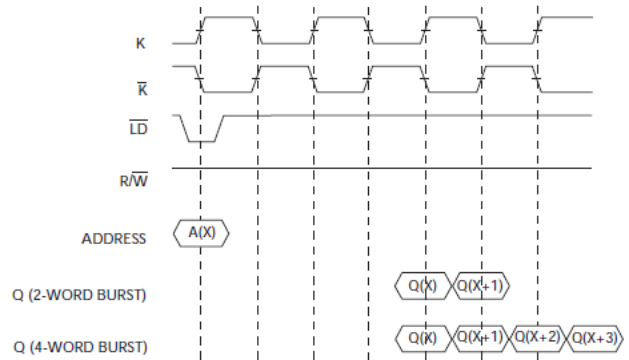


图 6. DDR-II 读周期



在低地址速率和双倍数据速率中，可以设置所有器件上的最低引脚数量，以实现器件同 SRAM 的连接并简化高频操作。该器件最好在需要数据流的应用，或者其中维持单向总线操作的周期中使用。

突发长度为 4 的 DDR-II

DDR-II SRAM 需要每两个时钟周期提供一个地址，以保持全部总线利用率，使它成为最简单的版本来生成地址。通过将置位为低电平，并在 K 的上升沿上设置 R/ 引脚，在一个时钟周期内只需要执行一个操作。

图 5 中显示的是写周期。如果要开始进行写操作，应在 K 的上升沿上将和 R/ 设置为低电平。写地址同时被捕获。数据的第一个突发在 K 的下一个上升沿上被捕获。第二个突发在上升沿上被捕获，第三个突发在 K 上升沿上被捕获，并且第四个突发在上升沿上被捕获。因此，需要两个时钟来寄存需要完成写操作的所有数据。在下一个写周期内执行实

际的写操作。如果数据被写入到存储器阵列中前发生了待处理地址的读操作，则数据从保持寄存器被转发，因此所提供的数据始终是一致的。

图 6 中显示的是读周期。如果要开始执行读操作，应在 K 的上升沿上将设置为低电平，并且将 R/设置为高电平。地址在同一个 K 上升沿上被捕获。从内部看，在下一个时钟周期内，会从存储器阵列中读取该数据。数据被寄存，然后开始进行读操作 1.5 个周期后数据被输出。数据的每个突发在连续 K 和上升沿上被输出。

该器件适用于需要 4 个字数据块并且读操作和写操作之间的近期比率不能接近于 1（如前面章节讨论的）的应用。低地址速率和双倍数据速率允许设置所有器件的最低引脚数量，以实现器件与 SRAM 连接并简化高频操作。该器件最好在需要数据流的应用，或者其中维持单向总线操作的周期中使用。

DDR-II 与 DDR-II+/II+ Xtreme

应用笔记 AN4065 中介绍了 DDR-II/II+/II+ Xtreme 操作的详细信息。

表 4. 总结 — DDR-II 与 DDR-II+/II+ Xtreme

	DDR-II	DDR-II+	DDR-II+ Xtreme
最大频率	长度为 2 的突发: 333 MHz 长度为 4 的突发: 333 MHz	长度为 2 的突发: 550 MHz 长度为 4 的突发: 550 MHz	长度为 2 的突发: 663 MHz
初始延迟	1.5 个时钟周期	2.0/2.5 个周期	2.5 个周期
随路时钟	有	有	有
容量	18 Mb/36 Mb/72 Mb/144 Mb	18 Mb/36 Mb/72 Mb/144 Mb	36 Mb/72 Mb
供电电压	1.8 V	1.8 V	1.8 V
ODT 使能器件选项	无	有	有
数据有效信号 — QVLD	无	有	有

DDR-II 单独 I/O

DDR-II 单独 I/O 架构器件是 QDR-II 和 DDR-II 器件间的一种混合架构器件。DDR-II SIO 器件有单独的输入和输出总线，因此该器件与 QDR-II 选项非常相似。唯一的区别是 DDR-II SIO 在每个时钟周期仅执行一次操作。与突发长度为 2 的 QDR-II 不同，DDR-II SIO 不能执行内部数据转发，其中可以写数据并从同一个地址立即读取它。控制器必须等待写数据从同一个地址读出前提交到存储器阵列。

创建该架构，以克服限制 QDR-II 2 字突发器件的频率的两个因素，即地址总线的信号频率和存储器阵列响应时间。DDR-II 单独 I/O 解除这些频率的限制，但会引起新的损失：QDR-II 2 字突发的平均总线利用率仅为 1/2。在某些应用中，必须保持不变的地址请求速率，以保存系统的吞吐量，并不能允许总线周转延迟。为了该目的需要正确创建 DDR-II 单独 I/O。无论读写比率如何，共同数据引脚的平均利用率始终只有 50%。该性能在所有总线条件中比先前的架构（NoBL 和标准同步）更具有优越性，并且跟单向数据操作的这些架构性能相同。

QDR-IV

QDR-IV SRAM 是高性能的存储器器件，通过使用两个独立的双向数据端口能够使每秒的随机事务处理次数最大化。这两个端口被指定为端口 A 和端口 B。对这两个数据端口进行的访问可以同时进行并相互独立。对每个端口进行的访问都是通过一个公用地址总线（以双倍数据速率 DDR 运行）进行的。以单倍数据速率（SDR）运行的控制信号用于确定是否执行了读或写操作。

QDR-IV 有三种不同时钟：CK/CK#用于为地址和指令提供时钟脉冲；DKA/DKA#/DKB/DKB#用于为数据输入提供时钟脉冲；QKA/QKA#/QKB/QKB#用于为数据输出提供时钟脉冲。

端口 A 地址在输入时钟（CK）的上升沿上被锁存，而端口 B 地址在输入时钟（CK）的下降沿上被锁存。

QDR-IV SRAM 读和写指令由控制输入（LDA#、LDB#、RWA#和 RWB#）以及地址总线驱动。

在输入时钟的上升沿上对端口 A 的控制输入（LDA#和 RWA#）进行采样。在输入时钟的下降沿上对端口 B 的控制输入（LDB#和 RWB#）进行采样。

对于端口 A，当 LDA# = 0 和 RWA# = 1 时，将启动读操作。当 LDA# = 0 和 RWA# = 0 时，将启动写操作。

对于端口 B，当 LDB# = 0 和 RWB# = 1 时，将启动读操作。当 LDB# = 0 和 RWB# = 0 时，将启动写操作。

QDR-IV 还支持总线反转、地址总线奇偶校验、ECC、校正、可配置的 ODT 和阻抗等特性。

QDR-IV 系列包括：

- **QDR-IV 高性能 (HP) SRAM:** 为两字突发架构器件，在每个周期中能够以最高 667 MHz 的频率进行两次访问，并且读取操作的延时为 5 个时钟周期。
- **QDR-IV 极高性能 (XP) SRAM:** 为分页的两字突发架构器件，在每个周期中能够以最高 1066 MHz 的频率进行两次访问，并且读取操作的延时为 8 个时钟周期。

表 5. 工作模式

时钟频率	QDR-IV HP SRAM		QDR-IV XP SRAM	
	600 MHz	667 MHz	933 MHz	1066 MHz
读延迟	5 个周期	5 个周期	8 个周期	8 个周期
	8.33 ns	7.5 ns	8.57 ns	7.5 ns
写延迟	3 个周期	3 个周期	5 个周期	5 个周期
总线宽度	x18、x36			
I/O 类型	1.1 V 和 1.2 V POD 1.2 V 和 1.25 V HSTL/SSTL			
封装	361 FCBGA			
端口配置	双向读/写端口			
容量	144 Mb、72 Mb			

如图 7 和图 8 所示，整五个读取延迟 (RL) 时钟周期 (对于 QDR-IV HP SRAM) 或八个 RL 时钟周期 (对于 QDR-IV XP SRAM) 后，在数据引脚上输出端口 A 的读取数据。从发出 READ 指令时的 CK 信号上升沿开始的这些数目的 RL 时钟周期之后，将获得数据。

整三个写延迟 (WL) 时钟周期 (对于 QDR-IV HP SRAM) 或五个 WL 时钟周期 (对于 QDR-IV XP SRAM) 后，将端口 A 的写数据传输给数据引脚。从发出 WRITE 指令时的 CK 信号上升沿开始的这些数目的 WL 时钟周期数之后，将获得数据。

端口 B 和端口 A 的工作方式相同，但从发出 READ 指令时的 CK 信号下降沿开始，经过该数目的 WL 时钟周期数后，数据才可用，并且从发出 WRITE 指令时的 CK 信号下降沿开始，经过该数目的 WL 时钟周期数后可获取数据。

图 7. 读取时序

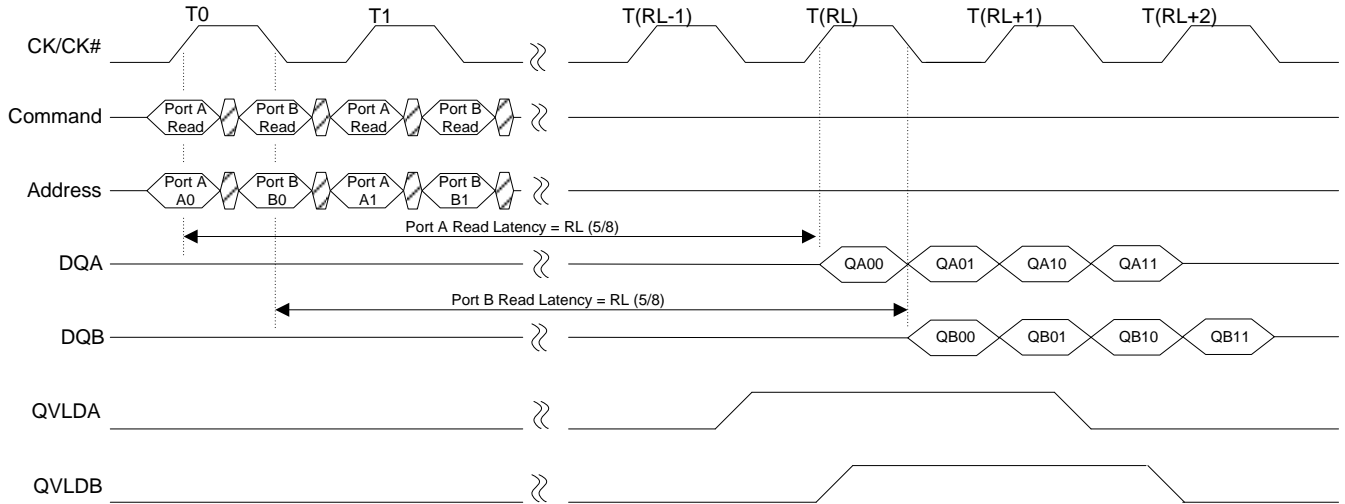


图 8. 写入时序

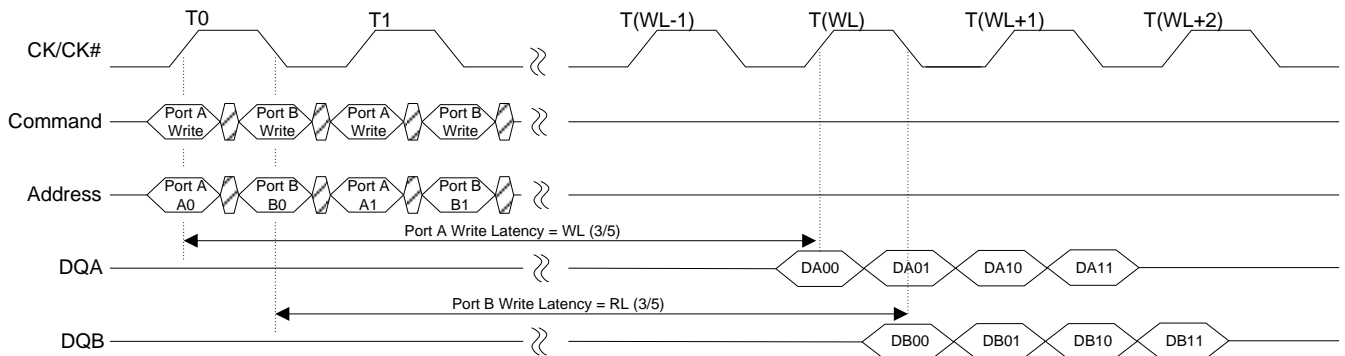
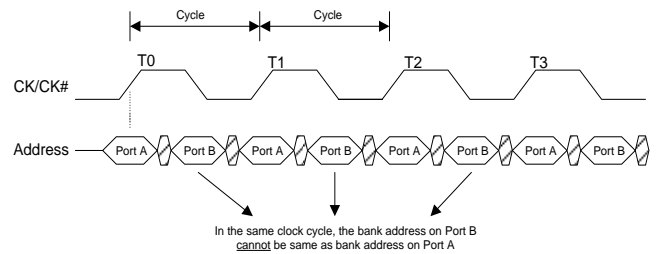


图 9. QDR-IV XP SRAM — 写/读操作

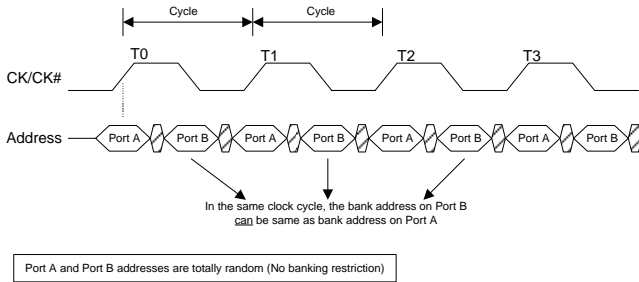


QDR-IV XP SRAM 的设计具有八个内部组。较低三个地址引脚 (A2、A1 和 A0) 选择了在读或写期间将被访问的组。

唯一的分组限制是在每个时钟周期内只能访问特定组一次。该分组限制仅应用于 QDR-IV XP SRAM。QDR-IV HP SRAM 并没有任何分组限制。

如果违背了分组限制，将禁止对端口 B 进行读/写操作。由于在输入时钟的上升沿上对端口 A 进行了采样，所以对端口 A 的访问不受任何限制。

图 10. QDR-IV HP SRAM — 写/读操作



QDR-IV 是市场上具有最高性能的标准存储器解决方案。它的高性能与独特特性（如对称双向端口、ECC、总线反转、ODT 和地址奇偶校验）结合时，将可以为网络系统提供最佳的解决方案。QDR-IV 的优势还适用于需要高速性能和信号完整性（如高性能计算和图像处理）的其他系统。

选择最佳方案

如果 SRAM 与较旧的处理器连接，则选择是有限的，这是因为设计较旧的处理器是用于标准同步 SRAM 的。设计较新的处理器用于 DDR-II/II+/II+ Xtreme SRAM。设计一些网络处理器用于 NoBL、QDR-II/II+、QDR-II+ Xtreme、DDR-II/II+、DDR-II+ Xtreme 和 QDR-IV SRAM。

网络应用需要引脚的最大利用率。由于所有数据引脚上的双倍数据速率操作，会强制支持 QDR-II/II+/II+ Xtreme、DDR-II/II+/II+ Xtreme 和 QDR-IV SRAM。因此，建议将 DDR-II/II+/II+ Xtreme、QDR-II/II+/II+ Xtreme 或 QDR-IV SRAM 使用于对带宽要求更高的新设计中。

器件交叉参考

在下面的位置使用竞争存储器器件交叉参考工具，从而可以确定赛普拉斯存储器器件是否与其他供应商的器件兼容：

<http://www.cypress.com/?app=search&searchType=xref&keywords>

总结

新设计应使用最能满足给定应用要求的 SRAM。

专门设计的赛普拉斯的高带宽 QDR-IV SRAM，就是为了得到高速性能，并满足各项网络功能要求，如更新统计信息、跟踪流状态、处理数据包以及执行表查找。

QDR-II/II+ SRAM 适用于具有连续读/写操作的系统。当连续发生读操作或写操作时，优先选择使用 DDR-II/II+ SRAM。通过实际的读写比率和所需的突发长度可以确定正确的选择，如各图中所述。当引脚数量必须得到优化，并且受总线的双倍数据速率操作支持时，也建议使用 QDR-II/II+ 和 DDR-II/II+ SRAM。为提高时钟设计中的最大灵活，提供了高达三组时钟引脚。

要与现有的控制器或处理器兼容或需要涌流式操作的延迟低时，应使用早期的 SRAM 架构（如：NoBL 和标准同步）。在可能的情况下，NoBL 架构优先于标准同步，因为设计标准同步用给处理器中的微处理器缓存应用。这些应用现在已经不再开发。

使 SRAM 成为最佳选择是性价比的问题。对于缓存用户，芯片组的选择和处理器的直接接口决定了 SRAM 的选择。由于 QDR-II/II+/IV 和 DDR-II/II+ 器件，网络应用正在进入前所未有的新性能水平。赛普拉斯提供了各种同步 SRAM，用以满足所有系统类型的需求，并致力于继续赛普拉斯在认识到客户的需求中的领导角色。

欲了解更多有关赛普拉斯同步 SRAM 产品以及获取技术帮助的信息，请在 <http://www.cypress.com/?id=4> 网站上创建客户支持案例。

文档修订记录

文档标题：选择正确的赛普拉斯同步 SRAM — AN4011

文档编号：001-92149

版本	ECN	变更者	提交日期	变更说明
**	4346059	YLIU	05/21/2014	本档版本号为 Rev**, 译自英文版 001-15488 Rev *E。
*A	4722948	YLIU	04/30/2015	本档版本号为 Rev*A, 译自英文版 001-15488 Rev *G。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明和电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC®解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

此处引用的所有其他商标或注册商标归其各自所有者所有。



赛普拉斯半导体
198 Champion Court
San Jose, CA 95134-1709
电话 : 408-943-2600
传真 : 408-943-4730
网址 : www.cypress.com

©赛普拉斯半导体公司，2007-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。