

温度仕様について

関連製品ファミリ: 同期 SRAM

関連製品ファミリ: なし

ソフトウェア バージョン: なし

関連アプリケーション ノート: AN42468

このアプリケーション ノートの最新版または関連プロジェクト ファイルについては、
<http://www.cypress.com/go/AN4017> にアクセスしてください。

AN4017 は、サイプレスの製品データシートに記載されている温度仕様についての基礎知識を説明します。デバイスの動作温度は、多くの要素に影響を受けます。また本アプリケーション ノートにより、デバイスの熱に関するパラメーターや温度仕様について理解できます。

1 はじめに

集積回路 (IC) が動作するには電力が必要です。この電力は、電圧と電流として電源ピンを通して IC に提供されます。電力の消費により熱が発生し、その結果、接合部の温度が周囲の温度と異なるようになります。接合部温度に影響を与える要素はいくつかあります。

- 近くの IC の熱
- 空気の流れ
- IC のパッケージ材料
- IC のパッケージ技術 (例えばフリップチップやワイヤ ボンディング)
- IC パッケージのリード数
- プリント回路基板 (PCB) の素材
- 周囲温度

動作するデバイスがとりうる最も低い温度は周囲にある空気の温度 (T_A) です。いくら放熱させようが、空冷しようとも、デバイスは周囲の空気温度より冷却されることはありません。IC が電力を消費し始めると、接合部温度 (T_J) は周囲温度より高くなります。接合部温度は空冷や放熱器により下げることができますが、電力が消費されている限り、 T_A を上回ります。

熱抵抗は、特定のデバイスが内部で発生した熱を散逸させる能力であり、 $^{\circ}\text{C}/\text{W}$ の単位で表されます。基本的には、デバイスが消費する電力に基づいて T_J がどのくらい増えるかを示すのに熱抵抗が使用されます。

2 定義

以下は、デバイスの動作状態に関するいくつかの重要な定義です。

T_A = 周囲温度: 無風時の周囲温度です。

T_C = ケース温度: 半導体デバイスのケースの温度です。

T_J = 動作時接合部温度: 特定の動作条件下でのデバイス回路自体の温度です。 T_J はケース温度や周囲温度から計算が推測しなければなりません。

T_{Jmax} = 最大接合部温度: 信頼性のある動作を保証するためにデバイスが許容できる最高温度です。システム設計者は信頼性を保証するために $T_J < T_{Jmax}$ を保証する必要があります。

表 1. 最大接合部温度

SRAM の種類	T_{Jmax}
同期 SRAM	125 °C
nvSRAM	150 °C
非同期 SRAM	150 °C
デュアルポート RAM と FIFO	125 °C
F-RAM	125 °C

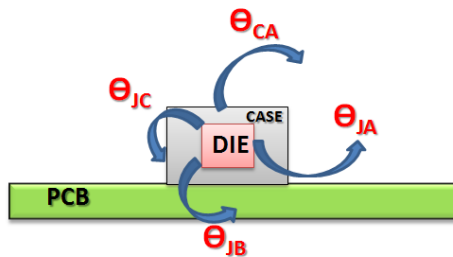
サイプレスの各種メモリ デバイスの最大接合部温度を表 1 に示します。

消費電力 (P_d): 動作中のデバイスで消費されて熱を発生させる電力です。一般的にワットで表されます。

空気の流れ = システムから熱を除去するために使用されるデバイスの上と周辺の空気の動きです。

熱抵抗 = 特定のシステムの熱流量特性を記述する経験的に導かれた定数であり、°C/W で表されます。熱抵抗は、パッケージ内のデバイスで発生した熱を周囲に放出する能力の尺度です。熱抵抗に影響を与えるいくつかの要素は、(1) IC チップのダイ サイズ、(2) モールド化合物および (3) リード フレーム/基板設計です。パッケージの特性として一般的に使用される熱パラメータは、 θ_{JA} (接合部から周囲への熱抵抗)、 θ_{JC} (接合部からケースへの熱抵抗)、 θ_{CA} (ケースから周囲への熱抵抗) および θ_{JB} (接合部から基板への熱抵抗) です。

図 1. 熱抵抗の種類



θ_{JA} は、接合部から周囲空気への熱抵抗です。 θ_{JA} は、パッケージ内の IC チップから周囲に熱を伝導するパッケージの能力を表します。 θ_{JA} は、デバイスが 1W の電力を消費する時、接合部と周囲の温度差として定義されます。 θ_{JA} (°C/W の単位) = $(T_J - T_A) / P_d$ 。特定のパッケージとリード フレームに関し、 θ_{JA} に影響を与えるいくつかの要素は、(1) IC チップのダイ サイズ、(2) システム基板上で IC パッケージに取り付けられたプリント基板の配線の長さおよび (3) パッケージに当たる空気の流量です。 θ_{JA} の値はデバイスのデータシートに記載されています。

θ_{JC} は、接合部からケースへの熱抵抗です。 θ_{JC} は、デバイスが 1W の電力を消費する時、接合部とパッケージ上の基準点の温度差として定義されます。 θ_{JC} ($^{\circ}\text{C}/\text{W}$ の単位) = $(T_J - T_C)/P_d$ 。これは主に、パッケージを構成する素材の熱特性の関数です。 θ_{JC} の値はデバイスのデータシートに記載されています。

θ_{JB} は接合部から基板への熱抵抗です。 θ_{JB} は、デバイスが 1W の電力を消費する時、接合部と基板の温度差として定義されます。 θ_{JB} ($^{\circ}\text{C}/\text{W}$ の単位) = $(T_J - T_B)/P_d$ 。 T_B は、ダイの近くにある所定の場所で測った基板の温度です。 θ_{JB} は、要求に応じて提示されます。

θ_{CA} はケースから周囲への熱抵抗です。 θ_{CA} は、デバイスが 1W の電力を消費する時、パッケージ上の基準点と周囲の温度差として定義されます。 θ_{CA} ($^{\circ}\text{C}/\text{W}$ の単位) = $(T_C - T_A)/P_d$ 。 θ_{CA} はいくつかの要因の中で、対流と放射に関わる表面積および周囲条件に主に依存しています。これは放熱器を使用してより大きな表面積やよりよい伝導経路を提供することで、または空冷や液体冷却で制御することができます。

接合部から周囲への熱抵抗は、接合部からケースへの熱抵抗とケースから周囲への熱抵抗の合計です。つまり、熱パラメータの関係は次のように表すことができます: $\theta_{JA} = \theta_{JC} + \theta_{CA}$

3 接合部温度の計算

接合部から周囲への熱抵抗 (θ_{JA}) および周囲温度が与えられた場合、次のようにデバイスが消費する電力を計算し、チップの接合部温度を計算することができます:

$$T_J = P_d \theta_{JA} + T_A$$

ここで、

θ_{JA} = 接合部から周囲への熱抵抗

T_A = 周囲温度

P_d = コア消費電力 + I/O 切り替え時消費電力 + ODT 消費電力

コア消費電力 = $V_{DD(\text{max})} \times I_{DD}$ and

I/O スwitchング電源 = $\alpha \times f \times C_L \times V^2 \times$ (切り替わっている I/O の数)、

ここで、

α は、作動係数、すなわち出力が切り替わる周波数とクロック周波数との比率

= 0.5 (標準同期 SRAM、NoBL™ SRAM などのシングルデータレート デバイスの場合)

= 1 (DDR/QDR™ SRAM などのダブル データレート デバイスの場合)

f = 動作周波数

C_L = 外部負荷容量

V は出力電圧の振幅、

例:

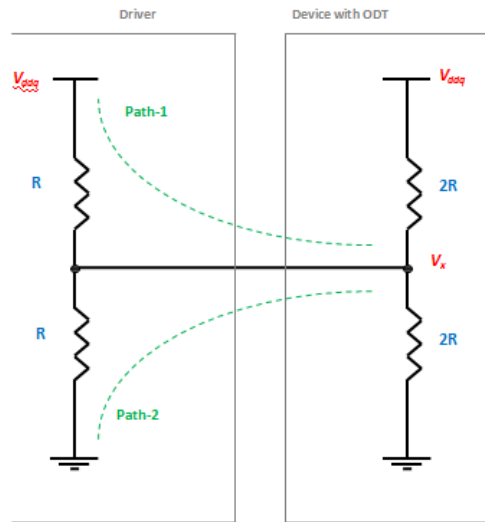
= V_{ddq} (未終端負荷の場合)

= $V_{ddq}/2$ (プルアップ終端付きの終端負荷の場合)

ODT 消費電力は、入力のオンダイ終端抵抗で消費された電力です。非 ODT 部品では、この電力はゼロです。ODT 消費電力の説明については、[図 2](#) を参照してください。

以下に示すように、ドライバーの出力インピーダンスが R の場合、入力側のオンダイ終端抵抗は $2R$ となります。

図 2. ODT 消費電力



ドライバーが「1」を出力するときはパス 1 が、「0」を出力するときはパス 2 がアクティブとなります。どちらの場合も ODT 抵抗で消費される電力は

ODT 消費電力 = $(5/16) \times (V_{ddq})^2 \times (1/R) \times (\text{ODT 抵抗を備えた入力数})$ 、ここで、

= V_{ddq} は I/O 電圧

= $2R$ はプルアップとプルダウン終端用に使用される終端抵抗

ODT の電力計算式については、[AN42468](#) を参照してください。

4 SRAM の例

100 リード SRAM TQFP デバイス (CY7C1381D 製品) を例にとります。熱抵抗は、無風状態および 4 層基板で 28.66°C/W です。負荷容量 40pF で全ての I/O が切り替わる条件でデバイスが 100MHz で動作すると仮定すると、電力消費は次のように計算されます:

$P_d = \text{コア消費電力} + \text{I/O 切り替え時消費電力} + \text{消費電力}$

コア消費電力 = $V_{DD(\text{max})} \times I_{DD} = 3.6 \times 175 \times 10^{-3} = 0.63 \text{ W}$

I/O スイッチング電力 = $\alpha \times f \times C_L \times V^2 \times (\text{切り替わっている I/O の数}) = 0.5 \times 100 \times 10^6 \times 40 \times 10^{-12} \times (3.6)^2 \times 36 = 0.93 \text{ W}$

ODT 消費電力 = 0 (入力 ODT 抵抗がないため)。

したがって、合計消費電力は $P_d = 1.56 \text{ W}$

接合部温度の上昇は熱抵抗を使って計算します:

$T_J = T_A + (\text{熱抵抗} \times \text{消費電力})$

= $T_A + (\theta_{JA} \times P_d)$

= $T_A + (28.66^\circ\text{C/W} \times 1.56 \text{ W})$

= $T_A + 44.71^\circ\text{C}$

注: 使用される θ_{JA} は参考値で、デバイスによって異なります。

アプリケーションの仕様を商業用温度範囲にすると、 $0^{\circ}\text{C}\sim 70^{\circ}\text{C}$ の周囲温度を想定します。システム内の標準的な環境が 30°C であると仮定すると、接合部温度は

$$\begin{aligned} T_J &= 30^{\circ}\text{C} + 44.71^{\circ}\text{C} \\ &= 74.71^{\circ}\text{C} \end{aligned}$$

システムに空気の流れがあれば、接合部温度は下がります。

最悪の状況では、 $T_A = 70^{\circ}\text{C}$ となります：

$$T_J = 70^{\circ}\text{C} + 44.71^{\circ}\text{C} = 114.71^{\circ}\text{C}$$

ただし、通常アプリケーションでは、基板の層数が多く、放熱特性がよい基板が利用されます。接合部の温度が周囲の空気温度よりもはるかに高くなり、通気性と基板設計が接合部温度に大きな影響を与えることが分かります。

詳細については、同期 SRAM 製品の [接合部温度の計算用のオンライン ツール](#) を参照してください。

5 温度仕様

熱パラメーターは、無風で最悪状況の値です。さらに温度が高くなると、温度性能の限界に近づきます。このため、商業用温度範囲から産業用または車載用温度範囲に仕様を移行する場合には、温度がかなり高くなります。

良い熱管理は、接合部温度を最大定格 T_{Jmax} に対して十分余裕をもって下げることです。理由は、接合部温度 (T_J) が上昇すると、デバイスの寿命に影響を及ぼすことがあるためです。

6 システムに関する注意事項

発生した熱の大部分はプリント基板を通ります。基本的に熱がチップから基板に伝わる経路は 4 本あります。

1. 少量の熱がデバイスの周りの空気を通してケースから周囲に伝えられます。
2. 熱がトップ レイヤーを通して基板に伝えられます。
3. 熱が複数のビアを通して内層の絶縁物と銅箔に伝えられます。
4. 最後に、熱がチップの下の複数のビアを通してボトム レイヤーの銅箔に伝えられます。

周囲環境において IC パッケージを実装する方法およびその位置は、動作時の接合部温度に大きな影響を与えます。これらの条件はシステム設計者によって管理されるもので、基板レイアウトやシステムの通気性について慎重に検討する必要があります。

強制空冷は熱抵抗を大幅に抑制します。一般的には、パッケージの長手方向に平行な空気の流れは垂直な空気の流れより少し効率が良いです。

IC 取り付ける放熱器は、周囲環境に熱を逃すことで熱抵抗を改善することができます。放熱性能はサイズ、素材、設計、システムの通気性によって異なります。概して実質的な改善をもたらします。

パッケージの実装方法は熱抵抗に影響を及ぼします。例えば、表面実装パッケージは、配線に取り付けられたリードを通して大量の熱を放出します。

プリント基板の金属（銅配線）は、パッケージから熱を逃し、周囲に放出します。したがって、配線の面積が大きければ大きいほど熱抵抗が下がります。

プリント基板に熱伝導性の高い素材を使用すると、熱抵抗がもっと下がる場合があります。例えば RT/duroid 6035HTC (Rogers 製) の接合部から基板への熱抵抗 (θ_{JB}) は、FR-4^[1] に比べて約 10% 小さくなります。

¹ サイプレスの 72M QDR-II+ および JEDEC 準拠のプリント基板の熱抵抗の測定シミュレーション結果に基づきます。

その他の最も効果的な伝導経路はビアです。チップの下にビアが多ければ多いほど、熱抵抗が下がります。その結果、チップの接合部温度も下がります。ビアを適切に配置しビアから内層の絶縁物と銅箔までの伝導経路を最適化することで、チップから熱を効率的に逃すことができます。

また、パッケージ サイズが小さくなり基板に実装されるデバイス数が増えるにつれて、熱特性はより注意が必要になります。

7 T_J の測定

接合部温度を測定して仕様より十分低いかを確認することはできますが、作業が難しいです。

現実的でより簡単な方法は、ケース温度を測定することです。テスト中のデバイスに取り付けた熱電対や測温抵抗体 (RTD) などによる直接測定、または輻射温度計などを用いた非侵襲的な方法が可能です。上記の例で示したように、 T_C が与えられると、接合部からケースへの熱抵抗および消費電力を使って T_J を計算することができます。

詳細については、JEDEC 仕様 JESD51「Methodology for the Thermal Measurement of Component Packages (Single Semiconductor Device)」を参照してください。

一般的には、ケース温度と接合部温度の差はわずか数°C程度であるため、計算は不要です。したがって、ケース温度を測定してから最大定格接合部温度より低いことを確認することをお勧めします。最大接合部温度より高い場合は、接合部の温度はさらに高く、アプリケーションが仕様範囲外で動作しています。

8 まとめ

デバイスの熱特性は基板設計者にとって重要事項です。熱パラメーター、特に接合部温度が最大接合部温度よりもはるかに小さいことは非常に重要です。理由は、接合部温度が上昇すると、デバイスの寿命に影響を及ぼすことがあるためです。接合部温度を直接測ることは現実的でないため、デバイスのケース温度を測定してから接合部温度を計算することをお勧めします。 T_J に影響を及ぼす要因の中には、IC メーカーが制御できるものと、システム設計者が制御できるものがあります。また、パッケージ サイズが小さくなって実装密度が増えるにつれて、温度および熱管理は基板設計者にとってますます重要事項になります。

改訂履歴

文書名: AN4017 - 温度仕様について

文書番号: 001-92729

版	ECN 番号	変更者	発行日	変更内容
**	4395701	HZEN	05/15/2007	これは英語版 001-15491 Rev. *G を翻訳した日本語版 001-92729 Rev. ** です。
*A	4669766	HZEN	03/24/2015	これは英語版 001-15491 Rev. *H を翻訳した日本語版 001-92729 Rev. *A です。
*B	5160972	HZEN	03/11/2016	これは英語版 001-15491 Rev. *I を翻訳した日本語版 001-92729 Rev. *B です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載	cypress.com/go/automotive
クロック&バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明&電源管理	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/usb
ワイヤレス/RF	cypress.com/go/wireless

PSoC®ソリューション

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

NoBl™はサイプレス セミコンダクタ社の商標です。QDR RAM およびクワッド データ レート RAM は、サイプレス セミコンダクタ社、ルネサス社、IDT 社およびサムスン社が開発した新製品ファミリです。本書で言及するその他すべての商標または登録商標は、各社の所有物です。

	Cypress Semiconductor 198 Champion Court San Jose, CA 95134-1709	Phone : 408-943-2600 Fax : 408-943-4730 Website : www.cypress.com
---	--	--

© Cypress Semiconductor Corporation, 2007-2016. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や誤りによって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンスに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンスの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。