

## 了解温度规范：简介

相关项目：无  
相关器件系列：同步 SRAM  
软件版本：NA  
相关应用笔记：AN42468

要获取本应用笔记的最新版本或相关的项目文件，请访问 <http://www.cypress.com/go/AN4017>

AN4017 为赛普拉斯产品数据手册中使用的温度规范提供了基本介绍。有许多因素会影响器件的热操作。本应用笔记还向您提供了器件的热参数和温度规范的知识。

### 1 简介

需要电源用以运行集成电路（IC）。该电源通过电源引脚以电压和电流的形式提供给集成电路。消耗电能产生热量，并导致结温与周围环境温度不同。下面是几个影响结温的因素：

- 相邻 IC 产生的热量
- 气流
- IC 封装材料
- IC 封装技术（例如：倒装芯片技术与焊线技术）
- IC 封装的引线数
- 印刷电路板（PCB）材料
- 环境温度

空气温度（ $T_A$ ）是指最低温度，在该温度下器件能够运行。不管散热或气流的强度如何，器件温度将不会低于周围环境的温度。一旦 IC 开始消散功耗，则结温（ $T_J$ ）会高于环境温度。您可以通过添加散热片或增强气流来降低结温，但只要电源消耗，结温就会上升并高于  $T_A$ 。

热阻是指已给的器件消散内部集成的热量（以单位为  $^{\circ}C/W$  显示）的能力。基本上，热阻用来显示  $T_J$  根据器件消耗的电能而增加。

## 2 定义

下面是某些涉及到器件操作条件的重要定义。

**T<sub>A</sub>为环境温度。**是指环境、静止空气的温度。

**T<sub>c</sub>为外壳温度。**是指半导体器件的外壳温度。

**T<sub>J</sub>为工作结温。**指的是器件电路在给定的工作条件下的温度。必须从外壳温度和/或环境温度计算或推断出T<sub>J</sub>。

**T<sub>Jmax</sub>为最高结温。**指的是器件能承受的以保证可靠地运行的最高温度。系统设计人员要确保T<sub>J</sub> < T<sub>Jmax</sub>，以保证其可靠性。

表 1. 最高结温

SRAM 类型	T <sub>Jmax</sub>
同步 SRAM	125 °C
nvSRAM	150 °C
异步 SRAM	150 °C
双端口 RAM 和 FIFO	125 °C
F-RAM	125 °C

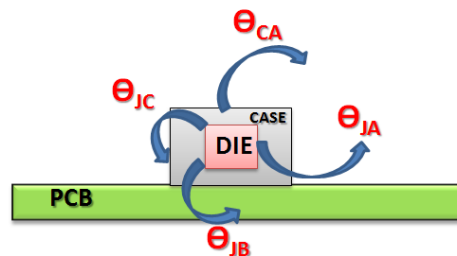
在表1中列出了最高结温，它们适用于各种赛普拉斯存储器器件。

**功耗 (P<sub>d</sub>)：**是指器件运行时消耗的功耗，消耗能量会产生热量。通常，其单位为瓦特。

**气流：**器件上部和周围的空气移动可带走系统产生的热量。

**热阻：**是一个实验导出的常量集描述给定系统的热流量特性，单位为°C/W。热阻是将封装中器件生成的热量传输到环境的封装能力的量度。影响热阻的因素包括：(1) IC芯片的尺寸、(2) 模具复合和(3)引线框架/基板设计。 $\theta_{JA}$ （结至环境的热阻）、 $\theta_{JC}$ （结至外壳的热阻）、 $\theta_{CA}$ （外壳到环境的热阻）和 $\theta_{JB}$ （结至板）均是热参数，通常用于表征一个封装。

图 1. 热阻类型



$\theta_{JA}$ 是指结至环境的热阻。 $\theta_{JA}$ 显示将封装里面IC芯片中的热量传导到环境的封装能力。 $\theta_{JA}$ 被定义为当器件消耗1 W的功耗时结温与环境温度之间的差值。 $\theta_{JA}$  (单位为°C/W) = (T<sub>J</sub> - T<sub>A</sub>) / P<sub>d</sub>。对于给定的封装和引线框架，影响 $\theta_{JA}$ 的因素分别是：(1) IC芯片的尺寸；(2) 附带系统板上IC封装供的印刷电路板的走线长度；(3) 封装中的气流量。 $\theta_{JA}$ 值在器件的数据手册中有效。

$\theta_{JC}$ 是指结至外壳的热阻。 $\theta_{JC}$ 被定义为当器件减少1 W的功耗时结温和封装上的参考点之间的温度差。 $\theta_{JC}$ （单位为 $^{\circ}\text{C}/\text{W}$ ）=  $(T_J - T_C) / P_d$ 。它是构建封装的材料的热性能函数。 $\theta_{JC}$ 值在器件数据手册中有效。

$\theta_{JB}$ 是结至板的热阻。 $\theta_{JB}$ 被定义为当器件减少1 W的功耗时结和板之间的温度差。 $\theta_{JB}$ （单位为 $^{\circ}\text{C}/\text{W}$ ）=  $(T_J - T_B) / P_d$ 。 $T_B$ 是在片上附近的预定位置上所采取的PCB板温度。 $\theta_{JB}$ 可按照根据要求提供。

$\theta_{JA}$ 是外壳到环境的热阻。 $\theta_{JA}$ 被定义为当器件消耗1 W的功耗时封装上的参考点和环境温度之间的温度差。 $\theta_{JA}$ （单位为 $^{\circ}\text{C}/\text{W}$ ）=  $(T_C - T_A) / P_d$ 。除了其他因素， $\theta_{JA}$ 主要取决于适用于对流和辐射的表面积和环境条件，此外还受其他因素的影响。通过使用散热片，可提供更大的表面积和更好的传导路径，或通过空气或液体来降温。

结至环境的热阻是结至外壳的热阻和外壳到环境的热阻的总和。换句话说，各热参数之间的关系可以表示为： $\theta_{JA} = \theta_{JC} + \theta_{JA}$ 。

### 3 计算结温

当具有结至环境热阻（ $\theta_{JA}$ ）和环境温度时，您计算器件消散的功耗后可以通过下面的公式计算出芯片的结温：

$$T_J = P_d \theta_{JA} + T_A$$

其中：

$\theta_{JA}$ ：结至环境的热阻

$T_A$ ：环境温度

$P_d$  = 内核功耗 + I/O切换功耗 + ODT功耗

内核功耗 =  $V_{DD(max)} \times I_{DD}$ ，

I/O切换功耗 =  $\alpha \times f \times C_L \times V^2 \times$ （切换的I/O数），

其中：

$\alpha$ 为活动因子，或输出切换的频率与时钟频率之间的比例

= 0.5（对于单倍数据速率的器件，如：Std Sync、NoBL™- SRAMs）；

= 1（对于双倍数据速率的器件，如：DDR/QDR™ SRAM）

f：工作频率

$C_L$ ：外部负载电容

V：输出电压摆幅，

例如：

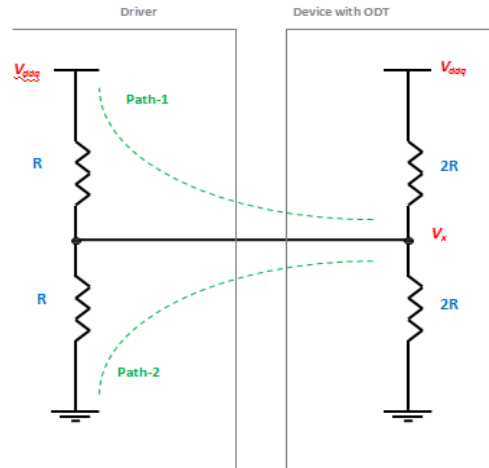
=  $V_{ddq}$ （限于无终端负载）

=  $V_{ddq}/2$ （限于有上拉电阻的终端负载）

ODT功耗是指在片上终端电阻的输入上所消耗的电能。对于非ODT的器件，功耗为零。有关ODT功耗简介的信息，请参见图2。

如果驱动程序的源阻抗为R，则片上终端电阻的输入为2R，如下面所示。

图 2. ODT 功耗



根据将源驱动为“1”或“0”，可确定Path-1（路径1）或Path-2（路径2）有效。在这两种情况下，ODT电阻的功耗为：

ODT功耗 =  $(5/16) \times (V_{ddq})^2 \times (1/R) \times (\text{具有ODT电阻的输入数})$ ，其中：

$V_{ddq}$ 为I/O电压

2R为终端电阻，用于上拉和下拉终端

有关ODT功耗公式，请参见AN42468。

## 4 SRAM 示例

让我们了解一下使用100引脚TQFP封装的SRAM器件（特别是CY7C1381D编号）的示例。对于气流为0 ft/s的4层电路板，其热阻为28.66 °C/W。假设器件的运行频率为100 MHz，其电容负载为40 pF并且所有I/O正在切换，则功耗计算如下：

$P_d = \text{内核功耗} + \text{I/O正切换功耗} + \text{ODT功耗}$

内核功耗 =  $V_{DD(max)} \times I_{DD} = 3.6 \times 175 \times 10^{-3} = 0.63 \text{ W}$

I/O切换功耗 =  $\square \times f \times C_L \times V^2 \times (\text{正切换的I/O数}) = 0.5 \times 100 \times 10^6 \times 40 \times 10^{-12} \times (3.6)^2 \times 36 = 0.93 \text{ W}$

ODT功耗 = 0，因为没有输入ODT电阻。

因此，总耗散功率  $P_d = 1.56 \text{ W}$

然后使用热阻值计算结温的增加量：

$T_J = T_A + (\text{热阻} \times \text{功耗})$

=  $T_A + (\square_A \times P_d)$

=  $T_A + (28.66 \text{ °C/W} \times 1.56 \text{ W})$

=  $T_A + 44.71 \text{ °C}$

**注意：**使用的  $\square_A$  值是一个参考值，会因器件不同而发生变化。

如果应用程序用于商业级范围，则环境温度范围为0 °C到70 °C。假设系统中的典型环境温度为30 °C，则结温为：

$$T_J = 30\text{ °C} + 44.71\text{ °C} \\ = 74.71\text{ °C}$$

对于相同的系统，如果有气流，则结温将被降低。

最差情况下， $T_A = 70\text{ °C}$ ：

$$T_J = 70\text{ °C} + 44.71\text{ °C} = 114.71\text{ °C}$$

但请注意一个典型应用程序的电路板会有更多层和更好的散热特性。我们已经了解，结温会比它周围的空气的温度高得多，并且该气流和板结构对结温有很大的影响。

有关更多信息，请参考同步SRAM产品的[计算结温的在线工具](#)。

## 5 温度规范

当没有气流时，热参数显示最坏情况的值。另外，具有较高温度的热性能变得更加重要。因此，从商业级温度范围变为工业级或汽车温度范围时，温度规范会变得更广。

为了确保管理好热量，需要保持结温低于最大的额定值 $T_{Jmax}$ 。因为结温的上升（ $T_J$ ）会对器件的运行寿命产生不利影响。

## 6 系统注意事项

大部分的热量仅通过 PCB 进行散热。通过四条路径将芯片的热量传输给 PCB：

1. 少量热量通过器件周围的空气从外壳传输到外界环境内。
2. 部分热量通过顶层传输到 PCB。
3. 部分热量通过过孔阵列传输到内部介电材料和铜层。
4. 最后，部分热量通过芯片下面的过孔阵列传输到 PCB 最下面的铜层。

安装IC封装方式和周围环境对工作结温有显著的影响。这些条件是由系统设计人员控制的，因此在PC板布局、通风系统和气流功能中应认真考虑这些条件。

强制进行气流降温可显著降低热阻。平行于封装的长距离的气流通常比垂直于封装的长距离气流降温效果更好。

适用于IC封装的外部散热板可以通过增大将热量交还给周围环境来提高热阻。散热性能将因其尺寸、材料、设计和系统气流而异。一般情况下，它们提供了大幅度的改善。

封装的安装可以影响热阻。例如，表面贴装封装可通过附带走线的引线带走大量热量。

PC板上的金属（铜走线）从封装中将热量输出，并将热量传递到环境中；因此，走线面积越大，热阻性能越低。

在 PCB 上使用导热率更高的介电材料可以降低热电阻。例如，在使用 RT/duroid 6035HTC（Rogers）时，在电路板上连接热阻（ $\theta_{JB}$ ）比使用 FR-4<sup>1</sup>低 10%。

过孔是另一种最有效的导电路径。芯片上的过孔数量越多，热电阻则越低；这样可以降低芯片的结温。通过过孔和铜层间优化的导电路径以及过孔阵列完美设计上的介电材料为设计提供了清除芯片热量的最有效路径。

此外，因为封装尺寸变小，并且更多的器件被安装在板上，所以热特性成为一个很大的问题。

<sup>1</sup> 基于赛普拉斯 72M QDR-II+和 JEDEC 标准的 PCB 板热阻测量仿真结果。

## 7 $T_J$ 的测量

可以通过测量实际的结温确认它是否低于规范的要求，但很难实现。

测量外壳温度是一种实用且简单的方法。该测量可以直接完成 — 比如将热电偶和电阻式温度检测器（RTD）放置在与待测器件接触的地方 — 或使用非侵入式的方法（比如：红外热源检测器）来完成测量。当已知 $T_c$ 的值时，可以使用前面示例中提出的结至外壳的热阻和功耗来计算出 $T_J$ 的值。

有关详细信息，请参考JEDEC规范JESD51 — 组件封装（单个半导体器件）的热测量方法。

一般情况下，外壳温度与结温相差几度，所以不需要计算。因此，建议测量外壳温度，并确保它低于最大的额定结温。如果外壳温度高于规范的最大结温，则结温将更高，那么应用程序可能不按规范运行。

## 8 总结

器件的热特性已经成为并将继续成为电路板设计的主要问题。至关重要的是，热参数（特别是结温）要低于指定的限值。因为结温的上升会对器件的运行寿命产生不利影响。对结温直接进行测量是不切实际的，最好测量器件的外壳温度，然后计算结温。IC制造商会控制某些影响 $T_J$ 的因素，另外系统设计人员会控制其他因素。此外，温度规范和热管理成为电路板设计人员面对的重要问题，比如：封装尺寸缩小和电路板密度的增加。

## 文档修订记录

文档标题：AN4017 — 了解温度规范：简介

文档编号：001-92147

版本	ECN	变更者	提交日期	变更说明
**	4346043	LISZ	05/14/2014	本文档版本号为Rev**, 译自英文版001-15491 Rev*G。
*A	4669760	LISZ	03/12/2015	本文档版本号为Rev*A, 译自英文版001-15491 Rev*H。
*B	5162734	LISZ	03/04/2016	本文档版本号为Rev*B, 译自英文版001-15491 Rev*I。

## 全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。如果想要查找离您最近的办事处，请访问[赛普拉斯所在地](#)。

### 产品

汽车级产品	<a href="http://cyress.com/go/automotive">cyress.com/go/automotive</a>
时钟与缓冲器	<a href="http://cyress.com/go/clocks">cyress.com/go/clocks</a>
接口	<a href="http://cyress.com/go/interface">cyress.com/go/interface</a>
照明和电源控制	<a href="http://cyress.com/go/powerpsoc">cyress.com/go/powerpsoc</a>
存储器	<a href="http://cyress.com/go/memory">cyress.com/go/memory</a>
PSoC	<a href="http://cyress.com/go/psoc">cyress.com/go/psoc</a>
触摸感应	<a href="http://cyress.com/go/touch">cyress.com/go/touch</a>
USB 控制器	<a href="http://cyress.com/go/usb">cyress.com/go/usb</a>
无线/射频	<a href="http://cyress.com/go/wireless">cyress.com/go/wireless</a>

### PSoC®解决方案

[psoc.cyress.com/solutions](http://psoc.cyress.com/solutions)  
[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

### 赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

### 技术支持

[cyress.com/go/support](http://cyress.com/go/support)

NoBL™是赛普拉斯半导体公司的商标。QDR RAM 和四倍数据速率 RAM 构成了赛普拉斯半导体、Renesas、IDT 和三星开发的产品的新系列。此处引用的所有商标或注册商标均归其各自所有者所有。



赛普拉斯半导体  
198 Champion Court  
San Jose, CA 95134-1709  
电话 : 408-943-2600  
传真 : 408-943-4730  
网址 : [www.cyress.com](http://www.cyress.com)

©赛普拉斯半导体公司，2007-2016。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可协议的限制。