

65nm QDR™ II/DDRII と QDRII+/DDRII+メモリ インターフェースの実装上の相違点

作成者: Jayasree Nayar

関連プロジェクト: なし

関連製品ファミリ: CY7C13xxKV18、CY7C14xxKV18、CY7C15xxKV18、
CY7C25xxKV18、CY7C16xxKV18、CY7C26xxKV18

ソフトウェア バージョン: 非該当

関連アプリケーション ノート: [AN4065](#)、[AN42468](#)

65nm QDRII/DDRII と QDRII+/DDRII+デバイス間の相違点はこのアプリケーション ノートで説明されます。両方のデバイスの設計ガイドラインも含まれます。

はじめに

メモリ デバイスは、高性能通信、ネットワーキング、およびデジタル信号処理 (DSP) システムのような継続需要があるアプリケーションのニーズに適合するように進化しています。特定のシステム アーキテクチャにメモリ帯域幅を最適化する専用メモリ製品は、様々なデータ処理システムの全体的な性能を向上させることに成功しています。動作速度は 400MHz 以上に高速化しました。QDR コンソーシアムが発表した 65nm QDR ファミリの SRAM 世代は、これらの要求を満たしています。既存の QDRII および DDRII 製品と比べて、QDRII+および DDRII+製品は、速度が 50%高速に改善されました。同じフットプリントと 165 ピン ファインピッチ ボール ゲート アレイ (FBGA) パッケージを使用しますが、QDRII+および DDRII+製品は、QDRII および DDRII よりも 80Gbps 高い帯域幅を提供します。QDRII+/DDRII+アーキテクチャは、より高性能の製品を開発し、より高い周波数の製品への直接の移行を可能にするために、既存のインフラを活用します。

QDR および DDR ファミリの SRAM は、ほとんどのネットワーク アプリケーション用の完全なメモリ ソリューションを設計者に提供します。QDRII/QDRII+デバイスは、2 倍の選択されたクロックレートで独立して動作する 2 つのポートがあります。これにより、1 つのクロック サイクルで 4 個のデータワードを 2 つのポートに転送することが可能になります。DDRII/DDRII+デバイスは、共通 IO データ バスを介して、倍速のデータ レート転送を可能にします。

このアプリケーション ノートには、65nm QDRII/DDRII および QDRII+/DDRII+デバイス間の相違点の詳細、および両方のデバイスを設計するガイドラインが含まれています。QDRII/DDRII ファミリの SRAM の固有のデザイン ガイドラインについては、アプリケーション ノート、[AN4065](#) - QDR™-II、QDR-II+、DDR-II、および DDR-II+ 設計ガイドを参照してください。

- QDRII+/DDRII+ SRAM デバイスの詳細
- QDRII/DDRII と QDRII+/DDRII+間の機能とタイミングの相違点
- QDRII/DDRII および QDRII+/DDRII+ファミリの SRAM デバイスの両方に対応するためには設計変更が必要です。

QDRII+/DDRII+ SRAM デバイスの詳細

サイプレスは、他の QDR コンソーシアム メンバーと一緒に、550MHz の周波数までサポートする高性能の通信システム用の 65nm QDRII+/DDRII+SRAM デバイス アーキテクチャを定義しました。QDRII+/DDRII+SRAM デバイスは、周波数と性能の面で QDRII/DDRII ファミリの既存の SRAM を拡張したものです。

QDRII+/DDRII+ SRAM デバイスと QDRII/DDRII SRAM は機能が同じです。QDRII+/DDRII+デバイスのタイミングは、QDRII/DDRII デバイスとは少し異なります。しかし、機能が同じで、ホスト コントローラへのソフトウェア変更はわずかで、ボードの変更も少ないため、これらの両方のデバイス用途に応じて同じように使用することができます。QDRII/DDRII と QDRII+/DDRII+の両方に設計すると、既存の QDRII/DDRII 設計の高性能化につながります。

QDRII/DDRII と QDRII+/DDRII+の機能とタイミングの相違点

機能の面では、QDRII/DDRII および QDRII+/DDRII+デバイスは同じです。しかし、それらは、QDRII+/DDRII+デバイスの動作の高速化に起因する AC および DC パラメータでの特定の違いがあります。

主な変更点は以下のとおりです。

- 読み出しレイテンシが高ければ高いほど、動作のより高い周波数を達成することができます。
- QDRII/ DDRII は 1.5 サイクルのレイテンシがあり、QDRII+/DDRII+は 2.0 と 2.5 サイクル レイテンシの両方をサポートしています
(注:レイテンシは、1つのデバイスではユーザーが選択可能ではありません。異なるレイテンシを持つデバイスは異なる部品番号を持っています)
- 出カクログ C と \bar{C} は削除されています: 高速 (200MHz 以上) の時、CQ クロックがデータをラッチすることをお勧めします。この場合には、ユーザーは C クロックを実装する必要がありません。
- QVLD ピン:ボード設計が簡単になるように、出力有効インジケータ(QVLD) ピンが追加されます。QVLD は、エコー クロックとエッジが揃っており、出力データ有効まで半サイクル早く発行されます。
- リニア バースト アドレス指定の機能が削除されます: DDRII では、完全な柔軟性のためにバンク選択に使用されている「リニア バースト アドレス指定」機能があります。

DDRII+の場合、この機能が有効にされてもより高い速度を達成することができないため、この機能は削除されています。

- 信号の堅固性の改善: 65nm 技術ノードでは、QDRII+/DDRII+デバイスは ODT 機能付きのデバイスと ODT 機能がない (ODT 無し) のデバイスの 2 種類があります。ODT が備えられたデバイスは、データ入力、バイト書き込み信号、および入力クロック (K/Kb) などの入力のオンダイ終端を持っています。オンダイ終端は、外部終端抵抗のニーズを排除して基板の配線を簡易化させ、費用、基板面積と外部抵抗が消費する電力を減少させるため信号の堅固性を向上させます。オンダイ終端に関する詳細情報は、アプリケーション ノート「AN42468, On-Die Termination for QDRII+/DDRII+ SRAMs」を参照してください。
- ピン配置の変更: QDRII/DDRII デバイスでは、ピン P6 と R6 は C と \bar{C} クロックとして使用されます。ODT 無しの QDRII+/DDRII+では、P6 が QVLD ピンとして使用され、R6 は無接続 (NC) ピンとして使用され、ODT を使った QDRII+/DDRII+では、P6 が QVLD ピン、R6 が ODT として使用されます。DDRII+では、リニア バースト アドレス指定がサポートされていないため、ピン A0 と A1 は無接続です。
- その他:
 - tKH \bar{K} H (K クロック立ち上りエッジから \bar{K} クロックの立ち上りエッジまで) パラメータは、入力クロック周期の 45%から 42.5%になるように修正されます。

すべての相違点の概要を次の表に示しています。AC タイミングと DC パラメータの詳細については、各デバイスのデータシートをご参照ください。

表 1. QDRII/DDRII および QDRII+/DDRII+の相違点

	QDRII/DDRII	QDRII+/DDRII+	注釈
周波数 - 65nm 技術を使ったデバイス	120MHz~333MHz	120MHz~550MHz	2ワード バーストの QDRII+/DDRII+は最大 333MHz まで、4ワード バーストの QDRII+/DDRII+は最大 550MHz までに対応
構成	x8、x9、x18、x36	x18、x36	-
VDD	1.8V±0.1V	1.8V±0.1V	-
VDDQ	1.8V±0.1V または 1.5V±0.1V	1.8V±0.1V または 1.5V±0.1V	-
読み出しレイテンシ	1.5 クロック	2.0 および 2.5 クロック	QDRII+/DDRII+読み出しレイテンシはユーザーが選択できない。2つの異なるデバイスとして提供

表 1. QDRII/DDRII および QDRII+/DDRII+の相違点

	QDRII/DDRII	QDRII+/DDRII+	注釈
入力クロック	シングルエンド (K, \bar{K})	シングルエンド (K, \bar{K})	-
出力クロック (C, \bar{C})	有	なし	-
ODT (オンダイ終端) ^[注 1]	なし	ODT 対応と ODT 無しの 2 種類がある	
A0 (DDR B2)	有	なし	-
A0, A1 (DDR B4)	有	なし	-
エコー クロックの数	1 組	1 組	エコー クロックはシングルエンド
PKG	165 ボール FBGA	165 ボール FBGA	-
個別バイト書き込み ($\bar{B}W_0, \bar{B}W_1$)	有	有	-

注 1 オンダイタ終端に関する詳細情報は、アプリケーション ノート「AN42468, On-Die Termination for QDRII+/DDRII+ SRAMs」を参照してください。

QDRII/DDRII および QDRII+/DDRII+ファ ミリの SRAM デバイスの両方に対応する ために設計変更が必要です。

QDRII+/DDRII+はほとんどのアプリケーション用に高速パスを提供します。これは、ユーザーが QDRII/DDRII および QDRII+/DDRII+デバイスの設計を可能にするために既存の設計に対して特定の設計変更を実施するのに有用です。前述の変更のほとんどは、基板を大幅に変更すること無く実現できます。

変更は以下のように分類することができます：

1. ピン配置の変更
2. ホストコントローラの変更
3. 基板の変更

ピン配置の変更

- QDRII/DDRII でそれぞれ C と \bar{C} クロックとして使用されたピンは ODT 無しの QDRII+/DDRII+デバイスでは、QVLD ピンと NC ピンで置き換えられます。これは、デバイスが出力クロック C および \bar{C} を使用しないことが必要です。また、ピン P6 は 1k Ω の抵抗でハイ レベルにプルアップされる必要があります。これは、QDRII+/DDRII+を設計する時、ピンを開放するために抵抗を切り離すのに役立ちます。ODT が備えられた QDRII+/DDRII+デバイスは C と \bar{C} の代わりに QVLD と ODT ピンを持っています。

ピン R6 (ODT) は入力 ^[注 1]用のインピーダンスの上限と下限を選択するために使用されます。

- DDRII+では、リニア バースト アドレス指定がサポートされていないため、ピン A0 と A1 は無接続です。ピンは内部接続されていて、その接続状態が何の問題もないため、変更の残りの部分に比べてこれは軽微な変更です。これらのピンは、任意の値の抵抗に接続するか、フローティングにしておくことができます。

図 1、図 2 および図 3 では、QDRII、ODT を備えていない QDRII+および ODT を備えた QDRII+の x18 構成のデバイス間のピン配置上の相違点を強調表示しています。

図 4、図 5 および図 6 では、DDRII、ODT を備えない DDRII+、および ODT を備えた DDRII+の x18 構成のデバイスのピン配置上の相違点を強調表示しています。

図 1. QDRII (x18 構成のピン配置)

	1	2	3	4	5	6	7	8	9	10	11
A	\bar{C}	V _{SS} /144M	A	$\bar{W}S_1$	$\bar{B}W_1$	K	NC/288M	$\bar{R}E_1$	A	A	CQ
B	NC	Q9	D9	A	NC	K	$\bar{B}W_0$	A	NC	NC	Q8
C	NC	NC	D10	V _{SS}	A	NC	A	V _{SS}	NC	Q7	D8
D	NC	D11	Q10	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	NC	NC	D7
E	NC	NC	Q11	V _{DDQ}	V _{SS}	V _{SS}	V _{SS}	V _{DDQ}	NC	D6	Q6
F	NC	Q12	D12	V _{DDQ}	V _{DD}	V _{SS}	V _{DD}	V _{DDQ}	NC	NC	Q5
G	NC	D13	Q13	V _{DDQ}	V _{DD}	V _{SS}	V _{DD}	V _{DDQ}	NC	NC	D5
H	DOFF	V _{REF}	V _{DDQ}	V _{DDQ}	V _{DD}	V _{SS}	V _{DD}	V _{DDQ}	V _{DDQ}	V _{REF}	ZQ
J	NC	NC	D14	V _{DDQ}	V _{DD}	V _{SS}	V _{DD}	V _{DDQ}	NC	Q4	D4
K	NC	NC	Q14	V _{DDQ}	V _{DD}	V _{SS}	V _{DD}	V _{DDQ}	NC	D3	Q3
L	NC	Q15	D15	V _{DDQ}	V _{SS}	V _{SS}	V _{SS}	V _{DDQ}	NC	NC	Q2
M	NC	NC	D16	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	NC	Q1	D2
N	NC	D17	Q16	V _{SS}	A	A	A	V _{SS}	NC	NC	D1
P	NC	NC	Q17	A	A	C	A	A	NC	D0	Q0
R	TDO	TCK	A	A	A	\bar{C}	A	A	A	TMS	TDI

図 2. ODT を備えない QDRII+ (x18 構成のピン配置)

	1	2	3	4	5	6	7	8	9	10	11
A	\overline{CQ}	NC/144M	A	\overline{WPS}	\overline{BWS}_1	K	NC/288M	\overline{RPS}	A	A	CQ
B	NC	Q9	D9	A	NC	K	\overline{BWS}_0	A	NC	NC	Q8
C	NC	NC	D10	V_{SS}	A	NC	A	V_{SS}	NC	Q7	D8
D	NC	D11	Q10	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	NC	D7
E	NC	NC	Q11	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	D6	Q6
F	NC	Q12	D12	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	Q5
G	NC	D13	Q13	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	D5
H	\overline{DOFF}	V_{REF}	V_{DDQ}	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	V_{DDQ}	V_{REF}	ZQ
J	NC	NC	D14	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	Q4	D4
K	NC	NC	Q14	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	D3	Q3
L	NC	Q15	D15	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	Q2
M	NC	NC	D16	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	Q1	D2
N	NC	D17	Q16	V_{SS}	A	A	A	V_{SS}	NC	NC	D1
P	NC	NC	Q17	A	A	QVLD	A	A	NC	D0	Q0
R	TDO	TCK	A	A	A	NC	A	A	A	TMS	TDI

図 3. ODT を備えた QDRII+ (x18 構成のピン配置)

	1	2	3	4	5	6	7	8	9	10	11
A	\overline{CQ}	NC/144M	A	\overline{WPS}	\overline{BWS}_1	K	NC/288M	\overline{RPS}	A	A	CQ
B	NC	Q9	D9	A	NC	K	\overline{BWS}_0	A	NC	NC	Q8
C	NC	NC	D10	V_{SS}	A	NC	A	V_{SS}	NC	Q7	D8
D	NC	D11	Q10	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	NC	D7
E	NC	NC	Q11	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	D6	Q6
F	NC	Q12	D12	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	Q5
G	NC	D13	Q13	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	D5
H	\overline{DOFF}	V_{REF}	V_{DDQ}	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	V_{DDQ}	V_{REF}	ZQ
J	NC	NC	D14	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	Q4	D4
K	NC	NC	Q14	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	D3	Q3
L	NC	Q15	D15	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	Q2
M	NC	NC	D16	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	Q1	D2
N	NC	D17	Q16	V_{SS}	A	A	A	V_{SS}	NC	NC	D1
P	NC	NC	Q17	A	A	QVLD	A	A	NC	D0	Q0
R	TDO	TCK	A	A	A	ODT	A	A	A	TMS	TDI

図 4. DDRII (x18 構成のピン配置)

	1	2	3	4	5	6	7	8	9	10	11
A	\overline{CQ}	NC/72M	A	\overline{RW}	\overline{BWS}_1	K	NC/144M	\overline{LD}	A	A	CQ
B	NC	DQ9	NC	A	NC/288M	K	\overline{BWS}_0	A	NC	NC	DQ8
C	NC	NC	NC	V_{SS}	A	A0	A	V_{SS}	NC	DQ7	NC
D	NC	NC	DQ10	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	NC	NC
E	NC	NC	DQ11	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	DQ6
F	NC	DQ12	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	DQ5
G	NC	NC	DQ13	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	NC
H	\overline{DOFF}	V_{REF}	V_{DDQ}	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	V_{DDQ}	V_{REF}	ZQ
J	NC	NC	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	DQ4	NC
K	NC	NC	DQ14	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	DQ3
L	NC	DQ15	NC	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	DQ2
M	NC	NC	NC	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	DQ1	NC
N	NC	NC	DQ16	V_{SS}	A	A	A	V_{SS}	NC	NC	NC
P	NC	NC	DQ17	A	A	C	A	A	NC	NC	DQ0
R	TDO	TCK	A	A	A	C	A	A	A	TMS	TDI

図 5. ODT を備えない DDRII+ (x18 構成のピン配置)

	1	2	3	4	5	6	7	8	9	10	11
A	\overline{CQ}	NC/72M	A	\overline{RW}	\overline{BWS}_1	K	NC/144M	\overline{LD}	A	A	CQ
B	NC	DQ9	NC	A	NC/288M	K	\overline{BWS}_0	A	NC	NC	DQ8
C	NC	NC	NC	V_{SS}	A	NC	A	V_{SS}	NC	DQ7	NC
D	NC	NC	DQ10	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	NC	NC
E	NC	NC	DQ11	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	DQ6
F	NC	DQ12	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	DQ5
G	NC	NC	DQ13	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	NC
H	\overline{DOFF}	V_{REF}	V_{DDQ}	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	V_{DDQ}	V_{REF}	ZQ
J	NC	NC	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	DQ4	NC
K	NC	NC	DQ14	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	DQ3
L	NC	DQ15	NC	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	DQ2
M	NC	NC	NC	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	DQ1	NC
N	NC	NC	DQ16	V_{SS}	A	A	A	V_{SS}	NC	NC	NC
P	NC	NC	DQ17	A	A	QVLD	A	A	NC	NC	DQ0
R	TDO	TCK	A	A	A	NC	A	A	A	TMS	TDI

図 6. ODT を備えた DDRII+ (x18 構成のピン配置)

	1	2	3	4	5	6	7	8	9	10	11
A	\overline{CQ}	NC/72M	A	\overline{RW}	\overline{BWS}_1	K	NC/144M	\overline{LD}	A	A	CQ
B	NC	DQ9	NC	A	NC/288M	K	\overline{BWS}_0	A	NC	NC	DQ8
C	NC	NC	NC	V_{SS}	A	NC	A	V_{SS}	NC	DQ7	NC
D	NC	NC	DQ10	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	NC	NC
E	NC	NC	DQ11	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	DQ6
F	NC	DQ12	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	DQ5
G	NC	NC	DQ13	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	NC
H	\overline{DOFF}	V_{REF}	V_{DDQ}	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	V_{DDQ}	V_{REF}	ZQ
J	NC	NC	NC	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	DQ4	NC
K	NC	NC	DQ14	V_{DDQ}	V_{DD}	V_{SS}	V_{DD}	V_{DDQ}	NC	NC	DQ3
L	NC	DQ15	NC	V_{DDQ}	V_{SS}	V_{SS}	V_{SS}	V_{DDQ}	NC	NC	DQ2
M	NC	NC	NC	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	NC	DQ1	NC
N	NC	NC	DQ16	V_{SS}	A	A	A	V_{SS}	NC	NC	NC
P	NC	NC	DQ17	A	A	QVLD	A	A	NC	NC	DQ0
R	TDO	TCK	A	A	A	ODT	A	A	A	TMS	TDI

ホストコントローラの変更

- レイテンシを 1.5 サイクルから 2.0、2.5 サイクルに変更: 読み出しレイテンシがわずか 1.5 サイクルの QDRII と比べて QDRII+の読み出しレイテンシは、2.0 および 2.5 サイクルに増加されています。ホストコントローラは、2.0 と 2.5 サイクルのレイテンシのどちらかに対応することができるはずですが(それぞれのデバイスが 1 つだけのレイテンシに対応するため、両方のレイテンシに対応する必要はありません)。読み出しレイテンシの 2.0 と 2.5 サイクルのどちらかの選択は、帯域幅とホストコントローラ機能に基づいて、設計の定義フェーズにおいて早い内を選択する必要があります。
- 読み出しデータをラッチするためのエコー クロック: 現時点のデザインでは読み出しデータをラッチするのに K クロック、または C クロックを使用する場合、K クロック、C クロックの代わりに CQ クロックを使用します。データのラッチに CQ クロックを使用するためにはこの設計を変更する必要があります。

基板の変更

- 高い性能: 基板は、最大 550MHz までの速度に対応するように設計される必要があります。
- 出力有効インジケータ: QDRII+を設計する際に QVLD 信号を含み、この信号を利用するように基板を修正する必要があります。
- 終端抵抗無し: 基板に、ODT を備えた QDRII+/DDRII+ デバイス用の終端抵抗を搭載してはなりません。

結論

65nm の QDRII+/DDRII+のデバイスは、既存の基板に対していくつかの僅かな変更を行うことにより、高い帯域幅使用性能を実現する機能とデザインを新規作成する機能を提供します。QDRII/DDRII および QDRII+/DDRII+デバイスの要件を満たすよう基板とホスト コントローラを設計することにより、システムは、最大 550MHz までの高性能または 80Gbps の帯域幅に対応することができます。

変更履歴

文書名: AN6017 - 65nm QDR™ II/DDRII と QDRII+/DDRII+メモリ インターフェースの実装間の相違点

文書番号: 001-92734

版	ECN	変更者	発行日	変更内容
**	4395708	HZEN	05/30/2014	これは英語版 001-16631 Rev. *D を翻訳した日本語版 Rev. **です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電源管理	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
光学式ナビゲーションセンサ	cypress.com/go/ons
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラ	cypress.com/go/usb
Wireless/RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 5

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカルサポート

cypress.com/go/support

2007 年 3 月、サイプレスは新しい文書番号と改訂コードでアプリケーションノートをすべて再分類しました。文書のフッターに記載されたこの新しい文書番号とリビジョン コード (rev. **で始まる 001-xxxxx)、は以降のすべてのリビジョンで使用されます。

QDR RAM とクワッドデータレート RAM は、サイプレス社、IDT 社、NEC エレクトロニクス、ルネサス、およびサムスンが開発した新しいファミリーの製品です。本書で言及するその他すべての商標または登録商標は、各社の所有物です。



Cypress Semiconductor Phone : 408-943-2600
198 Champion Court Fax : 408-943-4730
San Jose, CA 95134-1709 Website : www.cypress.com

© Cypress Semiconductor Corporation, 2008-2014. 本書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレスセミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレスセミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレスセミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェアおよび/またはファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することは全て禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレスソフトウェアライセンス契約によって制限され、かつ制約される場合があります。