

## 实现 65 nm QDR™ II/DDRII 和 QDRII+/DDRII+ 存储器接口的差别

作者: Jayasree Nayar

相关项目: 无

相关器件系列: CY7C13xxKV18、CY7C14xxKV18、CY7C15xxKV18、  
CY7C25xxKV18、CY7C16xxKV18、CY7C26xxKV18

软件版本: NA

相关应用笔记: AN4065、AN42468

本应用笔记说明了 65 nm QDRII/DDRII 和 QDRII+/DDRII+ 器件间的差别, 还包含了它们的设计指南。

### 简介

存储器器件正在不断发展, 以满足各种应用的需要, 如高性能通信、网络和数据信号处理 (DSP) 系统。专用存储器产品已为特定系统架构优化了存储器宽带, 这些产品能够增强各种数据处理系统的整体性能。系统操作速度可超过 400 MHz。由 QDR 联盟发布的 65 nm QDR 系列的新一代 SRAM 满足这些要求。同现有的 QDRII 和 DDRII 产品相比, QDRII+ 和 DDRII+ 产品可提高 50% 的速度。即使使用同一个封装尺寸以及 165 球形焊盘小间距球栅阵列 (FBGA) 的封装, QDRII+ 和 DDRII+ 产品仍能够提供比相应的 QDRII 和 DDRII 高 80 Gbps 的宽带。QDRII+/DDRII+ 架构利用现有的基础架构来创造性能更高的产品, 并允许直接转换为更高的频率。

QDR 和 DDR 系列的 SRAM 为设计师提供了几乎所有网络应用的完整存储器解决方案。QDRII/QDRII+ 器件具有的两个端口能在两倍于所选的时钟频率下独立运行, 并能够允许通过这些端口在一个时钟周期内传输四个数据字。DDRII/DDRII+ 器件允许在普通的 IO 数据总线上以双倍数据速率进行传输操作。

本应用笔记介绍了 65 nm QDRII/DDRII 和 QDRII+/DDRII+ 器件的差别, 并包含了这两代器件的设计指南。欲了解 SRAM 的 QDRII/DDRII 系列的特定设计指南, 请参考应用笔记, AN4065 — QDR™-II、QDR-II+、DDR-II 和 DDR-II+ 设计指南。

- QDRII+/DDRII+ SRAM 器件的说明
- QDRII/DDRII 和 QDRII+/DDRII+ 的性能与时序的差别
- 需要修改设计, 以满足同 QDRII/DDRII 和 QDRII+/DDRII+ SRAM 器件相兼容。

### QDRII+/DDRII+ SRAM 器件的说明

赛普拉斯以及其他的 QDR 联盟成员已经定义了高性能通信系统中的 65 nm QDRII+/DDRII+ SRAM 器件架构, 以便能够支持高达 550 MHz 的频率。QDRII+/DDRII+ SRAM 器件是针对 SRAM 现有 QDRII/DDRII 系列的频率和性能的扩展。

QDRII+/DDRII+ SRAM 器件在功能上类似于 QDRII/DDRII SRAM。QDRII+/DDRII+ 器件的时序与 QDRII/DDRII 器件有些许不同。然而, 这两种器件, 因其功能相似、只要将主机控制器的软件和电路板稍做更改, 它们可以根据应用互换使用。QDRII/DDRII 和 QDRII+/DDRII+ 的设计为现有的 QDRII/DDRII 设计要求的更高性能铺平了道路。

## QDRII/DDRII 和 QDRII+/DDRII+的功能和时序的差别

QDRII/DDRII 和 QDRII+/DDRII+器件从功能方面讲是相同的。但由于 QDRII+/DDRII+器件的操作速度较高，因此它们间的交流和直流参数有一定的差异。

主要变化如下：

- 更长的读取延迟使得允许的工作频率更高。
- QDRII/DDRII 的延迟为 1.5 个周期，而 QDRII+/DDRII+ 分别支持延迟 2.0 和 2.5 个周期。  
(注意：在器件中，用户不可选择延迟。料号不同的器件，其延迟也不同)。
- 输出时钟 C 和  $\bar{C}$  将被移除：在高频率（200 MHz 以上）条件下，推荐使用 CQ 时钟锁存数据。此时，用户不需要实现 C 时钟。
- QVLD 引脚：为了便于设计电路板，将添加一个输出有效指示器（QVLD）引脚。QVLD 与随路时钟是边沿对齐的，并在输出数据有效前输出半个周期。
- 线性突发寻址性能被移除：在 DDRII 中，“线性突发寻址”特性用于选择具有完整灵活性的分组。在

DDRII+中，由于该特性有效时不能满足高速度的要求，因此被移除。

- 提高信号的完整性：在 65 nm 技术节点中，可按下面两种形式提供 QDRII+/DDRII+器件：ODT 使能和 ODT 被禁用（即没有 ODT）的器件。ODT 使能的器件具有一个用于各输入（如数据输入、字节写信号和输入时钟（K/Kb））的片内终端。由于片内终端不需要使用外部终端电阻，因此它能够提高信号的完整性，从而简化电路板的布线，并降低成本、电路板面积和外部电阻的功耗。更多有关片内终端的详细信息，请查看应用笔记 [AN42468 — QDRII+/DDRII+ SRAM 的片内终端](#)。
- 引脚布局的更改：在 QDRII/DDRII 器件中，引脚 P6 和 R6 作为 C 和  $\bar{C}$  时钟使用。在 ODT 被禁用的 QDRII+/DDRII+器件中，P6 作为 QVLD 引脚使用，R6 上无任何连接；而在 ODT 被使能的 QDRII+/DDRII+中，P6 作为 QVLD 引脚，R6 是一个 ODT。在 DDRII+中，由于不支持线性突发寻址功能，因此 A0 和 A1 引脚未被连接。
- Miscellaneous:
  - 已将  $t_{KH\bar{K}H}$ （从 K 时钟的上升沿到  $\bar{K}$  时钟的上升沿）参数从占有输入时钟周期的 45% 改为 42.5%。

下表总结了它们的所有差别。欲了解有关交流时序和直流参数，请参考相应器件的数据手册。

表 1. QDRII/DDRII 和 QDRII+/DDRII+间的差别

	QDRII / DDRII	QDRII+ / DDRII+	备注
频率（针对于 65 nm 技术的器件）	120 MHz ~ 333 MHz	120 MHz ~ 550 MHz	2 字突发的 QDRII+/DDRII+ 支持最高频率为 333 MHz；4 字突发的 QDRII+/DDRII+ 支持最高频率为 550 MHz。
组织	x8、x9、x18、x36	x18、x36	-
VDD	1.8 V ± 0.1 V	1.8 V ± 0.1 V	-
VDDQ	1.8 V ± 0.1 V 或 1.5 V ± 0.1 V	1.8 V ± 0.1 V 或 1.5 V ± 0.1 V	-
读延迟	1.5 个时钟周期	2.0 和 2.5 个时钟周期	用户无法选择 QDRII+/DDRII+。为两个不同的器件提供该读延迟。
输入时钟	单端（K、 $\bar{K}$ ）	单端（K、 $\bar{K}$ ）	-
输出时钟（C、 $\bar{C}$ ）	有	无	-
ODT（片内终端） <sup>[注意 1]</sup>	无	ODT 和非 ODT 版本提供	
A0 (DDR B2)	有	无	-
A0、A1 (DDR B4)	有	无	-

表 1. QDRII/DDRII 和 QDRII+/DDRII+ 间的差别

	QDRII / DDRII	QDRII+ / DDRII+	备注
随路时钟数量	一对	一对	随路时钟是单终端的
PKG	165 球形焊盘 FBGA	165 球形焊盘 FBGA	-
单字节写入 ( $\overline{BW}_0$ 、 $\overline{BW}_1$ )	有	有	-

注意 1: 更多有关片内终端的详细信息, 请查看应用笔记 AN42468 — QDRII+/DDRII+ SRAM 的片内终端。

## 需要更改设计以使 QDRII/DDRII 和 QDRII+/DDRII+ SRAM 器件相兼容。

QDRII+/DDRII+ 可为大部分应用提供速度较高的路径。这是很有利的, 因为您只需对设计做一些更改, 就可以使已有设计采用 QDRII/DDRII 和 QDRII+/DDRII+ 之中的一个。可以进行上一节所述的大部分更改, 而无需大量更改电路板。

这些更改可划分为:

1. 引脚布局的更改
2. 主机控制器的更改
3. 电路板的更改

### 引脚布局的更改

- 在 ODT 被禁用的 QDRII+/DDRII+ 器件中, 将 QDRII/DDRII 中的 C 和  $\overline{C}$  时钟的引脚分别替换为 QVLD 和 NC 引脚。因此要求设计不得使用输出时钟 C 和  $\overline{C}$ 。另外, 还要使用 1 k $\Omega$  的电阻将 P6 上拉为高电平。这样在设计 QDRII+/DDRII+ 时会断开与电阻的连接, 使引脚悬空。在 ODT 使能的 QDRII+/DDRII+ 器件中, C 和  $\overline{C}$  引脚被相应替换为 QVLD 和 ODT。R6 (ODT) 引脚用于选择输入阻抗的高范围或低范围<sup>[注意 1]</sup>。
- 在 DDRII+ 中, 由于不支持线性突发寻址功能, 所以 A0 和 A1 引脚均未被连接。同剩余各更改相比, 它只是一个小规模更改, 因为引脚都是内部粘滞的, 所有的连接状态不受影响。可以将它们设置为任何值或保持为悬空。

图 1、图 2 和图 3 突出显示的是 x18 组织方式的 QDRII、非 ODT QDRII+ 和 ODT 使能的 QDRII+ 等器件之间的引脚分布差别。

图 4、图 5 和图 6 分别突出显示了 x18 组织方式的 DDRII、非 ODT 的 DDRII+ 和 ODT 使能的 DDRII+ 等器件之间的引脚分布差别。

图 1. QDRII (x18 引脚分布)

	1	2	3	4	5	6	7	8	9	10	11
A	$\overline{CQ}$	V <sub>SS</sub> /144M	A	$\overline{WPS}$	$\overline{BWS}_1$	K	NC/288M	$\overline{RPS}$	A	A	CQ
B	NC	Q9	D9	A	NC	K	$\overline{BWS}_0$	A	NC	NC	Q8
C	NC	NC	D10	V <sub>SS</sub>	A	NC	A	V <sub>SS</sub>	NC	Q7	D8
D	NC	D11	Q10	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	NC	NC	D7
E	NC	NC	Q11	V <sub>DDQ</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>DDQ</sub>	NC	D6	Q6
F	NC	Q12	D12	V <sub>DDQ</sub>	V <sub>DD</sub>	V <sub>SS</sub>	V <sub>DD</sub>	V <sub>DDQ</sub>	NC	NC	Q5
G	NC	D13	Q13	V <sub>DDQ</sub>	V <sub>DD</sub>	V <sub>SS</sub>	V <sub>DD</sub>	V <sub>DDQ</sub>	NC	NC	D5
H	$\overline{DOFF}$	V <sub>REF</sub>	V <sub>DDQ</sub>	V <sub>DDQ</sub>	V <sub>DD</sub>	V <sub>SS</sub>	V <sub>DD</sub>	V <sub>DDQ</sub>	V <sub>DDQ</sub>	V <sub>REF</sub>	ZQ
J	NC	NC	D14	V <sub>DDQ</sub>	V <sub>DD</sub>	V <sub>SS</sub>	V <sub>DD</sub>	V <sub>DDQ</sub>	NC	Q4	D4
K	NC	NC	Q14	V <sub>DDQ</sub>	V <sub>DD</sub>	V <sub>SS</sub>	V <sub>DD</sub>	V <sub>DDQ</sub>	NC	D3	Q3
L	NC	Q15	D15	V <sub>DDQ</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>DDQ</sub>	NC	NC	Q2
M	NC	NC	D16	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	NC	Q1	D2
N	NC	D17	Q16	V <sub>SS</sub>	A	A	A	V <sub>SS</sub>	NC	NC	D1
P	NC	NC	Q17	A	A	C	A	A	NC	D0	Q0
R	TDO	TCK	A	A	A	$\overline{C}$	A	A	A	TMS	TDI

图 2. 非 ODT 的 QDRII+ (x18 引脚分布)

	1	2	3	4	5	6	7	8	9	10	11
A	$\overline{CQ}$	NC/144M	A	$\overline{WPS}$	$\overline{BWS}_1$	K	NC/288M	$\overline{RPS}$	A	A	CQ
B	NC	Q9	D9	A	NC	K	$\overline{BWS}_0$	A	NC	NC	Q8
C	NC	NC	D10	V <sub>SS</sub>	A	NC	A	V <sub>SS</sub>	NC	Q7	D8
D	NC	D11	Q10	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	NC	NC	D7
E	NC	NC	Q11	V <sub>DDQ</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>DDQ</sub>	NC	D6	Q6
F	NC	Q12	D12	V <sub>DDQ</sub>	V <sub>DD</sub>	V <sub>SS</sub>	V <sub>DD</sub>	V <sub>DDQ</sub>	NC	NC	Q5
G	NC	D13	Q13	V <sub>DDQ</sub>	V <sub>DD</sub>	V <sub>SS</sub>	V <sub>DD</sub>	V <sub>DDQ</sub>	NC	NC	D5
H	$\overline{DOFF}$	V <sub>REF</sub>	V <sub>DDQ</sub>	V <sub>DDQ</sub>	V <sub>DD</sub>	V <sub>SS</sub>	V <sub>DD</sub>	V <sub>DDQ</sub>	V <sub>DDQ</sub>	V <sub>REF</sub>	ZQ
J	NC	NC	D14	V <sub>DDQ</sub>	V <sub>DD</sub>	V <sub>SS</sub>	V <sub>DD</sub>	V <sub>DDQ</sub>	NC	Q4	D4
K	NC	NC	Q14	V <sub>DDQ</sub>	V <sub>DD</sub>	V <sub>SS</sub>	V <sub>DD</sub>	V <sub>DDQ</sub>	NC	D3	Q3
L	NC	Q15	D15	V <sub>DDQ</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>DDQ</sub>	NC	NC	Q2
M	NC	NC	D16	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	V <sub>SS</sub>	NC	Q1	D2
N	NC	D17	Q16	V <sub>SS</sub>	A	A	A	V <sub>SS</sub>	NC	NC	D1
P	NC	NC	Q17	A	A	QVLD	A	A	NC	D0	Q0
R	TDO	TCK	A	A	A	NC	A	A	A	TMS	TDI

图 3. ODT 使能的 QDRII+ (x18 引脚分布)

	1	2	3	4	5	6	7	8	9	10	11
A	$\overline{CQ}$	NC/144M	A	$\overline{WFS}$	$\overline{BWS}_1$	K	NC/288M	$\overline{RPS}$	A	A	CQ
B	NC	D9	D9	A	NC	K	$\overline{BWS}_0$	A	NC	NC	D8
C	NC	NC	D10	$V_{SS}$	A	NC	A	$V_{SS}$	NC	Q7	D8
D	NC	D11	Q10	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	NC	NC	D7
E	NC	NC	Q11	$V_{DD0}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{DD0}$	NC	D6	Q6
F	NC	Q12	D12	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	NC	NC	Q5
G	NC	D13	Q13	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	NC	NC	D5
H	$\overline{DOFF}$	$V_{REF}$	$V_{DD0}$	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	$V_{DD0}$	$V_{REF}$	ZQ
J	NC	NC	D14	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	NC	Q4	D4
K	NC	NC	Q14	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	NC	D3	Q3
L	NC	Q15	D15	$V_{DD0}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{DD0}$	NC	NC	Q2
M	NC	NC	D16	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	NC	Q1	D2
N	NC	D17	Q16	$V_{SS}$	A	A	A	$V_{SS}$	NC	NC	D1
P	NC	NC	Q17	A	A	<b>QVLD</b>	A	A	NC	D0	Q0
R	TDO	TCK	A	A	A	<b>ODT</b>	A	A	A	TMS	TDI

图 4. DDRII (x18 引脚分布)

	1	2	3	4	5	6	7	8	9	10	11
A	$\overline{CQ}$	NC/72M	A	$\overline{R/W}$	$\overline{BWS}_1$	K	NC/144M	$\overline{LD}$	A	A	CQ
B	NC	D09	NC	A	NC/288M	K	$\overline{BWS}_0$	A	NC	NC	D08
C	NC	NC	NC	$V_{SS}$	A	<b>A0</b>	A	$V_{SS}$	NC	DQ7	NC
D	NC	NC	DQ10	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	NC	NC	NC
E	NC	NC	DQ11	$V_{DD0}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{DD0}$	NC	NC	DQ6
F	NC	DQ12	NC	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	NC	NC	DQ5
G	NC	NC	DQ13	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	NC	NC	NC
H	$\overline{DOFF}$	$V_{REF}$	$V_{DD0}$	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	$V_{DD0}$	$V_{REF}$	ZQ
J	NC	NC	NC	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	NC	DQ4	NC
K	NC	NC	DQ14	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	NC	NC	DQ3
L	NC	DQ15	NC	$V_{DD0}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{DD0}$	NC	NC	DQ2
M	NC	NC	NC	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	NC	DQ1	NC
N	NC	NC	DQ16	$V_{SS}$	A	A	A	$V_{SS}$	NC	NC	NC
P	NC	NC	DQ17	A	A	<b>C</b>	A	A	NC	NC	DQ0
R	TDO	TCK	A	A	A	<b><math>\overline{C}</math></b>	A	A	A	TMS	TDI

图 5. 非 ODT 的 DDRII+ (x18 引脚分布)

	1	2	3	4	5	6	7	8	9	10	11
A	$\overline{CQ}$	NC/72M	A	$\overline{R/W}$	$\overline{BWS}_1$	K	NC/144M	$\overline{LD}$	A	A	CQ
B	NC	D09	NC	A	NC/288M	K	$\overline{BWS}_0$	A	NC	NC	D08
C	NC	NC	NC	$V_{SS}$	A	<b>NC</b>	A	$V_{SS}$	NC	DQ7	NC
D	NC	NC	DQ10	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	NC	NC	NC
E	NC	NC	DQ11	$V_{DD0}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{DD0}$	NC	NC	DQ6
F	NC	DQ12	NC	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	NC	NC	DQ5
G	NC	NC	DQ13	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	NC	NC	NC
H	$\overline{DOFF}$	$V_{REF}$	$V_{DD0}$	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	$V_{DD0}$	$V_{REF}$	ZQ
J	NC	NC	NC	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	NC	DQ4	NC
K	NC	NC	DQ14	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	NC	NC	DQ3
L	NC	DQ15	NC	$V_{DD0}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{DD0}$	NC	NC	DQ2
M	NC	NC	NC	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	NC	DQ1	NC
N	NC	NC	DQ16	$V_{SS}$	A	A	A	$V_{SS}$	NC	NC	NC
P	NC	NC	DQ17	A	A	<b>QVLD</b>	A	A	NC	NC	DQ0
R	TDO	TCK	A	A	A	<b>NC</b>	A	A	A	TMS	TDI

图 6. ODT 使能的 DDRII+ (x18 引脚分布)

	1	2	3	4	5	6	7	8	9	10	11
A	$\overline{CQ}$	NC/72M	A	$\overline{R/W}$	$\overline{BWS}_1$	K	NC/144M	$\overline{LD}$	A	A	CQ
B	NC	D09	NC	A	NC/288M	K	$\overline{BWS}_0$	A	NC	NC	D08
C	NC	NC	NC	$V_{SS}$	A	<b>NC</b>	A	$V_{SS}$	NC	DQ7	NC
D	NC	NC	DQ10	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	NC	NC	NC
E	NC	NC	DQ11	$V_{DD0}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{DD0}$	NC	NC	DQ6
F	NC	DQ12	NC	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	NC	NC	DQ5
G	NC	NC	DQ13	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	NC	NC	NC
H	$\overline{DOFF}$	$V_{REF}$	$V_{DD0}$	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	$V_{DD0}$	$V_{REF}$	ZQ
J	NC	NC	NC	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	NC	DQ4	NC
K	NC	NC	DQ14	$V_{DD0}$	$V_{DD}$	$V_{SS}$	$V_{DD}$	$V_{DD0}$	NC	NC	DQ3
L	NC	DQ15	NC	$V_{DD0}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{DD0}$	NC	NC	DQ2
M	NC	NC	NC	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	$V_{SS}$	NC	DQ1	NC
N	NC	NC	DQ16	$V_{SS}$	A	A	A	$V_{SS}$	NC	NC	NC
P	NC	NC	DQ17	A	A	<b>QVLD</b>	A	A	NC	NC	DQ0
R	TDO	TCK	A	A	A	<b>ODT</b>	A	A	A	TMS	TDI

### 主机控制器的更改

- 将延迟从 1.5 个周期修改为 2.0 和 2.5 个周期：在 QDRII+ 中，读延迟会从 QDRII 中的 1.5 个周期增加到 2.0 和 2.5 个周期。主机控制器应支持 2.0 或 2.5 个周期的延迟（不必同时支持两个延迟，因为每个器件只支持一个）。根据带宽和主机的性能，应早在设计定义阶段中选择两个读延迟（2.0 和 2.5 个周期）中的一个。
- 随路时钟以锁存读数据：如果 CQ 时钟位于现有的设计中，则设计会使用 K 或 C 时钟锁存读数据。应进行修改，以能够使用 CQ 时钟锁存数据。

## 电路板的更改

- 性能更强：应设计电路板，以便支持高达 550 MHz 的速度。
- 输出有效指示器：应该修改电路板，以满足在设计 QDRII+ 时添加并利用 QVLD 信号。
- 无终端电阻：电路板不应该向 ODT 所使能的 QDRII+/DDRII+ 器件添加终端电阻。

## 结论

65 nm QDRII+/DDRII+ 器件支持通过对现有的电路板进行稍微更改来获得高性能及带宽并创建新设计。通过设计电路板和主机控制器来满足 QDRII/DDRII 和 QDRII+/DDRII+ 器件的要求，系统可以支持高性能要求的 550 MHz 的频率或 80 Gbps 带宽。

## 文档修订记录

文档标题: 实现 65 nm QDR™II/DDRII 和 QDRII+/DDRII+ 存储器接口之间的差别 AN6017

文档编号: 001-92152

修订版	ECN	原始变更	提交日期	变更说明
**	4346090	RLIU	04/26/2014	本档版本号为 Rev**, 译自英文版 001-16631 Rev*D。

## 全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

### 产品

汽车	<a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a>
时钟与缓冲区	<a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>
接口	<a href="http://cypress.com/go/interface">cypress.com/go/interface</a>
照明和电源控制	<a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a> <a href="http://cypress.com/go/plc">cypress.com/go/plc</a>
存储器	<a href="http://cypress.com/go/memory">cypress.com/go/memory</a>
光学导航传感器	<a href="http://cypress.com/go/ons">cypress.com/go/ons</a>
PSoC	<a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>
触摸感应	<a href="http://cypress.com/go/touch">cypress.com/go/touch</a>
USB 控制器	<a href="http://cypress.com/go/usb">cypress.com/go/usb</a>
无线/射频	<a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>

### PSoC®解决方案

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)  
PSoC 1 | PSoC 3 | PSoC 5

### 赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

### 技术支持

[cypress.com/go/support](http://cypress.com/go/support)

在 2007 年 3 月份，赛普拉斯使用新的文档编号和修订代码对所有的应用笔记进行了重新编目。新的文档编号和修订代码（001-xxxxx，以修订版\*\*开始）位于文档的脚注中，并将用于所有后续版本。

QDR RAM 和四倍数据速率 RAM 构成了由赛普拉斯、IDT、NEC、瑞萨和三星开发的新产品系列。此处引用的所有商标或注册商标归其各自所有者所有。



赛普拉斯半导体  
198 Champion Court  
San Jose, CA 95134-1709  
电话 : 408-943-2600  
传真 : 408-943-4730  
网站 : [www.cypress.com](http://www.cypress.com)

©赛普拉斯半导体公司，2008 - 2014。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于合理预计会发生运行异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯将不批准将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定用途外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对该材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不另行通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而导致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用受适用的赛普拉斯软件许可协议限制并完全按照此协议使用。