

QDR[®] II+/DDR II+ SRAM のオンダイ終端

作成者: Jayasree Nayar/Pritesh Mandaliya
関連プロジェクト: なし
関連製品ファミリ: QDR/DDR-II+/II+Xtreme
ソフトウェア バージョン: 該当なし
関連アプリケーション ノート: AN4065

本アプリケーションノートについて、ご質問がある場合または手助けが必要な場合は、作成者のメール アドレス priti@cypress.com までお問い合わせください。

AN42468 では、65nm プロセス技術を使ったデバイスに搭載される QDR™II+と DDRII+ファミリの同期式 SRAM のオンダイ終端 (ODT) 方式、実装、利点および消費電力計算を説明します。

はじめに

高周波数信号は、伝送回線で損失を引き起こしやすく、受信端で信号の歪みを生じます。これは、レシーバの情報解釈機能に影響を与えます。伝送線上の信号の歪みを最小化するためには、伝送線上のあらゆる場所のインピーダンスは、伝送線全体にわたって均一である必要があります。伝送回線に何らかの理由（断線、インピーダンスの不連続、異なる材質）でインピーダンスが均一ではないところがある場合、信号がインピーダンスの異なる位置で、反射により変形され、信号の歪みやリングングなどになります。

信号経路に、インピーダンスの不連続（インピーダンス不整合）がある場合、信号回路の不連続点に、信号パスのインピーダンスに相当する終端インピーダンスを配置します。

終端方法はいろいろあります。

- 外部抵抗を使用する方法 – 伝送回線の終端に、適切な抵抗値を持つ外部抵抗を接続します。
- オンダイ終端 (ODT) – ダイに終端抵抗を内蔵します。

このアプリケーション ノートでは、オンダイ終端について説明します。

ODT は次の利点をもたらします:

- デバイスの入力の近くに終端を配置することで信号品質（シグナル インテグリティ）を向上させます。
- 基板配線を簡易化できます。
- 外部抵抗を撤廃することにより基板の面積が節約できます。
- 外部終端抵抗に関する様々なコストを削減できます。

QDRII+と DDRII+ SRAM に ODT 機能が備わっています

サイプレスは、65nm プロセス技術を使った QDRII+、DDRII+ SRAM ファミリー デバイスの HSTL 入力信号（データ入力、K/Kb クロックおよび BWSb）に ODT 機能を付けています。QDRII+、DDRII+の SRAM は 2 種類あります:

- ODT 機能のないデバイス
- ODT 機能のあるデバイス – このデバイスオプションに対しては、ODT 機能を無効にすることはできません。

ODT 機能のある QDRII+と DDRII+の SRAM の場合、ODT は以下の入力信号に用意されています。

- 入力クロック (K と Kb クロック)
- データ入力信号
- 制御信号 (バイト書き込み選択信号)

QDRII+と DDRII+ファミリの SRAM での ODT 実装

ODT 機能のあるデバイスでは、165 ボール BGA パッケージのピン R6 が ODT 範囲選択用に使用されます。ODT 範囲選択は、SRAM の電源投入の初期化時に行われます。

ODT の値は ZQ ピンに接続された外部抵抗 RQ の値により調整され、出力インピーダンスを設定します。

インピーダンス許容誤差±15%を保証する RQ の許容範囲は 175Ω～350Ω です。

ODT の範囲設定は 2 種類あります:

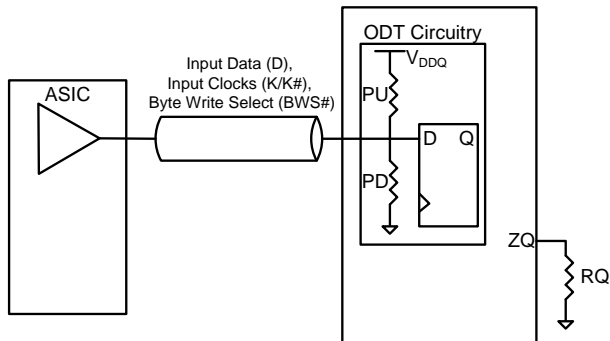
- LOW 範囲 – ODT ピン (ピン R6) を LOW に接続することにより設定されます。インピーダンス範囲は式 $RQ/3.33$ (ここで $175 \Omega \leq RQ \leq 350 \Omega$) に基づいた $52.5\Omega \sim 105\Omega$ (テブナン等価) になります。
- HIGH 範囲 – ODT ピン (ピン R6) を HIGH に接続することにより設定されます。インピーダンス範囲は式 $RQ/1.66$ (ここで $175 \Omega \leq RQ \leq 250 \Omega$) に基づいた $105\Omega \sim 150\Omega$ (テブナン等価) になります。RQ 値が 250Ω を超える場合はインピーダンス値の許容誤差は保証されません。

ODT ピンが開放されたままの場合は、デフォルトで HIGH 範囲に設定されます。

共通 I/O バスのある DDRII+ SRAM では、ODT は、SRAM が入力として使用される場合は自動的に有効になり、データを出力する場合は無効になります。QDR-II、QDR-II+、DDR-II、および DDR-II+ SRAM デバイスの終端処理技術の詳細は、AN4065 を参照してください。

図 1 に、QDRII+と DDRII+ SRAM の HSTL 入力信号での ODT 機能の実装を示します。

図 1. QDRII+/DDRII+ SRAM での ODT 実装法



注

1. QDRII+、DDRII+ SRAM の AC タイミング パラメータには、ODT 機能の有無による相違点はありません。
2. ODT 機能があっても、I_{dd} (コア電圧電源からの消費電流) の増加はありません。これは、ODT 回路の電源がコア電圧 (V_{dd}) ではなく、I/O 電源電圧 (V_{ddq}) によって供給されるためです。
3. I/O 切り替えが無くて、QDRII+ SRAM では、ODT が有効になっています。
4. ODT 機能がある場合、I_{ddq} (I/O 電圧電源からの電流消費) は 50%程度増加します。
5. ODT 機能が有効なデバイスは ODT 機能が無いデバイスに比べて消費電力がより高いので、サイプレスは、これらのシステム内でエアフローやヒートシンクなどの冷却方法をお勧めします。

6. ODT 機能があるデバイスでは、ODT 機能を無効にすることはできません。
7. 共通 I/O アーキテクチャのある DDRII+ SRAM では、ODT は、SRAM がデータを入力する場合は自動的に有効になり、データを出力する場合は無効になります。独立した I/O アーキテクチャのある DDRII+ SRAM では、ODT は常に有効になっています。

消費電力の計算

ODT 機能のあるデバイスの総消費電力を計算するための式は以下になります。

$$\text{合計消費電力} = \text{コア消費電力} + \text{I/O 切り替え時消費電力} + \text{ODT 消費電力} \quad \text{式 1}$$

下節では、ODT の消費電力を計算する方法について説明します。

ODT 電力消費を導くために使用される HSTL 入力終端回路については、図 2 を参照してください。

図 2. 入力終端回路

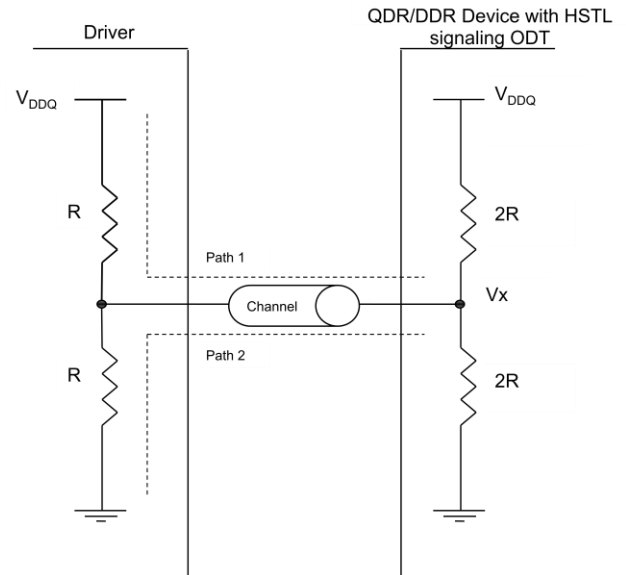


図 2 は ODT 機能のあるデバイスを駆動しているドライバーを示しています。

ドライバー側電源インピーダンスは「R」で示されます。入力 ODT 抵抗は、「2R」で示されます。これは、インピーダンス整合回路を示しています。

駆動側が「1」か「0」のどちらを駆動しているかということにより、パス 1 またはパス 2 がアクティブになります。どの場合でも、消費電力は同じです。

パス 1 の場合: 電圧 V_x は、以下の式で計算されます。

$$\begin{aligned}V_x &= 2 R \times V_{ddq} / (2R + (R \parallel 2R)) \\ &= 2 R \times V_{ddq} / (2R + 2R/3) \\ &= (3/4) V_{ddq}\end{aligned}$$

式 2

プルアップおよびプルダウン抵抗の消費電力は、次の式で計算されます:

$$\begin{aligned}\text{ODT 消費電力} &= \{ (V_{ddq} - V_x)^2 / 2R \} + \{ (V_x)^2 / 2R \} \\ &= 1/(32R) \times (V_{ddq})^2 + (9/32R) \times (V_{ddq})^2 \\ &= 5/(16R) \times V_{ddq}^2\end{aligned}$$

式 3

従って、

ODT 消費電力 = $5/(16R) \times V_{ddq}^2 \times (\text{ODT 抵抗のある入力の数})$

詳細については、同期式 SRAM 製品の消費電力と接合部温度の計算用オンライン ツールを参照してください。

まとめ

QDRII+, DDRII+ファミリのデバイスに備わった ODT 機能は、300MHz より高い周波数で信号品質を向上させます。この機能により外部終端抵抗を撤廃することが出来るため、基板の面積とこれら外部抵抗関連費用を削減することができます。

改訂履歴

文書名: QDR® II+/DDR II+ SRAM のオンダイ終端 - AN42468

文書番号: 001-92732

版	ECN 番号	変更者	発行日	変更内容
**	4395710	HZEN	06/11/2014	これは英語版 001-42468 Rev. *F を翻訳した日本語版 001-92732 Rev. **です。
*A	4722964	HZEN	04/25/2015	これは英語版 001-42468 Rev. *G を翻訳した日本語版 001-92732 Rev. *A です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電源管理	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
光学式ナビゲーション センサー	cypress.com/go/ons
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/usb
無線/RF	cypress.com/go/wireless

PSoC®ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

Quad Data Rate™ SRAMとQDR® SRAMは、サイプレス社、IDT社、ルネサス、およびサムスンが開発した新しいファミリの製品です。クワッドデータレートおよびQDRは、サイプレス セミコンダクタ社の登録商標です。本書で言及するその他すべての商標または登録商標は、各社の所有物です。



Cypress Semiconductor Phone : 408-943-2600
198 Champion Court Fax : 408-943-4730
San Jose, CA 95134-1709 Website : www.cypress.com

© Cypress Semiconductor Corporation, 2007-2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンスに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンスの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、交換、コンパイル、または表示することは全て禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ契約の対象となる場合があります。