

QDR® II+/DDR II+ SRAM 的片上终端

作者: **Jayasree Nayar/Pritesh Mandaliya**

相关项目: 无

相关器件系列: **QDR/DDR-II+/II+Xtreme**

软件版本: **NA**

相关应用笔记: **AN4065**

如果您对本应用笔记有任何问题或者需要获得帮助, 请通过 prit@cypress.com 联系本文作者

AN42468 介绍了采用 65 nm 技术的同步 SRAM 中 QDR™II+ 和 DDRII+ 系列设备的片上终端 (ODT) 结构、实现、优势以及功率计算。

简介

高频信号在传输线路上很容易消失, 造成接收器上信号失真。这样会影响接收器正确解析信息的能力。如要通过传输线路最小化信号失真, 则整个传输线路上所有位置的阻抗必须相同。如果由于某些原因 (开路、阻抗不连续、不同的材料) 导致线路上某个位置的阻抗与其他位置的阻抗不同, 那么, 信号将在阻抗变化的位置被修改, 从而引起信号失真、报警等。

当信号路径上出现阻抗不连续现象 (即阻抗不匹配) 时, 将在线路上阻抗不连续位置放置与其大小相同的终端阻抗。

终端方法包括:

- 使用外部电阻 — 在传输线路上装上一个阻值大小合适的外部电阻器。
- 片上终端 (ODT) — 在芯片上嵌入终端电阻。

本应用笔记介绍的是片上终端方法。

ODT 有下面优点:

- 通过使终端靠近器件输入来提高信号的完整性
- 简化电路板的布线
- 通过移除外部电阻节省电路板的空间
- 降低因使用外部终端电阻而造成的成本

QDRII+ 和 DDRII+ SRAM 上的 ODT

在使用 65 nm 技术节点的设备中, 针对 QDRII+ 和 DDRII+ SRAM 系列, 赛普拉斯通过 HSTL 输入信号 (数据输入、K/Kb 时钟和 BWSb) 提供 ODT。QDRII+ 和 DDRII+ SRAM 包括两种:

- 不带 ODT 的器件
- ODT 已被使能的器件 — 在 ODT 已被使能的器件中, 不能禁用该 ODT 功能

在 ODT 已被使能的 QDRII+ 和 DDRII+ SRAM 中, 在下面各输入信号上放置 ODT:

- 输入时钟 (K 和 Kb 时钟)
- 数据输入信号
- 控制信号 (字节写入选择信号)

QDRII+ 和 DDRII+ SRAM 上的 ODT 实现

在 ODT 被使能的设备中, 将使用 165 球型焊盘 BGA 封装中的引脚 R6 选择 ODT 范围。在通电并初始化 SRAM 时, 可选择 ODT 范围。

ODT 终端值跟踪与 ZQ 引脚相连接的外部电阻器 RQ (用于设置输出阻抗)。

为保证阻抗容差为 $\pm 15\%$, RQ 的可允许范围为 175 Ω 至 350 Ω 。

有两种 ODT 范围设置:

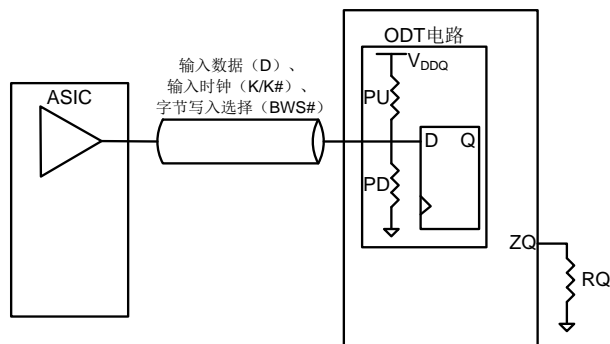
- 低范围 — 通过将 ODT 引脚（引脚 R6）置于低电平设置。阻抗范围为 52.5 Ω 至 105 Ω（与 Thévenin 相等），并且 $RQ/3.33$ 满足 $175 \Omega \leq RQ \leq 350 \Omega$ 条件。
- 高范围 — 通过将 ODT 引脚（引脚 R6）置于高电平设置。阻抗介于 105 Ω 和 150 Ω 之间（与 Thévenin 相等），并且 $RQ/1.66$ 满足 $175 \Omega \leq RQ \leq 250 \Omega$ 条件。如果 RQ 值超过了 250 Ω，则阻抗容差不受保护。

如果 ODT 引脚处于悬浮状态，那么其默认设置为高范围。

在带有通用 IO 总线的 DDRII+ SRAM 中，当 SRAM 作为输入使用时，ODT 被自动使能。当 SRAM 输出数据时，ODT 功能将被禁用。请查看 AN4065，了解有关 QDR-II、QDR-II+、DDR-II 和 DDR-II+ SRAM 设备的终端技术信息。

图 1 显示的是 QDRII+和 DDRII+ SRAM 中 HSTL 输入信号上的 ODT 实现。

图 1. QDRII+/DDRII+ SRAM 中的 ODT 实现



注意：

1. ODT 被使能的 QDRII+和 DDRII+ SRAM，以及没有 ODT 功能的 QDRII+和 DDRII+ SRAM 都有相同的交流时序参数。
2. 使能 ODT 不会增加 I_{dd} （内核电压电源的电流消耗）。这是因为 ODT 电路是由 I/O 电源电压（ V_{ddq} ）供电，而不是由内核电压（ V_{dd} ）供电。
3. 尽管不切换 I/O，但 QDRII+ SRAM 的 ODT 功能仍被使能。
4. 当使能 ODT 时， I_{ddq} 的值（I/O 电压电源的电流消耗）将增加 50%。
5. 对于系统中 ODT 被使能的器件，赛普拉斯建议使用气流或散热器等冷却方法。因为与不具有 ODT 功能的器件相比，使能 ODT 的器件的功耗更大。

6. 在具有 ODT 功能的设备中，您不能禁用该功能。
7. 在具有通用 I/O 架构的 DDRII+ SRAM 中，当 SRAM 输入数据时，ODT 被自动使能。当 SRAM 输出数据时，ODT 被禁用。在具有独立 I/O 架构的 DDRII+ SRAM 中，ODT 始终被使能。

功耗计算

通过下面公式，可计算 ODT 被使能时器件的功耗总和。

功耗总和 = 内核功耗 + I/O 切换功耗 + ODT 功耗公式 1

下面一节介绍的是如何计算 ODT 功耗。

请查看图 2，了解用于推导 ODT 功耗的 HSTL 输入终端电路。

图 2. 输入终端电路

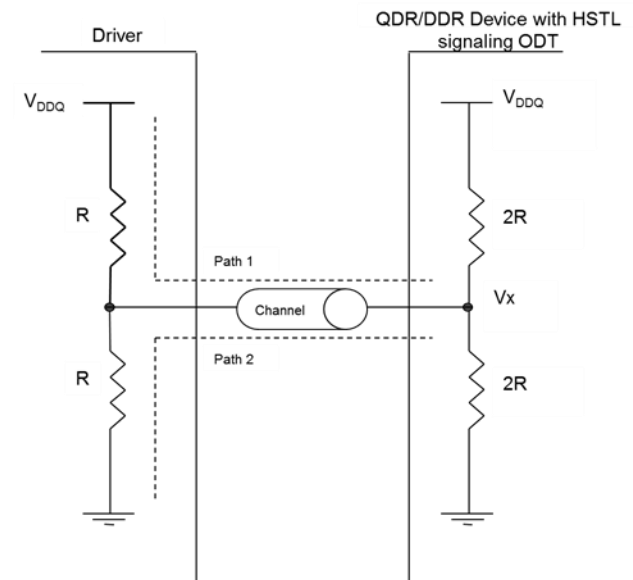


图 2 显示的是驱动器为具有 ODT 功能的器件供电。

用“R”表示驱动器源阻抗。用“2R”表示输入 ODT 阻抗。它表示一个阻抗匹配电路。

根据源驱动的是“1”还是“0”来确定路径 1 还是路径 2 有效。在这两种情况下，功耗均相同。

对于路径 1，电压 V_x 的计算如下：

$$\begin{aligned}V_x &= 2 R \times V_{ddq} / (2R + (R \parallel 2R)) \\ &= 2 R \times V_{ddq} / (2R + 2R/3) \\ &= (3/4) V_{ddq}\end{aligned}\quad \text{公式 2}$$

上拉和下拉电阻的功耗为:

$$\begin{aligned}\text{ODT 功耗} &= \{ (V_{ddq} - V_x)^2 / 2R \} + \{ (V_x)^2 / 2R \} \\ &= 1/(32R) \times (V_{ddq})^2 + (9/32R) \times (V_{ddq})^2 \\ &= 5/(16R) \times V_{ddq}^2\end{aligned}\quad \text{公式 3}$$

因此,

$$\text{ODT 功耗} = 5/(16R) \times V_{ddq}^2 \times (\text{使用了 ODT 电阻的输入引脚的数量})$$

更多信息, 请参考同步 SRAM 产品的[计算功耗和结温的在线工具](#)。

总结

QDRII+和 DDRII+器件系列中的 ODT 功能能够提高高频信号 (>300 MHz) 的质量。使用该功能时, 无需在电路板上安装外部终端电阻器, 从而可缩小电路板的面积, 并避免因使用外部电阻器而增加的成本。

文档修订记录

文档标题: QDR® II+/DDR II+ SRAM 的片上终端 — AN42468

文档编号: 001-92150

修订版	ECN	变更者	提交日期	变更说明
**	4346055	LISZ	04/14/2014	本文档版本号为 Rev**, 译自英文版 001-42468 Rev*F。
*A	4722949	LISZ	04/30/2015	本文档版本号为 Rev*A, 译自英文版 001-42468 Rev*G。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明和电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
光学导航传感器	cypress.com/go/ons
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC®解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

Quad Data Rate™ SRAM 和 QDR® SRAM 构成了由赛普拉斯、IDT、Renesas 和 Samsung 开发的新产品系列。Quad Data Rate 和 QDR 是赛普拉斯半导体的商标。此处引用的所有其他商标或注册商标归其各自所有者所有。



赛普拉斯半导体
198 Champion Court
San Jose, CA 95134-1709
电话 : 408-943-2600
传真 : 408-943-4730
网址 : www.cypress.com

©赛普拉斯半导体公司，2007-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不在此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。