

NoBL™: 高速 SRAM アーキテクチャ

関連プロジェクト: なし
関連製品ファミリ: 全ての NoBL™ SRAM
ソフトウェア バージョン: なし
関連アプリケーションノート: なし

AN1090 は NoBL™ SRAM の動作について説明し、それがどのようにネットワーク アプリケーションに適しているか概要を示します。

はじめに

高性能の通信機器とネットワーク アプリケーションに同梱されるプロセッサは高速のメモリを必要とします。必要なメモリの種類は、お使いのシステム アーキテクチャ、アプリケーション、プロセッサにより決定されます。メモリ サブシステムがプロセッサの要件を満たさない場合、システム性能が低下します。

このアプリケーション ノートでは、メモリ サブシステムの性能を改善するために設計されるサイプレスNoBL SRAMアーキテクチャを説明します。

NoBL SRAM の説明

NoBLは「No Bus Latency」(バスのレイテンシなし) の略です。NoBL SRAMは、読み出しから書き込みへ、または書き込みから読み出しへバスをターンアラウンドする時に、非活動のバスサイクルである遅延を排除するために設計されています。これらデバイスは、ゼロバスターンアラウンド (ZBT) と名付けられた商標でよく知られています。

NoBLアーキテクチャを使って、読み書き動作の間のバスの未使用サイクル(「デッド サイクル」とも呼ばれる) 数を排除してバスの効率を完全に使用でき、バスを読み書きの切り替わりが頻繁なネットワーク アプリケーションに合わせるようにします。

NoBL SRAMは、パイプラインとフロー スルーの2種類があります。パイプライン オプションは、周波数が重要なアプリケーションに適しており、フロー スルー オプションはレイテンシが重要なアプリケーションに適しています。

パイプライン オプションの場合、アドレスがクロック入力された後にSRAMから読み出されたデータは2サイクルの間有効になります。フロー スルー オプションの場合、アドレスがクロック入力された後にSRAMから読み出されたデータは、1サイクルの間有効になります。アドレスとデータ間には1サイクルがあります。

NoBL SRAM の動作

読み出し/書き込み/読み出し/書き込みのシーケンスにあるパイプラインNoBL SRAMのタイミング図は、[図1](#)に示されています。

クロック サイクル#1では、読み出しアクセスのアドレスはSRAMにラッチされます。内部パイプラインレジスタに基づいて、SRAMはクロック サイクル#3でデータを供給します。書き込みアクセスは、[図](#)で示しているようにクロック サイクル#2で開始できます。対応するアドレス用の書き込みデータはクロック サイクル#4で提供されます。すべてのアクセスは、全く同じです(読み出し、書き込みの完了には3クロック サイクルがかかります)。そのため、アクセスは全て、読み出しと書き込みの間でサイクルをロスすることなく、完全にパイプライン化することができます。

フロー スルーNOBL SRAM のタイミング図を[図 2](#)に示します。読み出し動作はサイクル#1 で開始され、SRAM はサイクル#2 でデータを駆動します。書き込み動作はサイクル#2 で開始することができ、対応するデータはサイクル#3 で提供されます。パイプライン NOBL SRAM の場合と同様に、読み出しと書き込み動作は両方とも同じサイクル数を要します(読み出し、書き込みの完了には2 サイクルがかかります)。NoBL SRAM は Advance/ $\overline{\text{LOAD}}$ 端子 (ADV/ $\overline{\text{LD}}$) の信号を使用します。ADV/ $\overline{\text{LD}}$ が LOW にアサートされると、読み出し/書き込みピンの状態に応じて読み出しコマンドまたは書き込みコマンドがSRAM に発行されます($\overline{\text{WE}}$)3 つのチップの内の 1 つが無効になったら選択解除コマンドが実行されます。ADV/ $\overline{\text{LD}}$ が HIGH になった時、バースト コマンドが実行されます。NoBL SRAM の場合、書き込み動作は $\overline{\text{WE}}$ 端子およびバイト書き込み($\overline{\text{BWx}}$)信号を使って実行されます。

図 1. パイプライン NoBL SRAM のタイミング図

NoBL Pipelined Timings for a R-W-R-W

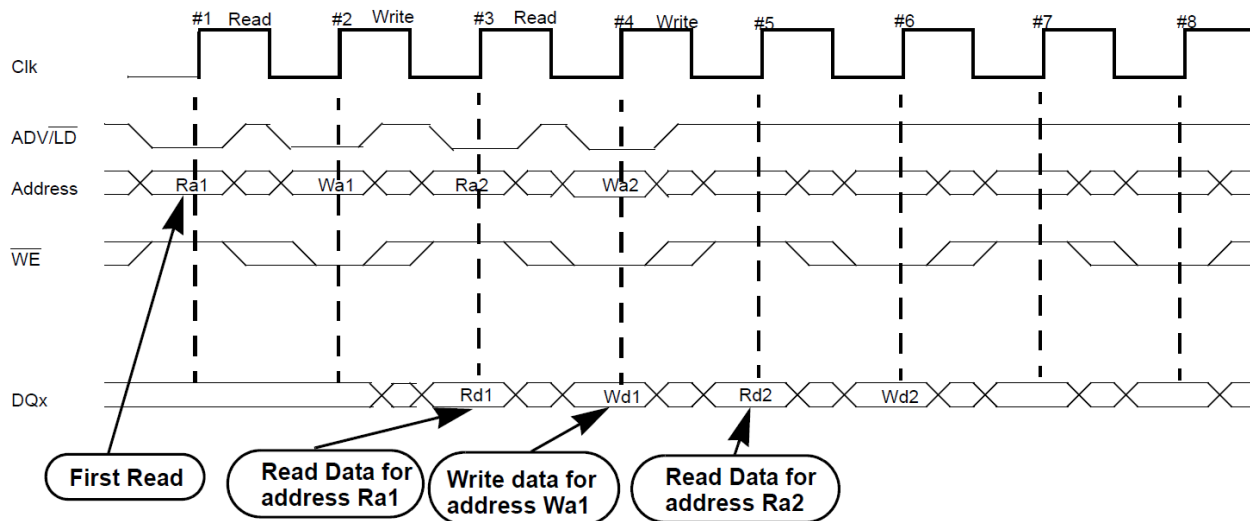
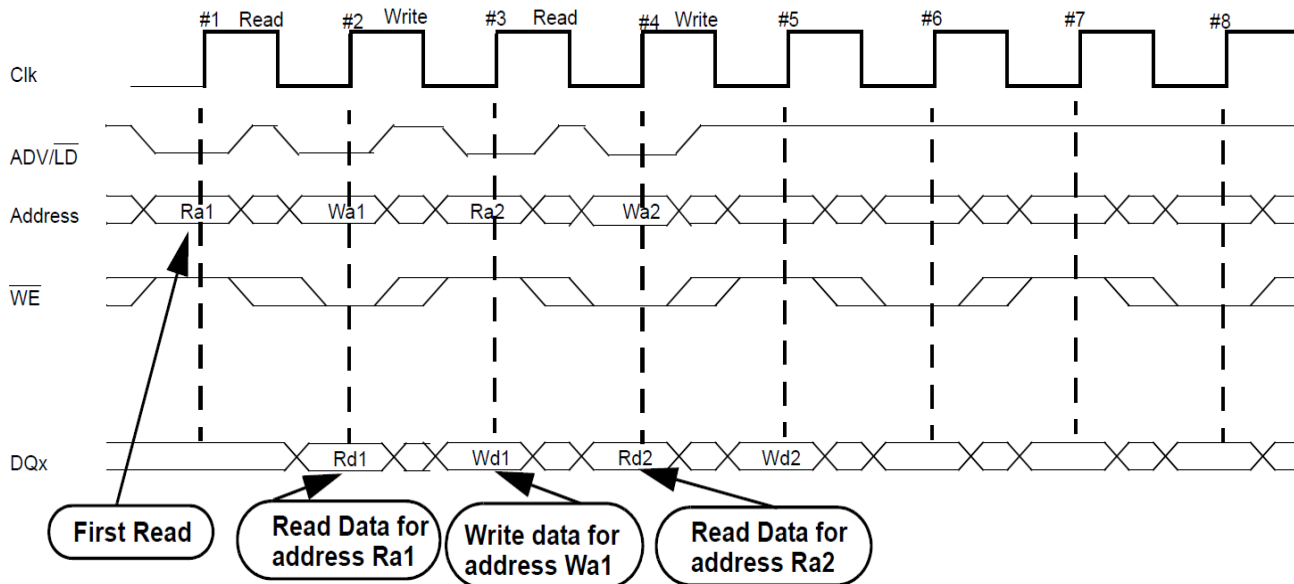


図 2. フロー スルー NoBL のタイミング図

NoBL Pipelined Timings for a R-W-R-W



バス効率

バス効率は、バスを介してデータを転送するデバイスの効率を測定するために使用される測定基準です。SRAM の場合には、この図は、読み書きデータを連続転送する際に使い切るサイクル数を示します。

バス効率=データ転送サイクル数/総サイクル数

読み出し—書き込み—読み出し—書き込み動作の場合、バス効率はデータがクロック サイクルごとに 1 回転送される時に最

高になります。要するに、バス効率は、動作に関わらずデータがクロック サイクルごとに転送された時、100%のバス効率を達成します。NoBL SRAM は、サイクルごとにデータ転送を完了するために設計されているため、100%のバス効率を有しています。

これにより、読み出しの直後が書き込みまたは書き込みの直後が読み出しの場合でも、利用可能な帯域幅の増加することになります。

図 3. パイプライン NoBL SRAM のタイミング

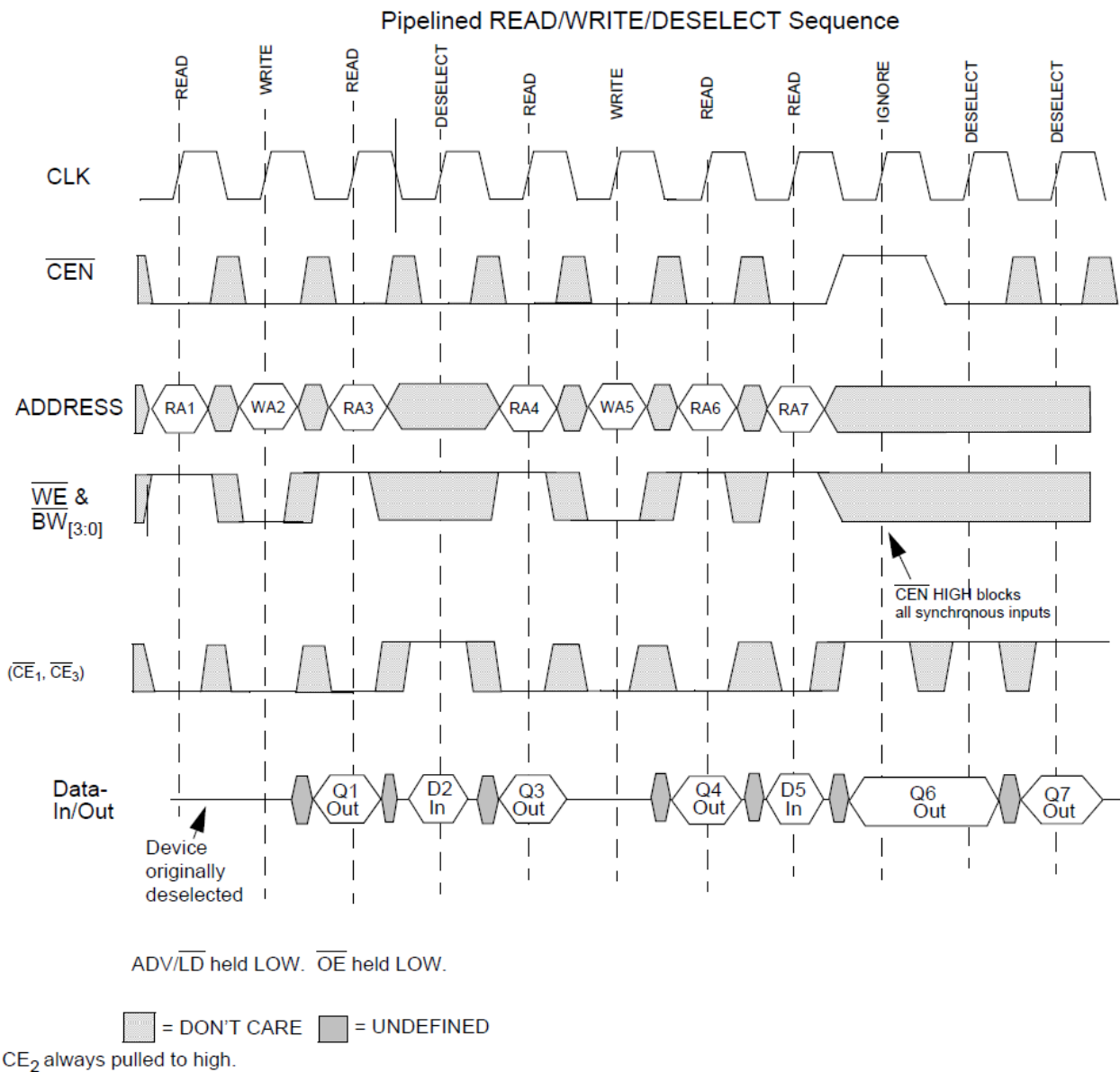
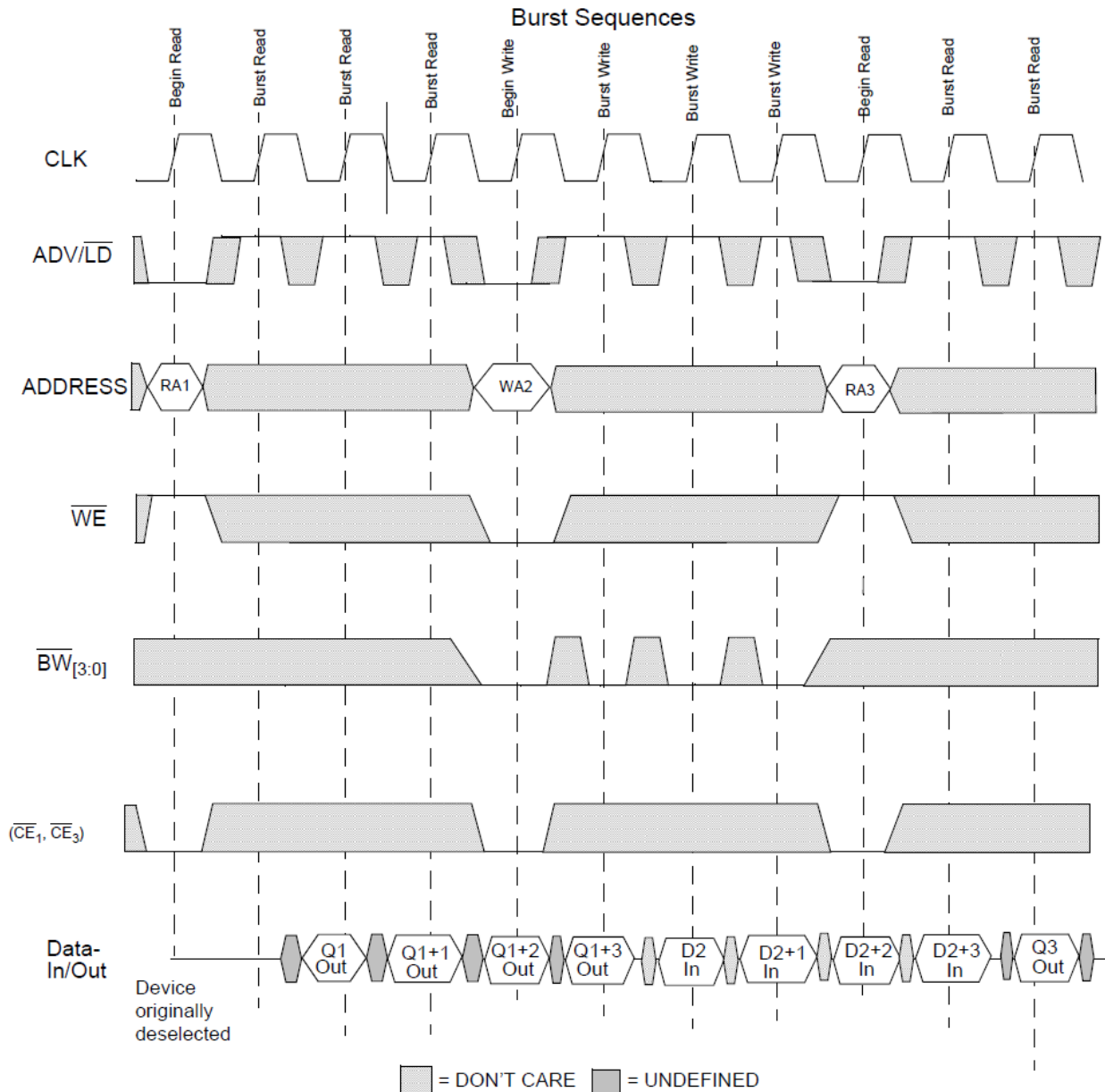


図 4. パイプライン NoBL デバイスのバースト タイミング



CE₂ is always pulled high.

図 3 と図 4 にパイプライン NoBL SRAM のタイミングを示しています。

新しいアクセス サイクルは、ADV/LD 信号により制御されます。アドバンス/ロード入力は、オンチップのアドレス カウンタを増加するため、または新しいアドレスをロードするために使用さ

れます。この入力がクロックの立ち上がりエッジで HIGH になり、(CENLOW にアサートされると) 内部バースト カウンタが事前に増加されます。この信号がクロック立ち上がりで LOW である場合、アクセス準備のためにアドレス ラインを介して新しいアドレスをデバイスにロードすることができます。

\overline{WE} 信号がクロックの立ち上がりエッジで HIGH になると、読み出しサイクルが開始されます。後続のサイクルでは、 $\overline{ADV}/\overline{LD}$ 信号が HIGH になると、図 4 に示しているようにデバイスはバーストアクセスを開始します。

デバイスが選択された時、 \overline{WE} 信号がクロックの立ち上がりエッジで LOW になると、NoBL デバイスは書き込みアクセスを開始します。

バーストカウンタのシーケンスは、MODE 入力信号により決定されます。MODE 信号では、LOW 入力は、リニアバーストモードを選択し、HIGH 入力はインターリーブバーストシーケンスを選択します。両方のバーストカウンタは、バーストシーケンスに A0 と A1 ビットを使用し、上限までインクリメントされたらラップアラウンドします。バーストアクセスの動作シーケンスは以下の通りです。 $\overline{ADV}/\overline{LD}$ 、 \overline{CEN} 、 \overline{CE}_1 、 \overline{CE}_3 を LOW、 \overline{CE}_2 を HIGH にセットすることにより、新しいアドレスは SRAM にロードされます。後続のクロックサイクルでは、 $\overline{ADV}/\overline{LD}$ を HIGH にセットすると、内部バーストカウンタは、CE または \overline{WE} ピンの状態に関わらずインクリメントされます。 \overline{WE} は、バーストサイクルの開始点でラッチされます。したがって、アクセス（読み出し、書き込み）の形式は、バーストシーケンス全体にわたって維持されます。表 1 にはインターリーブバーストシーケンスを示し、表 2 にはリニアバーストシーケンスを示します。

表 1. インターリーブバーストシーケンス

1 番目のアドレス	2 番目のアドレス	3 番目のアドレス	4 番目のアドレス
Ax+1, Ax	Ax+1, Ax	Ax+1, Ax	Ax+1, Ax
00	01	10	11
01	00	11	10
10	11	00	01
11	10	01	00

表 2. リニアバーストシーケンス

1 番目のアドレス	2 番目のアドレス	3 番目のアドレス	4 番目のアドレス
Ax+1, Ax	Ax+1, Ax	Ax+1, Ax	Ax+1, Ax
00	01	10	11
01	10	11	00
10	11	00	01
11	00	01	10

NOBL SRAM を使用する時の注意点

1. t_{CHZ} および t_{CLZ} : t_{CHZ} パラメータは、NoBL デバイスがクロックの立ち上がりエッジの後にその出力ドライバをハイインピーダンス状態に移行させるのにかかる時間を指定します。 t_{CLZ} パラメータは、NoBL デバイスがデータバス（低インピーダンス状態）へのデータ駆動を開始するのにかかる時間を指定します。表 3 に、 t_{CHZ} と t_{CLZ} のデータシートで指定された通りの最大と最少のタイミングを示します。

表 3. t_{CHZ} と t_{CLZ} の値

記号	最小値	最大値
t_{CHZ}	1.5	3.5
t_{CLZ}	2.5	

デバイスは、($t_{CHZ(max)}$ 及び $t_{CLZ(min)}$ の重複により) 共通データバスを共有している SRAM 間でのデータ競合を許可するように規定されているように見えます。しかし、この場合は違います。2 つのパラメータの仕様は、プロセス全体、温度および電圧範囲にわたって保証されます。 $t_{CHZ(max)}$ は、このプロセスのスローコーナー、高温、および低動作電圧の条件で観測されます。 $t_{CLZ(min)}$ はプロセス変動（高速プロセス、低温、高電圧）の外部の反対側の動作極端で観測されます。

明らかにこれらの両極端は同時に同じ基板上には存在しません。NoBL デバイスは、2 つのタイミング間の差分が処理変動に関わらずおよそ 1ns である全ての動作条件でバスを Low-Z の前に High-Z に駆動するように設計されています。このため、データバス上の競合は NoBL SRAM 間では発生しません。

2. NoBL SRAM におけるチップセレクト

NoBL SRAM におけるチップセレクトは、同期パイプライン化された SRAM 上のチップセレクトとは異なる動作をします。NoBL SRAM には、 \overline{CE}_1 、 \overline{CE}_2 、および \overline{CE}_3 の 3 つのチップセレクトがあります。同期パイプライン化された SRAM では、 \overline{ADSP} 信号は、チップセレクトが非アクティブになると無視されます。

NoBL SRAM では、CE ピンはクロックの立ち上がりエッジでサンプリングされます。NoBL SRAM 上のピンは、他の入力によりマスクされていません。そのため、デバイスを選択するために、全てのチップセレクト信号を有効にする必要があります。3 つのチップセレクト信号の内のいずれかを有効にしてデバイスの選択を解除することができます。

3. \overline{OE} 制御

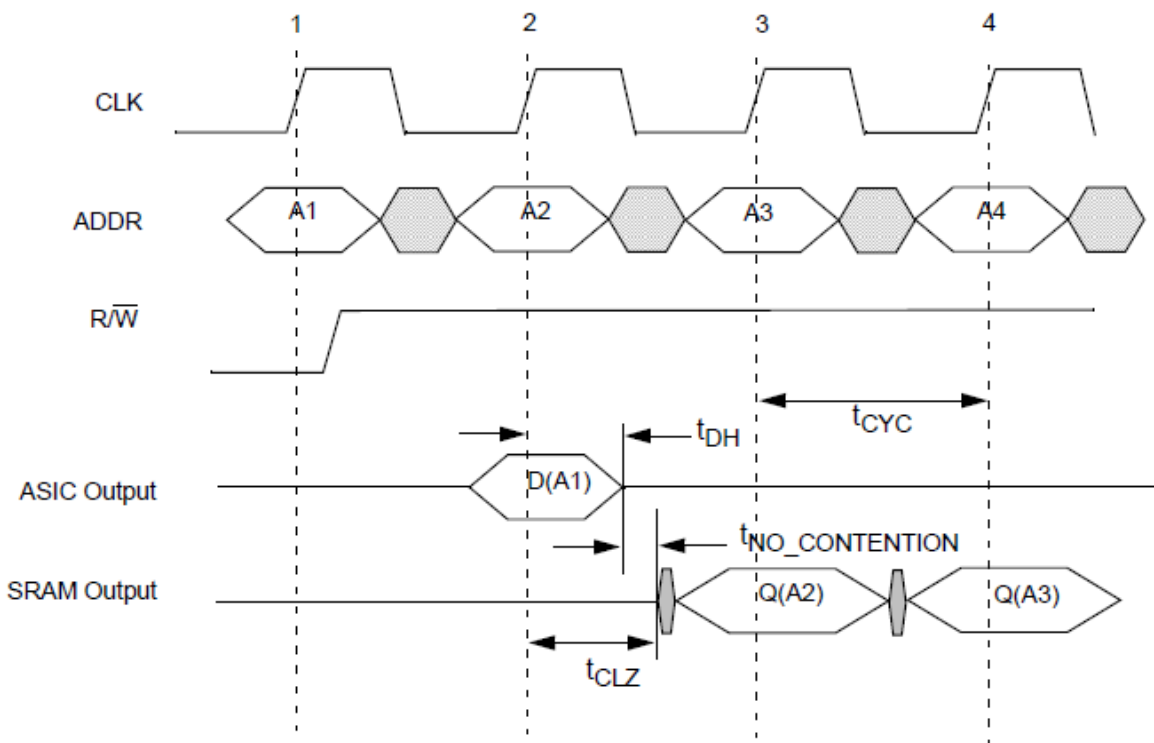
NoBL デバイスは I/O が共通なデバイスです。これは、出力がアクティブである間はデータをデバイスに駆動してはならないということを意味します。出力ネーブル (\overline{OE}) 信号は、DQ₀~DQ₃₁ 入力にデータを供給する前に HIGH にデアサートすることができます。このようにすると、出力ドライバがトライステートになります。但し、内部ロジックは、書き込みが開始される時点を確認して、書き込みデータの提示を可能にするために、出力ドライバを同時に無効にします。この機能により、書き込みシーケンスが大いに

単純化され、殆どの場合では書き込みの際に \overline{OE} の使用が不要になります。

4. バス競合

システム設計者の懸念の一つは、バスの競合、特に高い周波数でのバス競合です。特に懸念される点は、バスのデッドサイクル無しで、書き込みコマンドから読み出しコマンドへ切り替えることです。SRAM の出力ドライバは、次の読み出しサイクルのためにオンになる前に、SRAM コントローラにより実行されている書き込みコマンドは、High-Z に入る必要があります。

図 5. ASIC のターンオフ時間が $t_{NO_CONTENTION}$ より長い場合、バス競合が起こり得ます。



バス競合は完全には防止できません。図 5 はバス競合がどのように発生するかを示しています。書き込みサイクルを実行する場合、(この場合 ASIC から) SRAM へ駆動されているデータは、 t_{DH} 、または 0.5ns のホールド時間を満足させなければなりません。0.5 ns のホールド時間を保証し、温度と V_{DD} の変動、クロック スキューを補償し、タイミング マージンを取るために、ASIC はバスを 0.5ns より長い間駆動しなければなりません。ホールド時間を満足させた後、この駆動時間が $t_{NO_CONTENTION}$ を超える場合、バス競合が発生する場合があります。ASIC がバスを駆動する時間の長さは、ASIC の処理技術と使用される出力ドライバによります。オフにしようとしている ASIC とオン

にしようとしている SRAM の間にバスの競合が発生することがあります。確かに 1.5ns の t_{CLZ} は SRAM の最悪条件であり、温度および電圧のほとんどの状態においても 1.5ns よりも長くなります。しかし、1.5ns の値は、最悪の場合の計算に使用しなければなりません。

そのため、温度と電圧の全ての条件においてバスの競合を完全に防止することは不可能です。以下の段落では、デバイスへの影響を分析します。

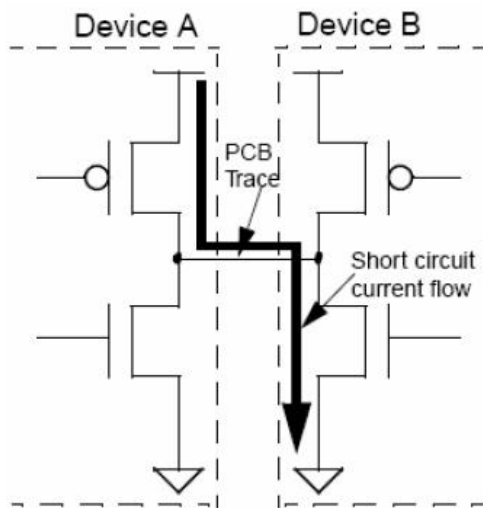
クロックが立ち上がった後、ASIC が 2.5ns の間 High-Z に入ることを前提にします。これは、最悪条件の下でバス競合が 1ns の間発生することを意味します。NoBL

SRAM が 133MHz、または 7.5ns のクロック周期 (t_{CYC}) で実行することを前提にします。この競合は、書き込みサイクルから読み出しサイクルへ切り替える時にのみ発生します。最悪の場合、これは 2 サイクルに 1 回発生します。そのため、最悪の場合のバスの競合は、2 クロック サイクル (15ns) ごとに 1ns、または全サイクルの 6.7 パーセントの間発生します。

データ ビットが 1 または 0 の値であるため、平均的には、DQ ピンの半分は、SRAM とバスを競合します。そのため、X36 の SRAM の場合、(平均としての) 18 ピンがバス競合に対応することを前提にしてバス競合を計算します。競合の間、SRAM ドライバの抵抗が 50Ω であり、ASIC の抵抗が 50Ω であることを前提にすれば、図 6 に示しているように電源とグランドの間に 100Ω のバスが存在します。SRAM ドライバと ASIC ドライバの両方の抵抗は 1 つがオフになると、もう 1 つがオンになるような形式で時間と共に変化しているため、この仮定は近似のものであることに注意してください。所与の $V_{DD}(\text{Max})$ が 3.6V の場合、競合中の電流 $= 3.6 / (50 + 50) = 36\text{mA}$ です。

競合が起きた時は、各 I/O に対して 36mA が電源とグランドの間に供給されます。

図 6. バス競合の場合のデバイス



競合に起因する SRAM の消費電力 $= 0.036^2 * 50 = 0.065\text{W}$ です。

18 の I/O の総消費電力は $= 18 * 0.065 = 1.17\text{W}$ です。

一見するとこれは、許容できない消費電力量であると思われる。しかし、それは全サイクルの 6.7 パーセントの間だけ発生します。

競合なしの時の消費電力 = コア消費電力 + I/O 切り替え時消費電力です。

コア消費電力 $= V_{DD}(\text{Max}) * I_{DD}(\text{Max}) = 3.6 * 0.35 = 1.26\text{W}$ です。
I/O 切り替え時消費電力 (読み出しに使用される I/O ピン数が半分である仮定): $= \frac{1}{2} * f * C * V^2 * 0.5$ です。

ここで、 $f = 133\text{MHz}$

$C = 20\text{pF} * 36$ (36 の I/O の場合)

$V = 3.6\text{V}$

よって、I/O 切り替え時消費電力

$= \frac{1}{2} * 133 * 10^6 * 20 * 10^{-12} * 36 * 3.6 * 3.6 * 0.5 = 0.31\text{W}$

総消費電力 $= 1.26 + 0.31 = 1.57\text{W}$

全サイクルの 6.7 パーセントの間のバス競合による消費電力 $1.57 + (0.067 * 1.17) = 1.65\text{W}$ (即ち、最小限の増加) を追加します。

接合部温度への影響:

接合部の動作温度: $T_J = T_A + \theta_{JA} * P$

(P が SRAM が消費する電力)

$T_A(\text{Max}) = 70^\circ\text{C}$ 。

$\theta_{JA} = 25^\circ\text{C/W}$

バス競合なしの場合: $T_J = 70 + 25 * 1.57 = 109^\circ\text{C}$

バス競合の場合: $T_J = 70 + 25 * 1.65 = 111^\circ\text{C}$

したがって、接合部の温度は許容可能である 2°C 増加されず。

つまり、バス競合が少ない場合、デバイスの実行が許可されます。バスの競合に起因するドライバの破損はありません。NoBL SRAM の設計では、I/O とコアはそれぞれの専用電源ピンがあります。これによってコア電源は I/O 上で起きる、I/O リングおよびサージ電流から隔離されています。電流増加では、I/O リングで、IR および Ldi/dt の少量の電圧が低下しますが、コア論理では何の変化もありません。このアーキテクチャは、競合に起因して電圧が SRAM のコア電圧へ低下することを防止します。

上記の計算は、バス競合が 2 サイクル毎に 1 回発生すること (最悪の場合) を前提にしています。また、ドライバの抵抗が一定であると仮定しています。最後に、SRAM が最悪の場合でオンになると同時に、ASIC が最悪のケースでオフになることを想定してみます。通常、これらは、電流、温度の全く正反対のところで発生します。よって、上記のシナリオはありそうもないです。

応用

前述した通りに、連続読み書き動作形式を使用するアプリケーションに NoBL SRAM は利益をもたらします。

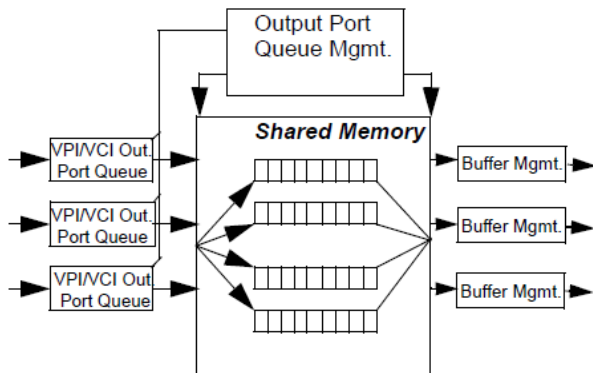
NoBL SRAM は、データ レイテンシを解消して最大メモリ帯域幅の利用を可能にします。

ATM スイッチ アプリケーションは、NoBL SRAM を使用して、システム性能の改善を示すための例として使用されます。

ATM スイッチは、高いメモリ スループットを必要とするアプリケーションです。ATM スイッチを実装する 3 つの方法があります: 共有メモリ、セルフルーティング ファブリック、共有バックプレーン。

共有メモリ アーキテクチャは、大型の共有メモリが着信セルを出力ポートのいずれかに送信する前にこれらセルをバッファリングするために使用されるアーキテクチャです。図 7 に、ATM スイッチの標準の共有メモリ アーキテクチャを示しています。共有メモリの容量は、各出力ポートのためにバッファリングされなければならないセルの数に依存します。スイッチによりサポートされるデータレートは、共有メモリのデータバスの幅およびメモリの動作周波数を決定します。

図 7. 共有メモリの ATM スイッチ



共有メモリのスイッチのほとんどは SRAM を使用しています。この議論では目標データレートが 19.2Gbps で最大 26K セル (1ATM セル=53 バイト) まで格納できる共有メモリ モジュールを使用しています。ATM の動作のほとんどは ATM セルの連続した書き込み/読み出しを伴います。

このアプリケーションのメモリの特定タイプを使用する際の最も重要な考慮事項は、その 19.2Gbps のデータレートを提供できる能力です。そのようなアプリケーションに必要なデータレートを達成するいくつかの方法があります。非常に高速なデータレートで SRAM を実行せずに、所望のデータレートを達成する 1 つの方法は、より広いデータバス幅を使用することです。より高いデータレートを達成する別の方法は、より高いクロック周波数で同期の SRAM を実行することです。必要とされるクロック周波数は以下の式を用いて計算することができます。

$$\text{周波数} = \text{データレート} / (\text{バス効率} \times \text{データバス幅})$$

このアプリケーションでは、バス幅が 192 ビットであることを前提にします。

NoBL デバイスを使用したソリューション

このようなアプリケーションに対応可能な解決策の 1 つは、NoBL SRAM です。これらデバイスは、書き込み動作と読み出し動作の間にターンアラウンド時間を必要としません。

デバイスのパイプライン化されたバージョンは、読み出しおよび書き込み用の 2 サイクルの基準オフセットを有するように設計されています。

このデバイスを使用することにより、バス使用率を 100% に向上することができます。

19.2Gbps でこのブロックを動作させるためには、動作周波数は $19.2 \text{ Gbps} / (1.0 \times 192 \text{ ビット}) = 100 \text{ MHz}$ になります。

結論

NoBL アーキテクチャは、読み出しと書き込みの間の待機時間を排除し、I/O バス効率を完全に使用します。これは所与のシステムの帯域幅を大幅に向上させます。

変更履歴

文章名: NoBL™: 高速 SRAM アーキテクチャ – AN1090

文書番号: 001-92736

版	ECN	変更者	発行日	変更内容
**	4395730	HZEN	05/30/2014	これは英語版 001-26399 Rev. *E を翻訳した日本語版 Rev. **です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電源管理	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
光学式ナビゲーション センサー	cypress.com/go/ons
PSoC	cypress.com/go/psoc
タッチセンシング	cypress.com/go/touch
USB コントローラ	cypress.com/go/usb
ワイヤレス/RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 5

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

NoBL はサイプレスセミコンダクタ社の商標です。本書で言及するその他すべての商標または登録商標は、各社の所有物です。



Cypress Semiconductor Phone : 408-943-2600
198 Champion Court Fax : 408-943-4730
San Jose, CA 95134-1709 Website : www.cypress.com

© Cypress Semiconductor Corporation, 2007-2014. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード(ソフトウェアおよび/またはファームウェア)はサイプレス セミコンダクタ社(以下「サイプレス」)が所有し、全世界の特許権保護(米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することは全て禁止します。

免責条項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。