

AN43380

nvSRAM での HSB の動作

作成者: Shivendra Singh
関連プロジェクト: なし
関連製品ファミリ: CY14xxxx
ソフトウェアバージョン: 該当なし

このアプリケーション ノートでは、サイプレスの nvSRAM のビジー ($\overline{\text{HSB}}$) ピンの内部アーキテクチャと機能について説明します。

はじめに

サイプレスの不揮発性同期ランダム アクセス メモリ (nvSRAM) は、SRAM と EEPROM の最高の機能を組み合わせ、最速で最も信頼性の高い不揮発性メモリになります。nvSRAM のそれぞれのビットは、高速 SRAM と SONOS (シリコン - 酸化物 - 窒化物 - 酸化物 - シリコン) 不揮発性メモリを統合した構成になっています。回数に制限のないリードとライトを SRAM で可能にする一方、それとは別に不揮発性データを不揮発性エレメントに保持できるようにしています。SRAM 内のデータは、 V_{CC} 電源が最少閾値レベル (V_{SWITCH}) より低下する場合、またはソフトウェア STORE やハードウェア STORE (ハードウェア スタブビジー ($\overline{\text{HSB}}$) ピン使用) などファームウェア制御方法を介して不揮発性セルに転送されず (STORE 処理)。パワーアップ時には、不揮発性メモリから SRAM にデータが復元されます (RECALL オペレーション)。

このアプリケーション ノートでは、 $\overline{\text{HSB}}$ ピンの内部アーキテクチャと機能について説明します。nvSRAM の技術と機能の詳細については、ホワイト ペーパー「[Nonvolatile SRAM \(nvSRAM\) Basics](#)」を参照してください。

HSB 概要

nvSRAM の $\overline{\text{HSB}}$ ピンは双方向ピンであり、以下の目的に使用されます:

出力として使用:

- nvSRAM が電源投入された後に起動プロセスにビジーであることを示す
- ソフトウェア、またはハードウェアピン ($\overline{\text{HSB}}$) により起動された STORE サイクルは進行中であることを示す
- V_{CC} が V_{SWITCH} より低く下がったことを示す

入力として使用:

- 外部で LOW にする場合、不揮発性 STORE 処理を開始する

nvSRAM 内の HSB ピンは、ハードウェア ピンとして STORE 処理を制御、認識するために使用されます。STORE または RECALL のどちらかが進行中でなければ、HSB ピンは外部でトグルすることによりハードウェア STORE をトリガするために使用できます。(HSB) により起動される STORE 処理は、ソフトウェアにより起動される STORE 処理の代替案です。ここで、ホスト コントローラは特定のソフト シーケンスまたはコマンド オペコードを送信する必要があります。

電源投入と電源遮断サイクル中に、HSB は $t_{HRECALL}$ と t_{STORE} の間 LOW にトグルします。このようにしてシステムの電源投入と電源遮断イベントを監視することができます。

HSB ピンの内部アーキテクチャ

双方向 HSB ピンの内部アーキテクチャは図 1 に示します。HSB 出力は 1 個の強力な NMOS プルダウン トランジスタ Q3 および標準的な出力駆動能力を持っている Q1 と弱めの出力駆動能力を持っている Q2 の 2 つの PMOS プルアップ トランジスタを有します。HSB ピンが nvSRAM により LOW に駆動されることは、STORE サイクルが進行中であることを示します。HSB ピンがコントローラにより LOW にプルされると、STORE 処理は開始され、HSB ピンは LOW に駆動され STORE 処理が終了するまで LOW に維持されます。同様に、システムの V_{CC} が衰弱して V_{SWITCH} を下回った場合、デバイスは AutoStore を実行します。STORE 処理は、ハードウェア ピン (HSB) が AutoStore のどちらにより起動されることに関わらず、最後の STORE または RECALL 処理の後に SRAM への書き込みが発生する (書き込みラッチが設定される) 場合にのみ実行します。コントローラは HSB ピンの状態を監視することにより STORE サイクルの終わりを決定することができます。

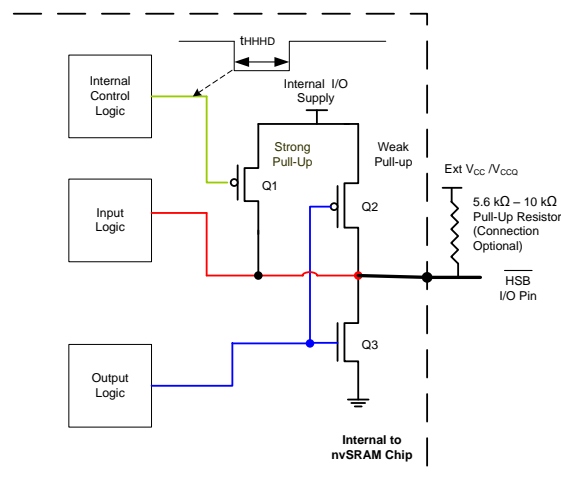
STORE 処理が終了する場合、nvSRAM はまず、強力なプルアップ ドライバをオンにしてから Q1 をオフにし、Q2 をオンにして HSB を短時間 (t_{HHHD}) で HIGH に駆動します。これにより、弱いプルアップ抵抗を使って HSB ピンを内部で HIGH に維持します。 t_{HHHD} の間の HSB の強力なプルアップにより HSB ピンは入力 HIGH 電圧レベル (V_{IH}) に早く到達することができます。

V_{CC} がコアと I/O ブロックへ電源供給するために使用される nvSRAM である単一電源供給の場合、Q1 と Q2 は V_{CC} にプルされます。nvSRAM がデュアル電源供給オプション (2 つの電源を使用してデバイスのコアと I/O に電源 (コアの場合は V_{CC} 、I/O の場合は V_{CCQ}) を独立して供給) をサポートすれば、Q1 と Q2 は I/O 電源供給 (V_{CCQ}) にプルされます。

推奨 HSB 構成

コントローラ I/O が HSB ピンに接続された場合、5.6kΩ~10kΩ までの外部プルアップ抵抗を使って HSB を V_{CC} または V_{CCQ} まで HIGH にプルすることをお勧めします。このプルアップ抵抗は、Q2 プルアップ トランジスタが弱いであるため HSB ピン上の外部システムの I/O 負荷はそれを V_{IH} レベルより低くプルしないことを保証します。

図 1. HSB nvSRAM のピン アーキテクチャ



HSB 電源投入時の動作

電源投入時に、HSB 出力は、内部 POR (パワー オン リセット) が発行した後に LOW に駆動され、電源投入 RECALL が終了するまでに LOW になったままです。HSB 出力は、内部 POR が発行されるまでグリッチが発生する可能性があります。この間の HSB 出力の動作は以下の通りです:

V_{CC} が初期電圧からトランジスタの閾値電圧 (V_{HDIS}) を越えて急昇する場合、HSB ドライバはオフになります。この間、外部プルアップ抵抗はピンに接続される場合、 V_{CC} に達成します。

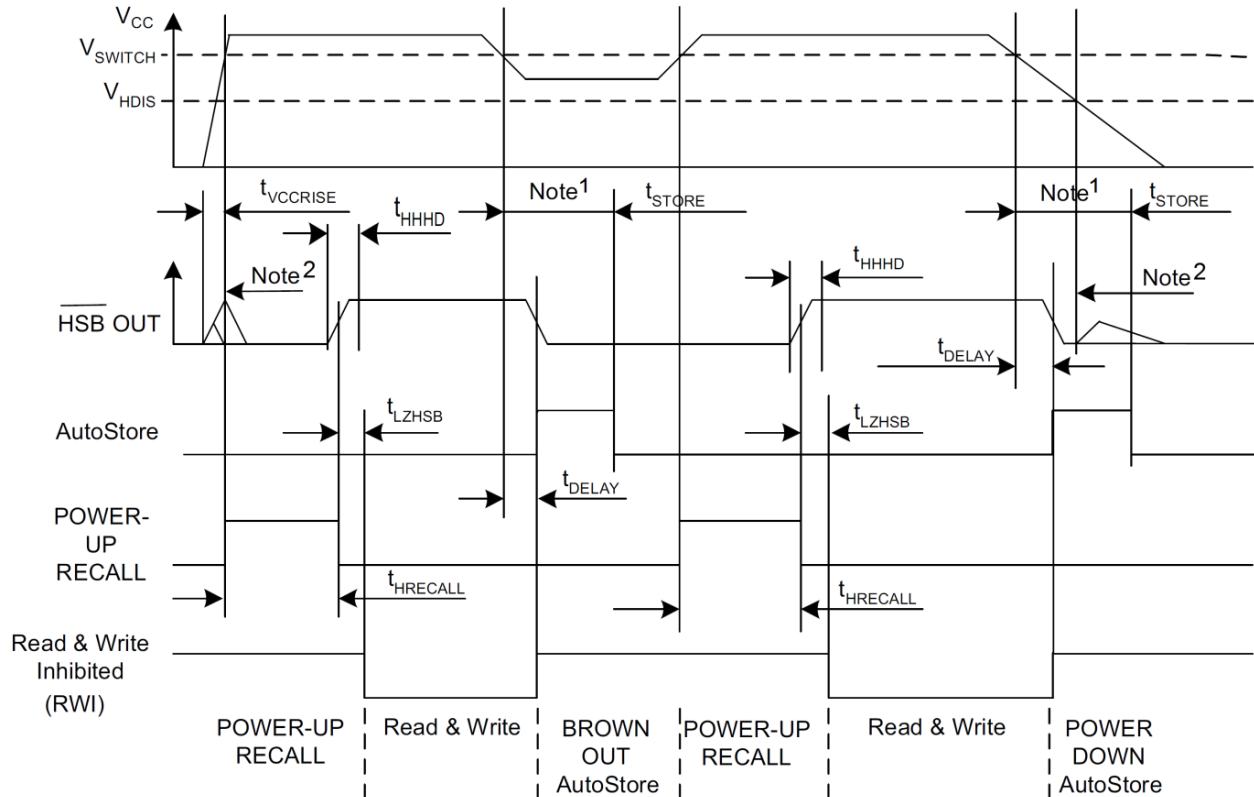
V_{CC} が V_{HDIS} 閾値電圧を超えた場合、内部回路はオンになり、内部 POR は開始されます。この間、HSB 出力状態は不定であり HIGH か LOW になり得ます。そのため、電圧は V_{CC} まで上がる、または出力 LOW レベル (V_{OL}) に下がることがあります。 V_{CC} が V_{SWITCH} 閾値を越えた後、HSB 出力は LOW に駆動されます。HSB ピンは電源投入 RECALL が終了するまで LOW になったままです。リコール サイクルが正常に終了した後、ピンは (強プルアップ トランジスタ Q1 を t_{HHHD} の間オンにした後、弱プルアップ トランジスタ Q2 を HIGH にして) HIGH にプルされます。nvSRAM は、HSB ピンが HIGH に遷移した後、 t_{LZHSB} 間経過後にアクセスすることができます。

注 電源投入中に、 V_{CC} のグリッチが V_{SWITCH} レベルを下回ることに起因して t_{HRECALL} は長くなることがあります。グリッチは、電源投入リコール サイクルの間に連続して発生した場合は、nvSRAM は RECALL 処理を繰り返し、 t_{HRECALL} 期間を延長します。電圧低下が短期間で多く発生する電圧低下連続発生条件では、電源投入リコール期間は電源が最後に安定した時からの通常のリコール時間の 2 倍 ($2 \times t_{\text{HRECALL}}$) になることがあります。

HSB 電源遮断時の動作

電源遮断時、 $\overline{\text{HSB}}$ 出力は、 V_{CC} が V_{SWITCH} レベルを下回った時に LOW に駆動され、 V_{CC} が V_{HDIS} レベルよりずっと低くなるまでに LOW になったままです。 V_{CC} が V_{HDIS} レベルを下回ると $\overline{\text{HSB}}$ 出力ドライバは無効になり、nvSRAM はこのピンを制御せず、 $\overline{\text{HSB}}$ を開放状態にします。いずれかの外部プルアップ抵抗は、 $\overline{\text{HSB}}$ ピンに接続されると、その電圧を V_{CC} または V_{CCQ} ($\overline{\text{HSB}}$ ピンがプルされる電圧レベル) に維持し、この電圧を引き続いて追跡します。電源投入、電源遮断時 $\overline{\text{HSB}}$ 、電圧低下の条件でのピン動作は図 2 に示します。この図に示される各パラメータの定義は表 1 に説明します。

図 2. HSB AutoStore または電源投入 RECALL の間の動作



注

1. 不揮発性 STORE またはソフトウェア RECALL 処理の後に SRAM 書き込みサイクルが開始されない場合、ハードウェア STORE ($\overline{\text{HSB}}$) を LOW に切り替えることはメモリセルで不揮発性 STORE を開始しません。
2. 電源投入、電源遮断サイクル中に、 $\overline{\text{HSB}}$ 出力は、外部プルアップ抵抗がこのピンに接続されている場合、グリッチが発生します。

表 1. AutoStore または電源投入 RECALL

パラメータ	項目	注
t_{HRECALL}	電源投入 RECALL 期間	パラメータ値はこの表に説明しない。これらのパラメータ値は、デバイスのデータシートをご参照
t_{STORE}	STORE サイクル期間	
t_{DELAY}	SRAM 書き込みサイクルを完了するのに許容される時間	
V_{SWITCH}	低電圧トリガ レベル	
t_{VCCRISE}	V_{CC} 立ち上がり時間	
V_{HDIS}	HSB 出力ディスエーブル電圧	
t_{LZHSB}	HSB 出力がアクティブになるまでの時間	
t_{HHD}	HSB HIGH アクティブ時間	

ハードウェア STORE の開始

ハードウェア STORE は、 $\overline{\text{HSB}}$ ピンを LOW に駆動して開始されます。SRAM 書き込みが進行中の間に $\overline{\text{HSB}}$ が LOW に駆動される場合、ハードウェア STORE は t_{DELAY} の間内部で遅延されます。これによって書き込み処理はハードウェア STORE 処理を開始する前に終了することを確実にします。 $\overline{\text{HSB}}$ が LOW になった後に要求された SRAM 書き込みサイクルは $\overline{\text{HSB}}$ が HIGH に復元するまで禁止されます。書き込みラッチがセットされたか否かに関わらず $\overline{\text{HSB}}$ ピンを外部で LOW にプルすると、 $\overline{\text{HSB}}$ が HIGH に復元するまで nvSRAM の読み書きが禁止されます。

図 3 では、書き込みラッチが設定された場合のハードウェア ($\overline{\text{HSB}}$) STORE 動作、図 4 では書き込みラッチが設定されない場合のハードウェア ($\overline{\text{HSB}}$) STORE 動作を示します。

シリアル デバイスでのハードウェア ストアを開始

シリアル (SPI および I²C) nvSRAM デバイスでは、SRAM への書き込みは最後のデータビット (データバイトの D0 ビット) が受信した後に開始します。そのため、最終のバイト書き込みサイクルが終了する前に $\overline{\text{HSB}}$ を介して開始されるハードウェア STORE 処理は、書き込まれた最新バイトの格納を破棄します。最終バイトが nvSRAM に正常に書き込まれることを保証するために、 $\overline{\text{HSB}}$ STORE 処理は、最終データビット (D0) が受信されてから少なくとも 1 クロック サイクル後に開始する必要があります。

図 3. ハードウェア STORE サイクル (書き込みラッチが設定された場合)

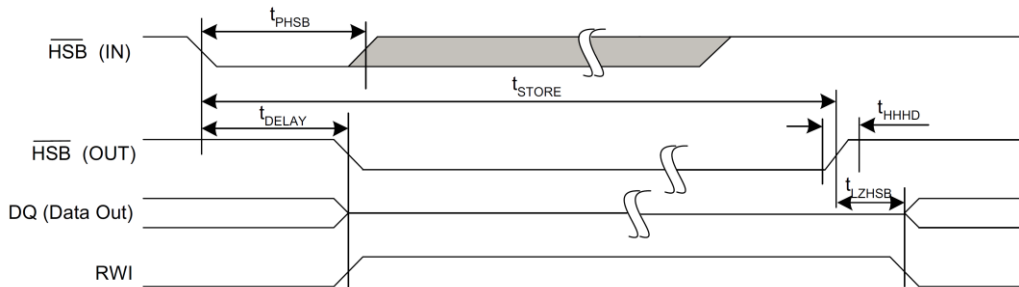
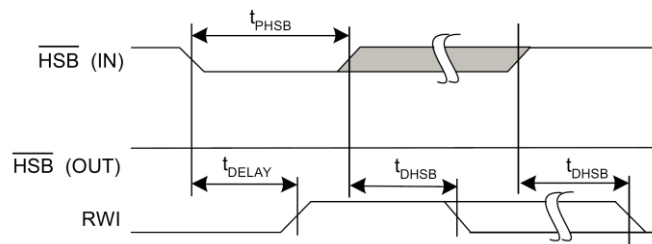


図 4. ハードウェア STORE サイクル (書き込みラッチが設定されない場合)



注: $\overline{\text{HSB}}$ 出力ドライバが無効になった場合、 $\overline{\text{HSB}}$ ピンは 100 k Ω 未満の内部の弱いプルアップ抵抗により $V_{\text{CC}}/N_{\text{COQ}}$ まで HIGH に駆動されます。SRAM へのアクセスは全て $\overline{\text{HSB}}$ (入力) が外部で LOW に駆動される限り禁止されます。

表 2. ハードウェア STORE サイクル

パラメータ	項目	注
t_{DHSB}	$\overline{\text{HSB}}$ 書き込みラッチが設定されない場合の、出力がアクティブになるまでの時間	パラメータ値はこの表に説明しない。これらパラメータ値は、デバイスのデータシートをご参照
t_{PHSB}	ハードウェア STORE パルス幅	

要約

このアプリケーション ノートでは、 $\overline{\text{HSB}}$ ピンの内部アーキテクチャと機能について説明します。様々なアプリケーションのシナリオでのデバイスの動作も詳しく説明されています。このアプリケーション ノートに従ってシステムで機能的で適切に $\overline{\text{HSB}}$ ピンを制御することができるはずです。

著者について

氏名:	著者: Shivendra Singh
役職:	アプリケーション エンジニア主任
連絡先:	zsk@cypress.com

ドキュメントの変更履歴

文書番号: nvSRAM での HSB 動作 – AN43380

文書番号: 001-92724

版	ECN	改版者	発行日	変更内容
**	4395693	HZEN	06/16/2014	これは英語版 001-43380 Rev. *D を翻訳した日本語版 Rev. **です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電源管理	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチセンシング	cypress.com/go/touch
USB コントローラ	cypress.com/go/usb
ワイヤレス/RF	cypress.com/go/wireless

PSoC[®]ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカルサポート

cypress.com/go/support

PSoC はサイプレス セミコンダクタ社の登録商標であり、PSoC Creator はサイプレス セミコンダクタ社の商標です。本書で言及するその他すべての商標または登録商標は、各社の所有物です。



Cypress Semiconductor Phone : 408-943-2600
198 Champion Court Fax : 408-943-4730
San Jose, CA 95134-1709 Website : www.cypress.com

© Cypress Semiconductor Corporation, 2007-2014. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社)は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することは全て禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。