

HSB在 nvSRAM 中的操作

作者: Shivendra Singh

相关项目: 无

相关器件系列: CY14xxxx

软件版本: NA

本应用笔记介绍的是赛普拉斯 nvSRAM 的 Hardware STORE Busy ($\overline{\text{HSB}}$) 引脚的内部结构和功能。

简介

赛普拉斯非易失性同步随机存取存储器 (nvSRAM) 结合了 SRAM 和 EEPROM 的最佳特性, 因此它是最快且最可靠的非易失性存储器。nvSRAM 的每一位都由一个快速 SRAM 和一个 SONOS (硅 — 二氧化硅 — 氮化硅 — 二氧化硅 — 硅) 非易失性存储器组成。SRAM 能够实现无数次读写周期, 而独立的非易失性数据则存储在非易失性元件中。 V_{CC} 的电源下降到低于最小阈值电平 (V_{SWITCH}) 时, SRAM 中的数据会自动传输到非易失性单元 (存储操作) 内。另外, 可以通过固件控制的方法 (如软件存储或硬件存储 (通过 Hardware Store Busy ($\overline{\text{HSB}}$) 引脚) 将该数据传输到非易失性单元内。上电时, 数据会从非易失性单元回读到 SRAM (回读操作) 内。

本应用笔记介绍的是引脚的内部结构和功能。更多有关 nvSRAM 技术和功能的信息, 请参考白皮书“非易失性 SRAM (nvSRAM) 的基本功能”。

HSB概述

$\overline{\text{HSB}}$ 引脚是一个双向引脚, 可用于下列目的:

作为输出使用:

- 表示 nvSRAM 正在执行上电启动
- 表示由软件或硬件引脚 ($\overline{\text{HSB}}$) 启动的存储周期正在进行。
- 表示 V_{CC} 的电源值已低于 V_{SWITCH}

作为输入使用:

- 从外部将其拉低时, 将启动非易失性存储操作

nvSRAM 中的 $\overline{\text{HSB}}$ 引脚可作为硬件引脚使用, 以可控制和确认存储操作。如果未执行存储或回读操作, 则从芯片外部将 $\overline{\text{HSB}}$ 引脚置于低电平便可以触发一个硬件存储操作。

($\overline{\text{HSB}}$) 启动存储操作可以取代软件启动存储操作, 它要求主机控制器发送一个特定的软序列或一个指令操作码。

在上电和断电周期内, $\overline{\text{HSB}}$ 在期间均保持低电平, 因此可以使用该引脚来监控系统中的上电和断电事件。

$\overline{\text{HSB}}$ 引脚的内部结构

双向 $\overline{\text{HSB}}$ 引脚的内部结构如图 1。 $\overline{\text{HSB}}$ 输出有一个 NMOS 强下拉晶体管 Q3 和两个并行相连的 PMOS 上拉晶体管: Q1 (拥有标准输出驱动强度) 和 Q2 (拥有弱输出驱动强度)。当 nvSRAM 将 $\overline{\text{HSB}}$ 引脚驱动为低电平时, 则表示正在执行一个存储周期。当控制器从外部将 $\overline{\text{HSB}}$ 引脚置于低电平时, 将启动存储操作并将 $\overline{\text{HSB}}$ 引脚一直驱动为低电平, 直到存储操作完成为止。同样当系统的 V_{CC} 下降到低于 V_{SWITCH} 时, 器件将执行自动存储操作。从最后存储或回读操作算起, 如果 SRAM 中发生写操作 (写锁存被设置), 硬件引脚 ($\overline{\text{HSB}}$) 或自动存储才能执行存储操作。控制器通过监控 $\overline{\text{HSB}}$ 引脚的状态可以确定存储周期是否结束。

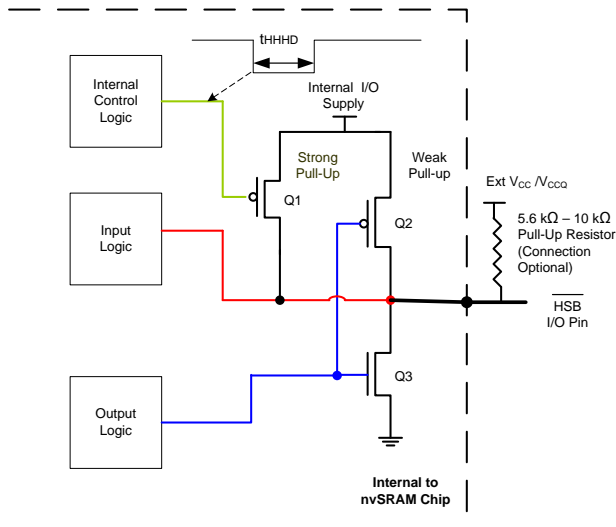
完成存储操作后, nvSRAM 通过打开强上拉驱动器 Q1 在短时间内 (t_{HHHD}) 将 $\overline{\text{HSB}}$ 驱动为高电平, 然后, Q1 关闭和 Q2 打开, 以使高电平的 $\overline{\text{HSB}}$ 引脚保持弱下拉电阻。在 t_{HHHD} 期间, $\overline{\text{HSB}}$ 上的强上拉电阻允许 $\overline{\text{HSB}}$ 引脚可以快速达到输入高电平电压 (V_{IH})。

对于单电源, nvSRAM 器件 (其中, V_{CC} 为内核和 I/O 模块供电)、Q1 和 Q2 都上拉到 V_{CC} 电压。如果 nvSRAM 支持双电源选项, 即使用两个电源单独为器件内核 (V_{CC}) 和 I/O (V_{CCQ}) 供电, 那么 Q1 和 Q2 将被上拉到 I/O 电源的电压 (V_{CCQ})。

HSB 的建议配置

如果控制器 I/O 与 HSB 引脚相连，建议使用大小为 5.6 kΩ 到 10 kΩ 的外部上拉电阻将 HSB 拉高到 V_{CC} 或 V_{CCQ}。当 Q2 上拉晶体管角弱时，则外部上拉电阻可以确保 HSB 引脚上的外部系统 I/O 负载不会使其电压值下降至低于 V_{IH} 电平。

图 1. nvSRAM 的 HSB 引脚结构



上电时 HSB 的特性

上电时，HSB 输出在生成内部 POR（上电复位）后驱动为低电平，并一直保持为低电平，直到完成上电回读操作为止。HSB 输出会缩短脉冲，直到生成内部 POR 为止。在该周期内，HSB 输出的特性如下：

V_{CC} 从初始电压上升到超过晶体管阈值 (V_{HDIS}) 的电压期间，HSB 驱动器一直无效。在此期间，如果外部上拉电阻与该引脚相连，那么该引脚会保持 V_{CC} 的电平。

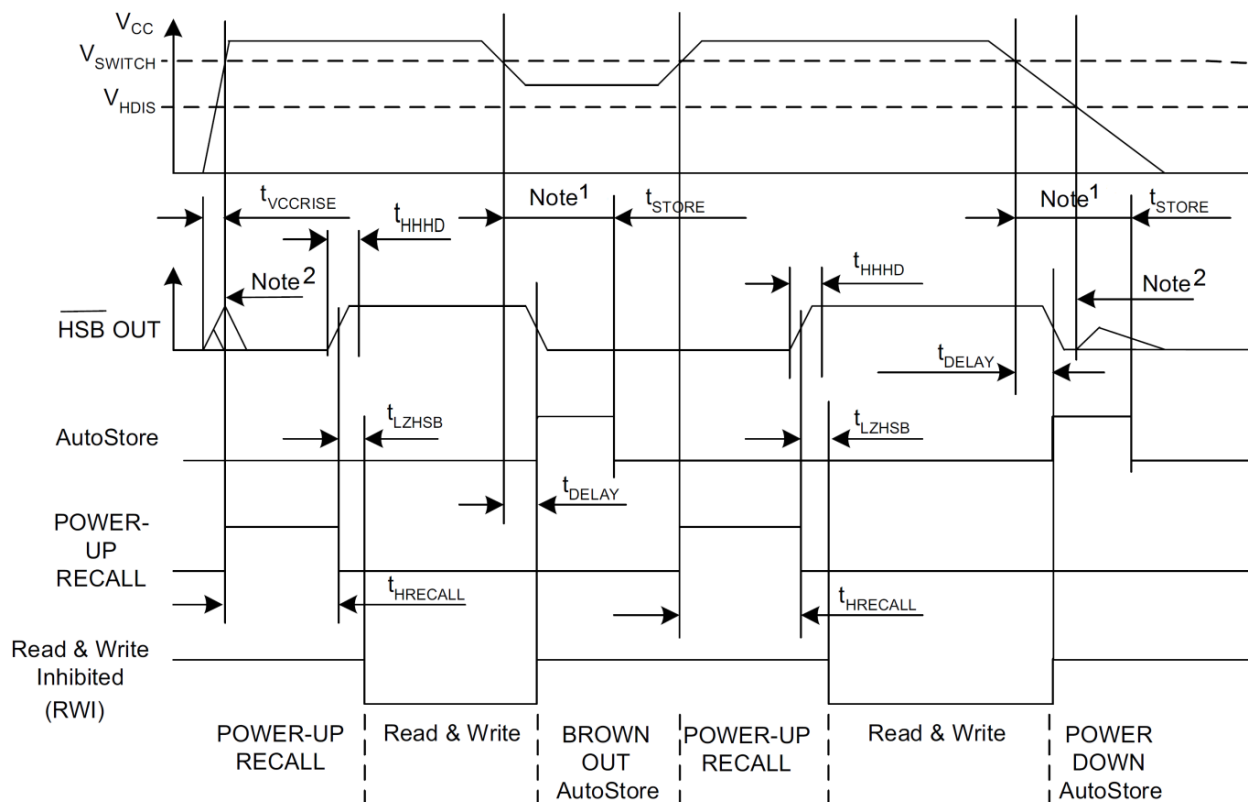
V_{CC} 超过 V_{HDIS} 电压阈值时，内部电路将打开，并且内部 POR 将启动。在此过程中，HSB 输出状态不确定（可以为高电平或低电平），因此该电压会继续上升到 V_{CC} 或下降到输出低电平 (V_{OL})。V_{CC} 超过 V_{SWITCH} 阈值后，HSB 输出会驱动到低电平。HSB 引脚一直保持为低电平，直到上电回读操作完成为止。回读周期成功后，将 HSB 引脚驱动为高电平（通过在 t_{HHHD} 期间打开强上拉电阻晶体管，然后使用弱下拉电阻保持 Q2 引脚的高电平来实现该操作）。HSB 引脚转换为高电平时，经过 t_{LZHSB} 时长后，可以访问 nvSRAM。

注意： 上电时，如果 V_{CC} 突然下降到 V_{SWITCH} 的电平，则会延长 t_{HRECALL} 的时长。在上电回读周期内，如果连续发生短时脉冲，则 nvSRAM 将重复回读操作，从而延长 t_{HRECALL} 时间。在极端掉电条件下（其中许多掉电在非常短的时间内发生），从最后稳定电源算起，上电回读时间将为普通回读时间的两倍 (2 x t_{HRECALL})。

断电时 HSB 的特性

断电时，如果 V_{CC} 的值下降至低于 V_{SWITCH}，则 HSB 输出将驱动为低电平，并一直保持为低电平状态，直到 V_{CC} 的值下降至低于 V_{HDIS} 为止。V_{CC} 的值下降至低于 V_{HDIS} 后，HSB 输出驱动器将被禁用，并且 nvSRAM 将不再控制该引脚，并且将 HSB 悬空。如果外部上拉电阻与 HSB 引脚相连，那么它会将该电压保持为（与 HSB 引脚相连的）V_{CC} 或 V_{CCQ} 并继续保持该电压。图 2 显示的是上电、断电时，以及在掉电条件下，HSB 引脚的特性。表 1 内显示了该图中每个参数的定义。

图 2. HSB 在自动存储或上电回读期间的特性


注意

1. 如果进行非易失性存储或软件回读操作后没有启动任何 SRAM 写周期，那么将硬件存储（HSB）切换为低电平时不会启动存储器单元中的非易失性存储。
2. 在上电/断电周期内，当外部上拉电阻与该引脚相连时，HSB 输出将短时脉冲。

表 1. 自动存储或上电回读

参数	说明	注意:
$t_{HRECALL}$	加电回读时长	该表没有指定各参数的值。有关这些参数的值，请参考器件数据手册。
t_{STORE}	存储周期时长	
t_{DELAY}	完成 SRAM 写入周期的时长	
V_{SWITCH}	低电压触发电平	
$t_{VCCRRISE}$	V_{CC} 上升时间	
V_{HDIS}	HSB 输出禁用电压	
t_{LZHSB}	HSB 到输出有效的时间	
t_{HHHD}	HSB 高电平有效时间	

启动硬件存储操作

通过将 $\overline{\text{HSB}}$ 引脚驱动为低电平，可以启动硬件存储操作。对 SRAM 进行写操作时，如果 $\overline{\text{HSB}}$ 为低电平，那么硬件存储将内部延迟 t_{DELAY} 的时长。这样可以保证在启动硬件存储操作前完成写操作。 $\overline{\text{HSB}}$ 变为低电平后，所请求的 SRAM 写周期将被禁止，直到 $\overline{\text{HSB}}$ 重新变为高电平为止。从外部将 $\overline{\text{HSB}}$ 引脚置于低电平时，无论是否设置了写锁存，都会禁用 nvSRAM 中的所有读和写操作，直到 $\overline{\text{HSB}}$ 重新变为高电平为止。

图 3 显示的是设置写锁存时硬件 ($\overline{\text{HSB}}$) 的存储性能，图 4 显示的是未设置写锁存时硬件 ($\overline{\text{HSB}}$) 的存储性能。

在串行器件中初始化硬件存储

在串行 (SPI 和 I²C) nvSRAM 器件中，收到最后数据位 (即数据字节的 D0 位) 后，可以对 SRAM 进行写操作。因此，在完成最后字节的写周期前，通过 $\overline{\text{HSB}}$ 引脚启动的硬件存储操作将清除最后写入字节存储的内容。建议在收到最后数据位 (D0) 时，至少要经过一个时钟周期才启动 $\overline{\text{HSB}}$ 存储操作，这样可以保证最后字节被成功写入到 nvSRAM 内。

图 3. 硬件存储周期 (设置了写锁存)

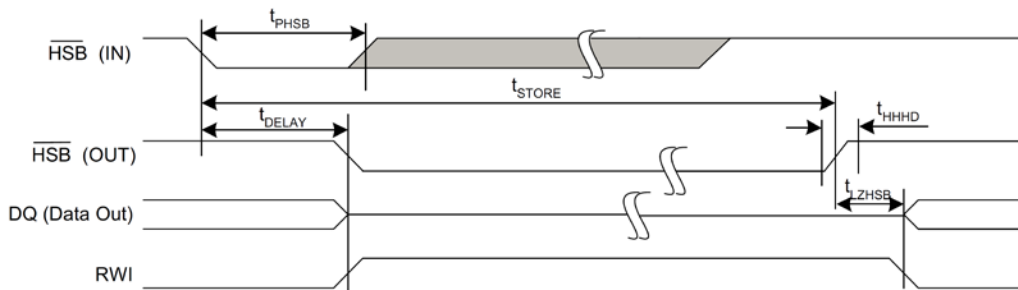
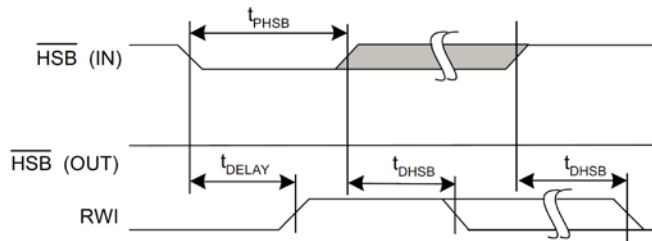


图 4. 硬件存储周期 (未设置写锁存)



注意：禁用 $\overline{\text{HSB}}$ 输出驱动器时，内部弱上拉电阻 (~100 kΩ) 将 $\overline{\text{HSB}}$ 引脚高驱动到 $V_{\text{CC}}/N_{\text{CCQ}}$ 。如果从外部将 $\overline{\text{HSB}}$ (输入) 驱动为低电平，则将禁用对 SRAM 进行的所有访问。

表 2. 硬件存储周期

参数	说明	注意
t_{DHSB}	未设置写入锁存时 $\overline{\text{HSB}}$ 到输出有效的时长	该表没有指定各参数的值。有关这些参数的值，请参考器件数据手册。
t_{PHSB}	硬件存储脉冲宽度	

总结

本应用笔记介绍的是 $\overline{\text{HSB}}$ 引脚的内部结构和功能。另外还详细说明了该器件在各种应用情况中的性能。按照本应用笔记进行操作，您可以在您的系统中适当的控制 $\overline{\text{HSB}}$ 引脚的功能。

关于作者

姓名: Shivendra Singh
职务: 首席应用工程师
联系地址: zsk@cypress.com

文档修订记录

文档标题: HSB 在 nvSRAM 中的操作 — AN43380

文档编号: 001-92140

版本	ECN	原始变更	提交日期	变更说明
**	4345922	LISZ	04/14/2014	本文档版本号为 Rev**, 译自英文版 001-43380 Rev*D。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到距您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明和电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC®解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

PSoC 是赛普拉斯半导体公司的注册商标且 PSoC Creator 是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

	赛普拉斯半导体 198 Champion Court San Jose, CA 95134-1709	电话 : 408-943-2600 传真 : 408-943-4730 网站 : www.cypress.com
---	--	---

©赛普拉斯半导体公司，2007-2014 此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于合理预计会发生运行异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯将不批准将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定用途外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对该材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不另行通知的情况下对此处所述材料进行更改的权利。赛普拉斯不在此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而导致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用受适用的赛普拉斯软件许可协议限制并完全按照此协议使用。