

nvSRAM でのソフト エラー

著者: Shivendra Singh

関連プロジェクト: なし

関連製品ファミリ: nvSRAM ファミリ

ソフトウェアバージョン: なし

関連アプリケーションノート: なし

AN15979 ではメモリにおけるソフト エラーの原因と、これらソフト エラーを減少させるためにどのような方法で nvSRAM アーキテクチャ、機能、およびパッケージング技術が役立つかを説明します。

はじめに

最新の CMOS デバイスのソフト エラー率 (SER) は、一緒に組み合わせた他のすべての信頼性メカニズムよりも高いです。そのため、ソフト エラーの影響に対処するために高速のメモリ アーキテクチャを必要とします。ユニークなアーキテクチャとソフトウェア STORE やソフトウェア RECALL などの特殊な機能を備えたサイプレスの nvSRAM は、実行中にソフト エラーを修正することができます。サイプレスの高度な SER テスト技法と組み合わせたこの機能により、nvSRAM はソフト エラーに対する最も信頼性の高いメモリ デバイスの 1 つになっています。

ソフト エラーとその原因

ソフト エラー (放射線により発生した) は、シリコンと相互作用するエネルギー核粒子による小型電子部品回路内での状態または過度状態のランダムで再現性のない変化のことです。物理的欠陥は不良回路と関係ありません。デバイスの正常な動作は簡単なりセット/再書き込み動作によって復元されます。それはデバイスに恒久的な損傷を引き起こすハード障害とは対照的です。ソフト エラー率は放射線によって引き起こされるデバイス障害の確率を決定します。

ソフトエラーの原因は、

アルファ粒子 - それらは、TH-232、U-238、PO210 などの核の放射性崩壊によって生じます。それらはモールド樹脂やバンブなどのようなパッケージの素材にも存在します。シリコン中において、アルファ粒子の衝突が電荷 (電子-正孔対) の深い通過跡を残し、そのエネルギー (通常、2MeV ~ 9MeV) に依存する通過距離を持ちます。

宇宙線からの高エネルギー中性子 - 地球の大気に衝突するこれら宇宙線の起源は太陽 (エネルギーは最大 1 GeV) か等方性の銀河系粒子 (エネルギー > 108 GeV) のいずれかです。これら粒子の流束は、標高と地理的な位置に依存します。これら

高エネルギー中性子は、半導体基板内でエネルギーの破裂を起こし、最も有力なソフト エラー源となります。

熱中性子 - 熱中性子は、BPSG 中のホウ素同位体 ^{10}B と反応し、ソフト エラーの原因となる 2 つの高エネルギー粒子 Li^7 (0.84 MeV) 及び HE^4 (1.47MeV) を生成します。

nvSRAM 内での不良メカニズム

nvSRAM は基本的に、全ての SRAM セル内に埋め込まれた不揮発性の構成要素を備えた SRAM です。これで、nvSRAM が不揮発性メモリになります。通常の動作中には、nvSRAM の SRAM 部のみに読み込み/書き込みの動作が可能になるため、ソフト エラーで説明した放射線とその原因は nvSRAM セルの SRAM 部内でソフト エラーを起こしている可能性があります。nvSRAM の不揮発性部はソフト エラーの影響を受けません。nvSRAM セルの SRAM 部におけるソフトエラーの影響は図 1 と図 2 に示します。

図 1 nvSRAM の SRAM 部

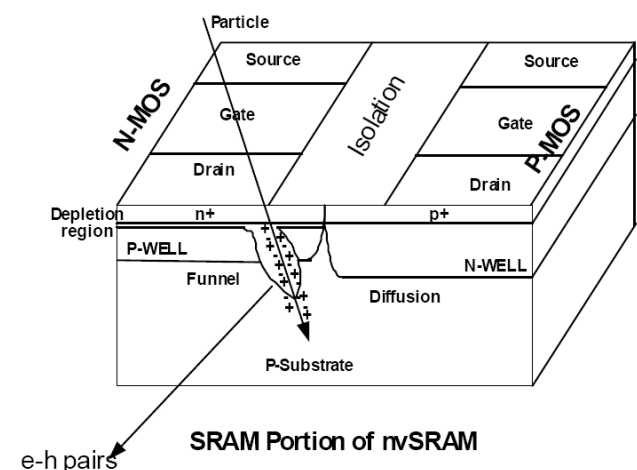
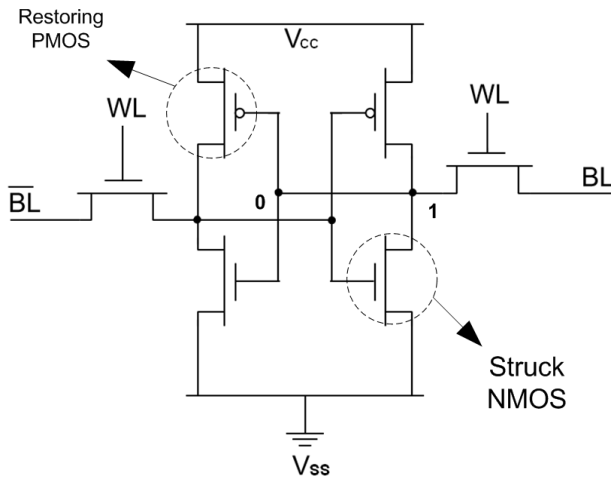


図 2 nvSRAM の SRAM セル



参考に示したように、入射した粒子は、nvSRAM の SRAM 部内で電子正孔対を直接(アルファ粒子)または間接的(電荷の破壊を起こす高エネルギー中性子)に造り出し、次のことが発生します。空乏層領域の電界が、電荷を生み出し、接合部に集められます。それが衝突を受けた MOS(NMOS)の電流妨害の原因となります。復元 MOS(PMOS)はバランスを取ろうとしますが、駆動できる電流が有限であることと、チャネルの導電率によって MOS のドレイン部で電圧妨害を引き起こします。この過渡電圧パルスがセルの閾値電荷を超えると、格納されているデータが反転します。

nvSRAM の故障モード

上記で説明した故障のメカニズムは nvSRAM の SRAM 部内で結果として生じます。次の故障モードは nvSRAM 内のソフトエラーにより起こることがあります。

シングル イベント アップセット(SEU)

反転ビットが他の起こりうるイベントから物理的に分離していて、他の反転ビットから最低でも 2 つのメモリ セル物理的に離れている場合に、このタイプの放射線誘導アップセットと確認されます。アルファ粒子の場合、一般的にはアップセットの 99%は単一ビットです。中性子の場合、一般的にはアップセットの 84%は単一ビットです(技術スケールリングで減少する)。

マルチ ビット アップセット(MBU)

2 ビット以上の反転ビットが物理的に隣接しているか、または多くても 1 つの不良ビットで分離している時に、このタイプの放射線誘導アップセットが確認されたこととなります。アルファ粒子の場合、一般的にはアップセットの 1%は複数ビットです。中性子の場合、アップセットの 16%以上は複数ビットで起こりません(技術スケールリングで増加する)。

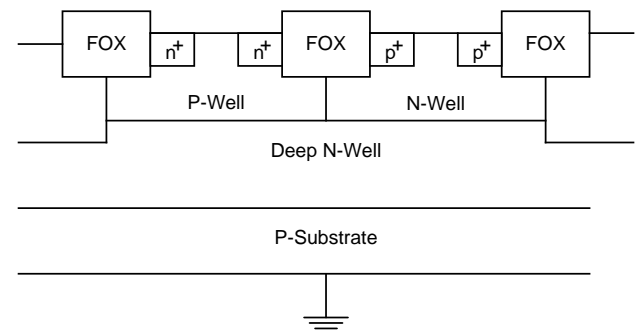
シングル イベント ラッチアップ(SEL)

このタイプのアップセットは、シリコン制御整流子(SCR)を形成する寄生の回路素子に関わる潜在的な破壊状態です。通常、この SCR はオフとなり、リーク電流だけを流します。しかし、十分な電圧(閾値電圧と呼ばれる)が何らかの寄生イベントで SCR を横切って発生すると、SCR がオンになり電流を流します。この電流は、SCR が完全にオフになるまで持続します。そのため、この状態はラッチアップと呼ばれています。従来の SEL では、適切な時間内に電流を制限して取り除かないと、SCR のデバイス電流がデバイスを破壊する可能性があります。デバイス動作を回復するためには、デバイスへの電力除去が非致命的なすべての SEL 状態にとって必要です。標準的なラッチアップ問題に使われる幾つかの緩和オプションは SEL の問題にも適用することができます。

nvSRAM アプリケーションでの SEL ソリューション

nvSRAM は、メモリコアの下地に 3 層ウェル構造を利用することにより、SEL イベントからよく保護されます。これによって電子に対して低抵抗の V_{CC} 採集層が生成されることで、ラッチアップに必要な閾値電圧に近づく電圧を造り出すのに、十分な分離電荷を蓄積することが、事実上不可能になります。

図 3. 3 層ウェル構造



サイプレスは、SEL を測定するために、当社の nvSRAM でアルファ粒子と中性子のテスト(シリコン内の寄生のイベントの主な原因)の両方を実施しました。S8 の技術ノードで nvSRAM のすべてのテスト済みサンプルは極端なテスト条件の下で不良ゼロを実証しました。

nvSRAM で使用されるプロセスの軽減技術

アルファ粒子

半導体業界では、障害に係るアルファ粒子を減少させるためにパッケージに低アルファ含有のモールド合成物を使用することに非常に焦点を当てました。nvSRAM に最近適用されているフラックス率は、0.001~0.002 アルファ/cm²/hr の範囲に

入っており、モールド合成物材用の検出限界の下端にあります。さらに、梱包材の供給メーカーのスクリーニングは、徹底した低アルファ発生材が使用されることを保証しています。

熱中性子

熱中性子との相互作用を起こす BPSG (ボロンリンシリケートガラス) 層は、0.16 μ m 技術ノードで始まるサイプレス半導体のプロセス工程から完全に除かれました。nvSRAM は BPSG を一切含まないため、転換に係る熱中性子のリスクはありません。

ソフトウェアに対するシステム レベルのソリューション

サイプレスの nvSRAM セルは SRAM を不揮発性メモリ セルと結合させているので、特殊であり、一般的な SRAM セルとは違います。ビットが粒子からの損傷によって起こる領域よりも遠く離れて広がっているため、nvSRAM メモリは実際に MBU となれないように設計されています。そのため、nvSRAM はシングル ビット アップセットだけを起こすことができます。複数ビットでの転換 (MBU) の証拠が、すべての SER テストで nvSRAM では記録されていません。

nvSRAM は、20ns の速い書き込みと読み取りアクセス時間で組み込みコントローラと容易にインタフェースで接続できるように設計された高性能の不揮発性メモリです。サイプレスの nvSRAM は、他の標準 SRAM のようにアクセスすることができます。任意の標準プロセッサに非常に簡単に統合させることができます。電源障害が発生した時、揮発性 SRAM メモリから不揮発性の構成素子へのデータ転送が非常に素早く自動的に行われます。このデータは、電池を使用せずに、20 年間も保持することができます。

nvSRAM の STORE 動作は、次の 3 つの方法のいずれかで開始できます。

- 停電時の AutoStore™
- ソフトウェア STORE
- ハードウェア STORE

同様に、非揮発性セルから SRAM セルへの RECALL 動作は、次の 2 つの方法のどちらかで開始できます。

- 電源投入時の AutoRecall™
- ソフトウェア RECALL

ソフトウェア STORE や RECALL などの nvSRAM の特別な機能は、システム レベルで効果的に活用して SER の影響を無効にできます。ソフトウェア STORE と RECALL は、デバイスのデータシートで指定された特定のソフト シーケンスをコントローラが送信することにより開始されます。例えば、4 Mb nvSRAM で、ソフトウェア STORE と RECALL は、以下のよう

に、6 つの指定されたメモリ アドレス位置から連続的に読み取りを行うことで開始されます。

- アドレス 0x4E38 を読み取り-有効な READ
- 0xB1C7 のアドレスを読み取り-有効な READ
- 0x83E0 のアドレスを読み取り-有効な READ
- 0x7C1F のアドレスを読み取り-有効な READ
- 0x703F のアドレスを読み取り-有効な READ
- 0x8FC0 のアドレスを読み取り-有効な READ; STORE サイクルを開始
または
- 0x4C63 のアドレスを読み取り-有効な READ; RECALL サイクルを開始

完了するのに、ソフトウェア STORE は 8ns、ソフトウェア RECALL は約 200 μ s かかります。

以下のスキームは、nvSRAM がソフトウェアエラーに対処するために、任意のアプリケーションのシステム/コントローラ内に実装することができます。

重要な書き込み後のソフトウェア STORE

nvSRAM をアクセスするコントローラは、プログラムして nvSRAM に重要なデータを書き込む度にソフトウェア STORE を実行することができます。これにより、データは、電源オン状態の間は nvSRAM の SRAM 部から分離されている量子トラップに安全に保存されることが保証されます。これは重要なデータのコピーを作成して安全な場所に保存することと同じです。電源オン状態の間にデータが破壊された場合、保存されていたデータは、コントローラがソフトウェア RECALL を実施することによって復旧できます。しかし、量子トラップへの書き込み回数は 100 万回に制限されているため、ソフトウェア STORE は重要な書き込み用にだけフォローする必要があることに注意してください。

ソフトウェア RECALL によるパリティ訂正 (SEU に対して)

パリティ ビットは nvSRAM へ格納されるデータに追加することができます。パリティ チェックは、すべての書き込みまたは読み取り動作中に、コントローラが nvSRAM とインタフェースで接続することで実行できます。エラーが検出されると、ソフトウェア RECALL が実行されて正しいデータを復元することができます (データ破壊がソフトウェアエラーで発生するたびに、データを呼び戻せるように、全ての書き込みがソフトウェア STORE に従って不揮発性セルのデータを保護することに注意してください)。これは、シングル ビット アップセットに対するエラー訂正方式として働きます。

ソフトウェア RECALL によるエラー検出アルゴリズム

エラー検出ビットは、それとインタフェースで接続するコントローラ内に実装された検出アルゴリズムにより、nvSRAM に格納されているワードに付加することができます。エラーが検出されると、ソフトウェア RECALL が起動されて正しい値(ソフトウェア STORE が重要な書き込みにフォローしていたことが前提)を復元します。これは、MBU に対するエラー訂正方式として働きます。不揮発性素子から nvSRAM 内の SRAM への呼び戻し回数は無制限ですが、不揮発性素子への書き込みサイクル数はサイプレスのデバイスで 100 万回に制限されています。だから、これら方式の不揮発性の書き込みは、不揮発性セルへの不要な書き込みを避けるために重要な書き込みの後にだけ起動されるべきです。

サイプレス SER テストの技法

サイプレスは、メモリデバイス内の SER の重要性和臨界状態を理解し、SER がお客様のアプリケーションに与える影響を理解しています。メモリ デバイスの SER に対しては、寿命試験方法と加速試験方法の両方を行うインフラが必要です。

寿命試験方法では、大容量のメモリ バンクを構築して自然な SER を加速せずに試験します。これは、何ヶ月にもわたる時間と費用を要する方法です。これは加速試験方法の結果を確認するためにも使うことができます。

加速試験の方法は、アルファ粒子テスト、中性子/陽子テスト、システム SER、および熱中性子テストなどで様々なタイプの放射線にチップをさらし、SER 値を測定します。加速試験は、要求に応じてサイプレスの施設で行うことができます。サイプレスは、国防総省(DOD)と海軍実験の要求に応じて加速試験を実施しました。

まとめ

ソフトエラーはメモリデバイスにおいては避けられません。nvSRAM は、あらゆる面でアーキテクチャ、パッケージング、およびソフトウェア STORE/RECALL のような特殊な機能でこれらソフトエラーに対して機能します。サイプレスの高度な SER のテスト技法とその一流の SER 機能を伴うこれら保護技術によって、お客様のアプリケーションで競合他社製品よりも nvSRAM を信頼性の高いデバイスにします。

著者について

氏名: 著者: Shivendra Singh
役職: アプリケーションエンジニア主任
連絡先: zsk@cypress.com

ドキュメントの改版履歴

文章番号: AN15979 - nvSRAM でのソフトエラー

文書番号: 001-92722

版	ECN	改版者	発行日	変更内容
**	4395690	HZEN	04/06/2014	これは英語版 001-15979 Rev. *D を翻訳した日本語版 Rev. **です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電源管理	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
光学式ナビゲーションセンサ	cypress.com/go/ons
PSoC	cypress.com/go/psoc
タッチセンシング	cypress.com/go/touch
USB コントローラ	cypress.com/go/usb
Wireless/RF	cypress.com/go/wireless

PSoC[®] ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

QuantumTrap はサイプレスセミコンダクタ社の商標です。本書で言及するその他すべての商標または登録商標は、各社の所有物です。



サイプレス セミコンダクタ 電話番号 : 408-943-2600
198 Champion Court ファックス : 408-943-4730
San Jose, CA 95134-1709 ウェブサイト: www.cypress.com

© Cypress Semiconductor Corporation, 2007-2014. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社)は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

このソースコード(ソフトウェアおよび/またはファームウェア)はサイプレス セミコンダクタ社(以下「サイプレス」)が所有し、全世界の特許権保護(米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンスに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンスの製品のみをサポートするカスタムソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することは全て禁止します。

免責条項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。