

## サイプレス非バースト モード パラレル NOR フラッシュ メモリ – プリント基板レイアウト ガイド

著者: Umesh Painaik, Siew Pin Woo, Benjamin Heintz

関連製品ファミリ: S29AS-J, S29AL-J, S29JL-J, S29PL-J, S29GL-N, S29GL-P, S29GL-S, および S29GL-T

関連アプリケーション ノート: AN98508, AN201383, および AN211622

本アプリケーション ノート (AN216200) は、サイプレス非バースト モード パラレル NOR フラッシュ メモリを使用する際の信号品質とシステム性能を向上させるためのプリント回路基板 (PCB) レイアウトの推奨事項について説明します。

### 1 はじめに

本書はサイプレス非バースト モード パラレル NOR フラッシュ メモリを利用した PCB 用の一般的な設計推奨事項を提供します。これらのガイドラインは信号配線およびデバイスへの電源供給の推奨事項を含みます。

一般に、最高の性能を達成するために、PCB 設計はインピーダンスおよび信号損失に対する管理環境を提供し、低インピーダンスの電源供給システムに対応し、電磁妨害 (EMI) を制御することが必要です。

本書は、サイプレス非バースト モード パラレル NOR フラッシュ製品を使用する PCB 設計の初期リファレンスとして役立ちます。これは信号品質と電源供給のシミュレーションを行う必要性を排除するものではありません。信号タイミングとクロストークのシミュレーションには、サイプレス提供の IBIS モデルおよびコントローラ ベンダーからの IBIS モデルを使用してください。プロトタイプと検証ビルド ユニットで実際の信号特性を経験的に検証する必要があります。

設計がここに示された推奨事項を満たせない場合、詳細なシミュレーションを実行し、推奨事項からのずれがバス性能に影響を与えるかどうかを判断します。

### 2 非バースト モード パラレル NOR フラッシュの信号説明

サイプレスの非バースト モード パラレル NOR フラッシュ製品はシングル ダイ パッケージおよびデュアル ダイ パッケージで提供されています。両方のオプションで、単一のチップ イネーブル制御入力 (CE#) はパッケージのすべてのダイを有効にします。表 1 はサイプレス非バースト モード パラレル NOR フラッシュ メモリ デバイス上のすべての I/O の説明をまとめたものです。図 1 はサイプレス フラッシュ メモリとホスト コントローラ間の単純化した信号接続図を示します。表 1 と表 2 は、すべてのサイプレス非バースト モード パラレル NOR フラッシュ デバイスに共通して存在する I/O を要約しており、個々のデバイスを反映していないことに注意してください。特定デバイスの I/O とその機能および動作に関する追加情報については、7 節に記載されている製品固有のデータシートをご参照ください。

表 1. I/O 説明および PCB 接続の推奨事項

記号	種類	説明
RESET#	入力	ハードウェアリセット: $V_{IL}$ (入力低電圧) で、デバイスは制御ロジックをスタンバイ状態にリセットし、アレイデータの読み出しが行えるようになる。
CE#	入力	チップ イネーブル: $V_{IL}$ で、ホスト コントローラとのデータ転送を行うデバイスを選択。
OE#	入力	出力イネーブル: $V_{IL}$ で、出力がアクティブに駆動される。 $V_{IH}$ (入力高電圧) で、出力が高インピーダンス (High-Z) になる。
WE#	入力	書き込みイネーブル: $V_{IL}$ で、ホストからデバイスへのデータ転送を示す。 $V_{IH}$ で、デバイスからホストへのデータ転送を示す。
Amax~A0	入力	アドレス入力

記号	種類	説明
DQmax~DQ0	入力/出力	データの入力および出力
DQ15/A-1	入力/出力	DQ15: データの入出力 A-1: バイト モードでのアドレス入力の最下位ビット
WP#/ACC	入力	書き込み保護: $V_{IL}$ で、デバイスのセクタでのプログラムおよび消去機能を無効にする。 $V_{IH}$ で、セクタは保護されない。 $V_{HH}$ (ACC プログラム アクセラレーション電圧) で、デバイスを自動的にアンロックバイパス モードにし、これをサポートするデバイス上で高速プログラミングをサポート。WP#は内部ブルアップ抵抗に接続している。外部に接続しない場合、WP#は $V_{IH}$ となる。
RY/BY#	出力 - オープンドレイン	レディー/ビジー: 組込みアルゴリズムが実行中であることを示す。
BYTE#	入力	データ バス幅選択
$V_{CC}$	電源	コア電源
$V_{IO}$	電源	I/O 用の電源
$V_{SS}$	電源	電源グランド
NC	未接続	内部的に接続されていない。このピン/ボールの位置は PCB でルーティング チャネルの一部として使用される場合がある。
RFU	未接続	将来使用のために予約済み。内部的に接続されていないが、将来の互換性として、このピン/ボールの位置は未接続のままとし、PCB のルーティング チャネルで使用しないでください。このピン/ボールは将来何らかの信号で使用される場合がある。
DNU	予約済み	使用禁止。サイプレスで予約済み。

図 1. ホストと非バースト モード パラレル NOR フラッシュ フラッシュの単純化されたインターフェース接続

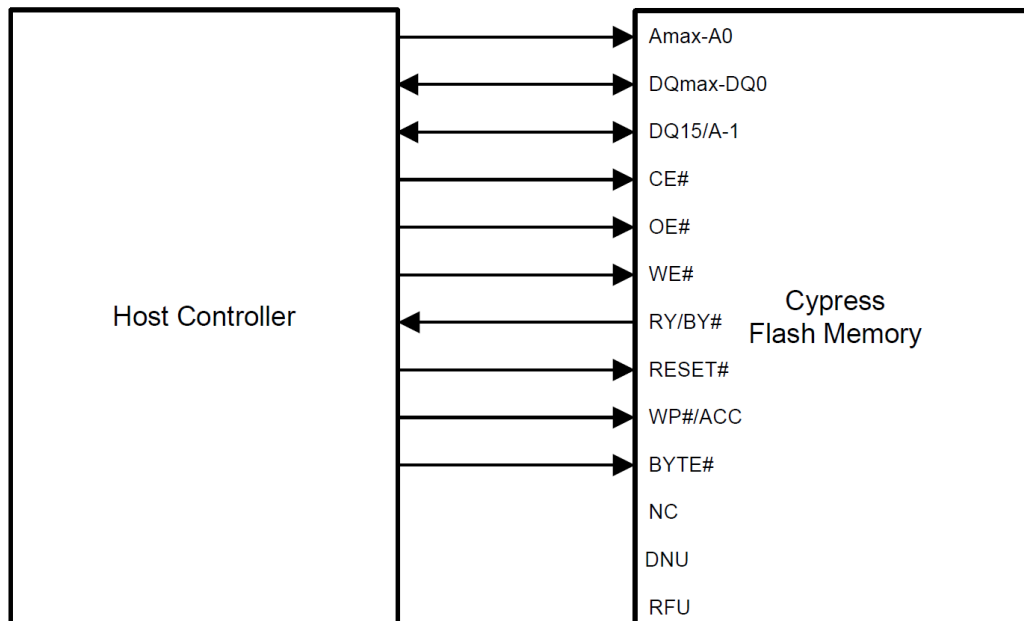


表 1 の信号は 5 つの異なる信号グループを示しています。データ、アドレス、読み出し/書き込み制御、他の制御、電源/グランド。信号配線においては信号グループを優先し、高品質の信号を維持する必要があります。表 2 で、5 つの信号グループの信号品質優先順位をランク付けします。1 は最高優先順位を表し、4 は最低順位を表します。

表 2. 信号グループの信号品質優先順位

信号グループ	ピン名	信号品質優先順位
データ	DQmax~DQ0	1
アドレス	Amax~A0、A-1	2
読み出し／書き込み制御	CE#、OE#、WE#	3
他の制御	RESET#、WP#/ACC、RY/BY#	4
電源／グランド	V <sub>CC</sub> 、V <sub>IO</sub> 、V <sub>SS</sub>	5 節をご参照ください

信号品質優先順位は、その特定の信号グループを高速信号として扱うことの重要性を示します。信号品質優先順位は、必ずしも信号配線順序を決定するとは限らないことにご注意ください。

### 3 信号ブレイクアウト、ルーティング戦略およびインピーダンス制御

サイプレスは、信号品質とインピーダンス制御を向上させるために以下の措置を推奨します。

- PCB の第 2 層がグランド面であると仮定し、すべての信号を最上層に接続 (ブレイクアウト) します。これにより、インピーダンス制御を改善し、ブレイクアウト配線とブレイクアウト領域外の配線間のインピーダンス不整合をより小さくできます。
- 可能な限りターゲットの電源ボール／ピンの近くに配置されたビアを介して、V<sub>CC</sub> と V<sub>IO</sub> を最も近い電源面に接続します。ランド パッドからビアまでの配線はできるだけ厚くします。
- 可能な限りターゲットのグランド ボール／ピンの近くに配置されたビアを介して、V<sub>SS</sub> を最も近いグランド面に接続します。ランド パッドからビアまでの配線はできるだけ厚くします。
- 50Ω のインピーダンスを実現するために、より小さい配線幅 (4mil~6mil) を使用し、隣接した配線間に約 3 配線幅分の間隔を空けます。データ配線のインピーダンスは、PCB のスタックアップと配線の幅に依存します。配線パス全体で連続配線インピーダンスが 50Ω (±10%) であれば、マイクロストリップまたはストリップラインのどちらの配線も使用できます。
- スルーホール ビアから生じる追加の容量性負荷によるインピーダンスの不連続性を低減するために、埋め込みビアを使用し、ビアをできるだけ少なくします。ビアが配線に付けられると、その配線の信号遅延が変化します。
- すべての信号グループを同じ信号構成 (すべてマイクロストリップまたはストリップライン) で、同じ信号層に配線します。

### 4 一般的な信号配線ガイドライン

以下のガイドラインは、信号品質とタイミング マージンを最適化するために推奨される配線幅と配線間隔、全長の制限、および長さのマッチングの要件を定義します。これらの推奨事項は、単純化のために、ホスト コントローラーとサイプレス非バースト モード パラレル NOR フラッシュ メモリ間のポイント ツー ポイント配線を想定しています。そうでない場合、最初にトポロジタイプを選択する必要があります (スター、T、またはデジジー チェーン)。サイプレスは、IBIS シミュレーションで決定された適切な終端抵抗を使用したスターまたは T トポロジを推奨します。特定のアプリケーションに合わせたガイドラインを判定するために、サイプレスが提供する IBIS モデルを使用して信号品質シミュレーションを実行することを検討してください。

- 配線インピーダンス要件に基づいて、信号の配線幅と配線間隔の正確な値を決定します。
- すべての信号に対して V<sub>SS</sub> 面を 1 次リファレンスまたはリターン パスとして使用します。電源層は、連続したベタ グランドリファレンスがある場合のみ、第 2 の信号リファレンス オプションと見なされます。
- リターン電流の不連続性を最小化または排除するために、リファレンス面の隙間や穴を避けます。
- リファレンス面の端には配線しません。
- データ信号の配線では、最初に最も長い信号から配線します。これにより、より短い長さの信号の調整ができます。
- アナログ信号のグランド リターン パスをデジタル ノイズから可能な限り分離します。

- パッケージ長の補正を考慮することで、すべての推奨される信号配線長を、パッケージ ピン (ソース) からパッケージ ピン (デスティネーション) までの距離に等しく維持します。
- 信号インテグリティ ツールを使用して実際の配線速度とパス遅延を推定し、誘電材料に依存する電気的特性を検証します。サイプレスは、誘電材料は FR4 と仮定して、信号配線の電気的特性を判定しています。この仮定では、1 インチは約 166ps に等しくなります。

## 4.1 信号配線のジオメトリ制約

### 4.1.1 最大全長

- 総負荷容量は信号品質に直接影響し、これはリファレンス面に関する信号の絶対最大長を定義します。
  - 総負荷容量は 30pF 以下にするべきです。
  - 総負荷容量は以下のものを含んでいます。
    - 総配線長の容量 (FR4 の場合は約 3.3pF/インチ)
    - コネクタや直列抵抗などの接続デバイスの寄生容量に関連する最大ピン容量
    - コントローラー パッケージの最大ピン容量
- 製品データシートに記載されているように、読み出し/書き込みの動作タイミング要件は、アドレス、制御、およびデータ信号配線ラインの全長を制限します。チャンネル タイミング シミュレーションを実行し、システムがこれらの重要なタイミング要件を満たしていることを確認します。例えば、アドレスとデータ信号の最大配線長は、連続した読み出し動作に必要な  $t_{acc}$  および  $t_{rc}$  パラメーターを保証する必要があります。
- サイプレス非バースト モード パラレル NOR フラッシュおよびフラッシュ インターフェース用コントローラー データシートで提供される主要タイミング パラメーターに対するタイミング式から始めることを推奨します。

### 4.1.2 長さマッチング

- 長さマッチングは、メモリ パッケージ ピンからコントローラーの信号ピンまでの配線の長さを指し、ビアの実効的な電気的長さを含む必要があります。
- サイプレスは WE# を最初に配線することを推奨します。WE# は CE#、アドレス、データとの長さ不一致要件を、それぞれ  $t_{CH}$ 、 $t_{ALS}/t_{ALH}$ 、および  $t_{DS}/t_{DH}$  により判定します。
- 表 3 は、さまざまな信号グループに対して信号スキューの推奨値を提供します。特定の制御信号が他の信号またはデータバスに対して常に先行するべきか遅延するべきかを判断するために、信号極性 (立ち上がりエッジおよび立ち下がりエッジトリガー) と先行および遅延のタイミングに注意してください。

表 3. 信号グループに対する長さマッチング推奨事項

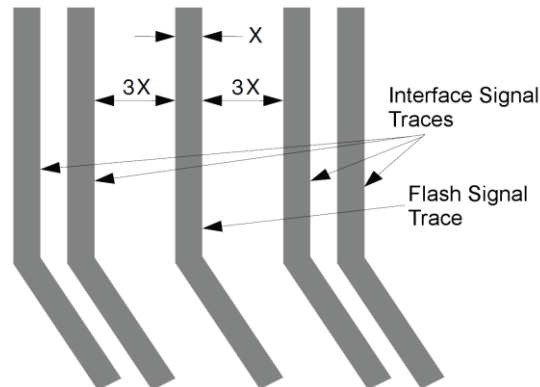
信号グループ	長さマッチング推奨事項
データ	±500mil
アドレス	±500mil
データから読み出し/書き込み制御まで	±500mil
アドレスから読み出し/書き込み制御まで	±500mil

- WP#, RY/BY#, および RESET# は可能な限り短くする必要があります。クロストークによるノイズを最小限に抑えるため、これらの信号を高周波信号に隣接して配線しないようにします。

### 4.1.3 信号配線間隔の制約

- 配線の中心間の間隔は、信号グループ内の「H」の 3 倍よりも大きくなければなりません (H は信号とグラウンド リファレンス層間の誘電体の高さです)。
- 信号グループ間の配線中心間隔は、配線幅の 3 倍より大きくする必要があります。さらに、フラッシュ信号と他のインターフェース信号との間の配線中心間隔も、配線幅の 3 倍以上とする必要があります。図 2 に、推奨される信号配線間隔を視覚的に示しています。

図 2. PCB 上の推奨する信号配線間隔



#### 4.1.4 終端

- コントローラーI/O の駆動強度/インピーダンスおよび伝送ラインの配線を確認し、直列終端がこれらのライン上に必要であるかを判定します。圧力、体積、温度 (PVT) (標準、最小、最大のコーナー) での駆動強度は、IBIS IV/VT 曲線を確認することで判断できます。
- RY/BY#プルアップ抵抗の値については、7 節に記載する該当するサイプレス製品のデータシートをご参照ください。

## 5 電源供給のガイドライン

以下の電源供給ガイドラインは、システムに電源の問題がないことを保証するのに役立ちます。

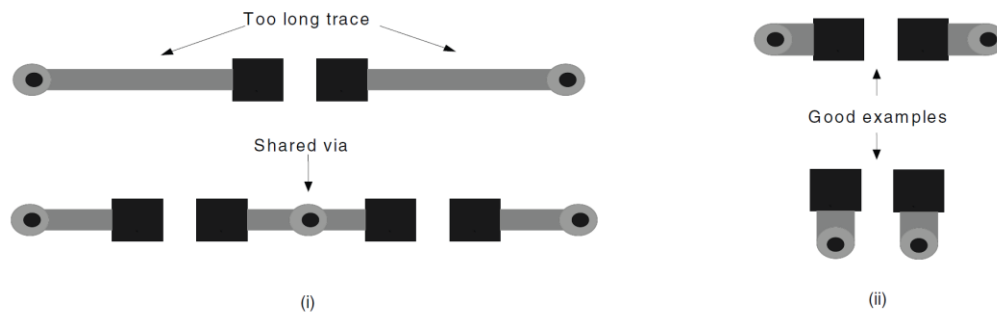
- IR ドロップを改善するために、各  $V_{SS}$  ピン/ボールをそれぞれ固有のビアを介してベタ グランド面に接続します。
- IR ドロップを改善するために、 $V_{CC}$  ピン/ボールをそれぞれ固有のビアを介して電源面に接続します。
- ブレークアウト層から複数のビアを介して  $V_{IO}$  ピン/ボールを別の  $V_{IO}$  面に接続します。
- $V_{IO}$  はどのポイントにおいても  $V_{CC} + 200\text{mV}$  より大きくてはいけません。そのため、これらの電源面を可能な限りノイズフリーに保つ必要があります。さらに、レギュレータ ピンからメモリ デバイス近くの  $V_{CC}$  および  $V_{IO}$  電源への様々な DC 降下の可能性があるため、レギュレータのセット ポイントおよび許容誤差はこの制限を考慮して選択する必要があります。
- 可能であれば、電源面間の間隔は少なくとも 20mil 以上に、同じ層上の電源ドメイン間の間隔は少なくとも 80mil 以上にしてください。電源ドメイン間の空隙は 40mil よりも大きく、できれば 100mil 程度にします。
- $V_{CC}$  や  $V_{IO}$  などの電源ドメインは、ボトルネックを避けるために、最も狭い場所で少なくとも 250mil の幅にしてください。
- ビアを介して電源が最も近い電源面に接続されるパッケージ ブレークアウト領域を除き、すべての電源配線に対して最小配線幅を 20mil に維持します。大きな誘導性のループを避けるために、電源配線とグランド配線 (または面) を互いに接近させて配置します。
- サイプレスでは、電源配線の長さを 400mil 以下に保ち、配線幅を 20mil 以上に保つことを推奨しています。
- 電圧レギュレータからフラッシュ電圧供給ピン/ボールまで、同様に電圧レギュレータからコントローラーのフラッシュ I/F 電源ピン/ボールまでの配線を低インピーダンスに維持するために、20mil 以上の配線幅を使用します。
- モジュール構成を使用する場合、電圧レギュレータはフラッシュ パッケージと同じ PCB 上にない可能性があります。この場合、 $V_{CC}$ 、 $V_{IO}$ 、 $V_{SS}$  までの配線を可能な限り低インピーダンスに維持してください。配線幅が広いほど、インピーダンスは低くなります。
- ホスト コントローラーとサイプレス非バースト モード パラレル NOR フラッシュの間にコネクタがある場合、サイプレスは G: S/P: G タイプ コネクタ構成の使用を推奨します。ここで、「S」は信号、「G」は GND、「P」は  $V_{CC}$  を示します。

- $V_{CC}$ ,  $V_{IO}$ , および GND の各テスト ポイントを各フラッシュ パッケージおよび電圧レギュレータの隣に追加することを推奨します。これらのテスト ポイントで、VRMとパッケージの両方で  $V_{CC}$ -GND および  $V_{IO}$ -GND の波形を測定できます。

## 5.1 デカップリング コンデンサの推奨事項

- できるだけパッケージの近くに PCB デカップリング コンデンサを配置します。
- 等価直列インダクタンス (ESL) および等価直列抵抗 (ESR) が小さいデカップリング コンデンサを選択します。
- コンデンサからの  $V_{CC}$ と GND の配線は、誘導性と抵抗性の影響を避けるために、できるだけ幅を広くします。
- パッケージの両側近くで  $V_{CC}$ と GND 間に少なくとも 2 個の  $1\mu\text{F}$  0402 セラミック コンデンサを配置する必要があります。
- これらのデカップリングコンデンサに加えて、 $V_{CC}$ と GND 間 2 個の  $0.1\mu\text{F}$  0402 セラミックコンデンサをできるだけパッケージの近くに配置し、さらに 2 個を  $V_{IO}$ と GND 間に配置します。
- サイプレスは定格電圧が  $V_{CC\text{ max}}$  の 2 倍以上の X7R または X5R コンデンサの使用を推奨します。
- デカップリング コンデンサの配線長は短くし、他のデカップリング コンデンサと共有しない独自のビアを備えている必要があります。図 3 にデカップリング コンデンサの配線技術の良い例と悪い例を示します。

図 3. デカップリング コンデンサ配線技術: (i) 悪い例、(ii) 良い例



## 6 テスト ポイントおよびオシロスコープでの測定

信号品質、タイミング、および電源供給特性評価は、業界標準のデジタル信号評価技術を使用して行う必要があります。以下の説明はこれらの多数の技術を示しています。

- $DQ_{\text{max}} \sim DQ_0$ , および  $RY/BY\#$  信号に対しては、テスト ポイントはコントローラーおよびサイプレス非バースト モード 平行 NOR フラッシュ メモリ パッケージ ピンのできるだけ近くに配置する必要があります。さらに、残りの信号に対しては、テスト ポイントは非バースト モード 平行 NOR フラッシュ メモリ パッケージ ピンのできるだけ近くに配置する必要があります。
- コントローラーが駆動している時には、できるだけフラッシュ メモリの近くで信頼できる信号測定を行います。フラッシュ メモリ デバイスが駆動している時はその逆で、フラッシュ メモリの遠くで測定を行います。
- テスト パッドの作成時に、そのテスト パッドによるスタブ (余分なインダクタンスと静電容量) を最小限にしてください。テスト パッド スタブを作成するより、ブレイクアウト ビアでプローブすることを推奨します。さらに、スルーホール ビアを備えた 4 層 PCB の場合、可能であれば PCB 底面上のスルーホール ビアで信号をプローブします。
- オシロスコープでの測定時は、3GHz 以上の帯域幅のオシロスコープと低インピーダンス プローブを使用します。これにより、波形遷移 (波形の立ち上がりや立ち下がり部分など) をより正確に見れます。
- $V_{CC}-V_{SS}$  と  $V_{IO}-V_{SS}$  は常にコントローラー、電圧レギュレータ、コネクタの近く (どちらの側でも可), およびフラッシュ メモリで測定します。これは電源で信号タイミングに影響するノイズがないことを確かめるために、信号測定を行う前に実行してください。また、これらの測定でレギュレータからコントローラーまで、またはレギュレータからフラッシュ デバイスまでの IR ドロップを確認できます。

- 信号測定の時、WE#などの最も一般的なスイッチング信号にトリガーをセットすることを推奨します。

## 7 関連資料

表 4. サイプレス非バースト モード パラレル NOR フラッシュ製品固有データシート

製品ファミリ	仕様書番号	タイトル
GL ファミリ	001-98285	3.0V GL-S Flash Memory Family, S29GL01GS 1 Gbit, S29GL512S 512 Mbit, S29GL256S 256 Mbit, S29GL128S 128 Mbit Datasheet
	001-98286	3.0V GL-S Flash Memory, S29GL064S 64 Mbit Datasheet
	001-98296	S70GL02GS 2 Gbit (256 Mbyte) 3.0V Flash Memory Datasheet
	001-98525	S29GL064N, S29GL032N 64 Mbit, 32 Mbit 3 V Page Mode MirrorBit Flash Datasheet
	002-00247	S29GL01GT 1 Gbit and S29GL512T 512 Mbit Parallel NOR Flash Datasheet
	002-00886	S29GL01GP, S29GL512P, S29GL256P, S29GL128P 1 Gbit, 512, 256, 128 Mbit, 3 V, Page Flash with 90 nm MirrorBit Process Technology Datasheet
	002-01338	S70GL02GP, 2 Gbit, 3.0 Volt-only Page Mode, S70GL-P MirrorBit® Flash Memory Datasheet
	002-01522	S29GL512N, S29GL256N, S29GL128N 512, 256, 128 Mbit, 3 V, Page Flash Featuring 110 nm MirrorBit Datasheet
PL ファミリ	002-00615	S29PL-J 128/128/64/32 Mbit (8/8/4/2M x 16-Bit) V, Flash with Enhanced VersatileIO™ Datasheet
JL ファミリ	002-00856	S29JL064J 64 Mbit (8M x 8-Bit/4M x 16-Bit), 3 V, Simultaneous Read/Write Flash Datasheet
AL ファミリ	002-00777	S29AL016J 16 Mbit (2 M x 8-Bit/1 M x 16-Bit), 3 V, Boot Sector Flash Datasheet
AS ファミリ	002-01122	S29AS016J 16 Mbit (2 M x 8-Bit/1 M x 16-Bit), 1.8 V Boot Sector Flash Datasheet

## 改訂履歴

文書名: AN216200 – サイプレス非バースト モード パラレル NOR フラッシュ メモリ – プリント基板レイアウト ガイド

文書番号: 002-17947

版	ECN	変更者	発行日	変更内容
**	5579878	HZEN	01/10/2017	これは英語版 002-16200 Rev. **を翻訳した日本語版 002-17947 Rev. **です。
*A	6508949	YSAT	03/15/2019	これは英語版 002-16200 Rev. *Aを翻訳した日本語版 002-17947 Rev. *Aです。



## ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

### 製品

Arm® Cortex® Microcontrollers	<a href="http://cypress.com/arm">cypress.com/arm</a>
車載用	<a href="http://cypress.com/automotive">cypress.com/automotive</a>
クロック&バッファ	<a href="http://cypress.com/clocks">cypress.com/clocks</a>
インターフェース	<a href="http://cypress.com/interface">cypress.com/interface</a>
IoT(モノのインターネット)	<a href="http://cypress.com/iot">cypress.com/iot</a>
メモリ	<a href="http://cypress.com/memory">cypress.com/memory</a>
マイクロコントローラ	<a href="http://cypress.com/mcu">cypress.com/mcu</a>
PSoC	<a href="http://cypress.com/psoc">cypress.com/psoc</a>
電源用 IC	<a href="http://cypress.com/pmhc">cypress.com/pmhc</a>
タッチ センシング	<a href="http://cypress.com/touch">cypress.com/touch</a>
USB コントローラー	<a href="http://cypress.com/usb">cypress.com/usb</a>
ワイヤレス	<a href="http://cypress.com/wireless">cypress.com/wireless</a>

### PSoC®ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

### サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#)  
| [Components](#)

### テクニカル サポート

[cypress.com/support](http://cypress.com/support)



Cypress Semiconductor  
198 Champion Court  
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2016 -2019. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でののみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

**適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示をとわず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。**いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、[cypress.com](http://cypress.com) を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。