



请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

### 文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

### 订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

## 赛普拉斯非突发式并行 NOR Flash 存储器 — PCB 布局指南

作者： **Umesh Painaik、Siew Pin Woo、Benjamin Heintz**

相关器件系列： **S29AS-J、S29AL-J、S29JL-J、S29PL-J、S29GL-N、S29GL-P、S29GL-S 和 S29GL-T**

相关应用笔记： **AN98508、AN201383 和 AN211622**

AN216200 介绍了使用赛普拉斯非突发式并行 NOR Flash 存储器时有关印刷电路板（PCB）布局的建议，从而提高信号的完整性以及系统的性能。

### 1 简介

本文档提供了使用赛普拉斯非突发式并行 NOR Flash 存储器时有关 PCB 的通用设计指南。这些指南包括信号布线和器件的电源供应设计指南。

一般情况下，为了获得最佳性能，PCB 设计应能够提供阻抗和损耗可控的环境、支持低阻抗电源供应系统，并能够控制电磁干扰（EMI）。

要想设计使用赛普拉斯非突发模式 NOR Flash 的 PCB，建议参考本文档，但仍需要执行信号完整性和电源供应仿真。可以利用赛普拉斯和控制器供应商所提供的 IBIS 模型进行信号时序和串扰模拟操作。您应该在单板试制阶段根据经验来验证实际单板的信号特性。

如果设计不能满足本文档所列出的建议，请执行详细的仿真，从而确定实际情况与所建议的数值之间的差异是否影响总线性能。

### 2 非突发式并行 NOR Flash 信号说明

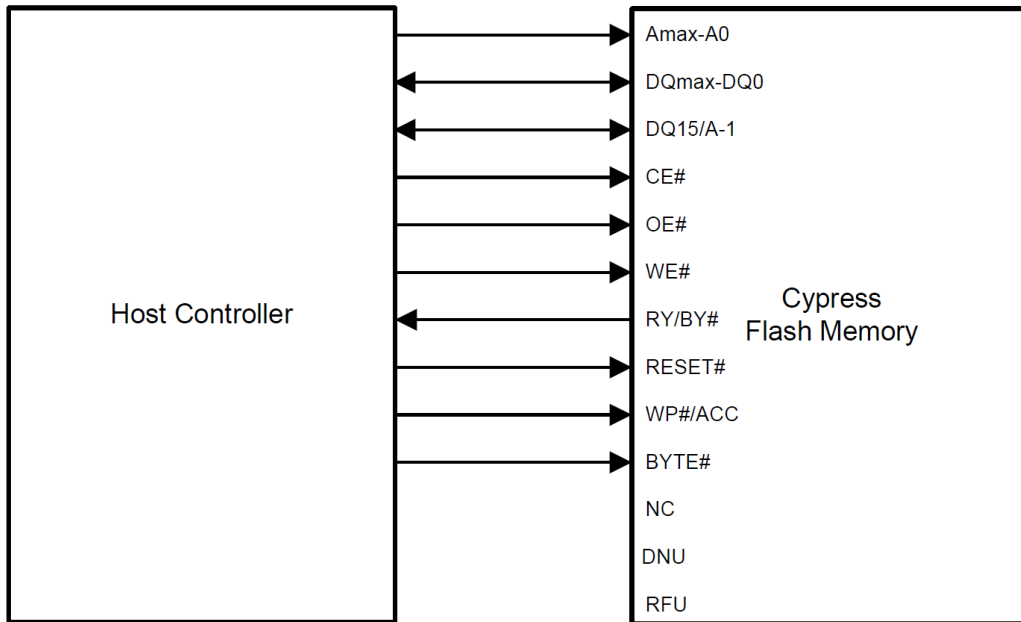
赛普拉斯非突发式并行 NOR Flash 产品有两种封装类型：单晶片封装和双晶片封装。在这两种类型中，通过单芯片使能控制输入（CE#），可以使能封装内的所有晶片。表 1 介绍了赛普拉斯非突发式并行 NOR Flash 存储器件的所有 I/O。图 1 则显示了赛普拉斯 Flash 存储器与主机控制器之间的简要信号连接图。请注意，表 1 和表 2 总结了所有赛普拉斯非突发式并行 NOR Flash 器件上的 I/O，个别器件可能会有所不同，具体请参考第 7 节所列出的产品数据手册，以确定特定器件的 I/O 以及其他有关其功能和操作的信息。

表 1. I/O 说明和 PCB 连接的建议

符号	类型	说明
RESET#	输入	硬件复位。在 $V_{IL}$ （输入低电平电压）下，该信号可使器件将控制逻辑复位为它的待机状态，并可以读取阵列数据。
CE#	输入	芯片使能。在 $V_{IL}$ 下，该信号可选择要与主机控制器进行数据传输的器件。
OE#	输入	输出使能。在 $V_{IL}$ 下，该信号用于有效驱动各个输出。在 $V_{IH}$ （输入高电平电压）下，该信号可使输出变为高阻态（HI-Z）。
WE#	输入	写入使能。在 $V_{IL}$ 下，该信号表示数据从主机传输给器件。在 $V_{IH}$ 下，该信号表示数据从器件传输给主机。
Amax-A0	输入	地址输入。
DQmax-DQ0	输入/输出	数据输入和输出。

符号	类型	说明
DQ15/A-1	输入/输出	DQ15: 数据输入和输出。 A-1: 地址输入的最低有效位 (在字节访问模式下)
WP#/ACC	输入	写保护。在 $V_{IL}$ 下, 通过该信号, 可以禁用对器件扇区进行的编程和擦除操作。在 $V_{IH}$ 下, 该扇区不受保护。在 $V_{HH}$ (ACC 编程加速用电压) 下, 该信号会自动使器件进入解锁旁路模式, 并支持器件的加速编程功能 (仅限于具有该功能的器件)。WP# 具有一个内部上拉电阻。当断开连接时, WP# 将处于 $V_{IH}$ 。
RY/BY#	开漏输出	就绪/忙碌。该信号表示器件是否正在执行内部操作。
BYTE#	输入	用于选择数据总线宽度。
$V_{CC}$	电源	内核电源。
$V_{IO}$	电源	输入/输出电源。
$V_{SS}$	电源	电源接地引脚。
NC	无连接	内部无连接。该引脚/球形焊盘在印刷电路板 (PCB) 上可用于布板走线。
RFU	无连接	留给将来使用, 当前内部无连接。考虑到未来该引脚可能用于别的信号的兼容性, 不建议连接该引脚/球形焊盘或将其作为一个 PCB 布线通道。
DNU	保留	请勿使用。赛普拉斯保留信号。

图 1. 主机与非突发式并行 NOR Flash 间的简化信号连接



可将表 1 中所列出的信号分为 5 个不同的信号组: 数据、地址、读/写控制、其他控制以及电源/接地信号。进行信号布线过程中, 您应该优先考虑信号组, 以确保它们作为高质量信号。表 2 提供了 5 个信号组的完整性优先级, 其中: 1 表示优先级最高, 4 表示优先级最低。

表 2. 信号组的信号完整性优先级

信号组	引脚名称	信号完整性优先级
数据	DQmax-DQ0	1
地址	Amax-A0、A-1	2
读/写控制	CE#、OE#、WE#	3
其他控制	RESET#、WP#/ACC、RY/BY#	4
电源/接地	V <sub>CC</sub> 、V <sub>IO</sub> 、V <sub>SS</sub>	请参考第 5 节

信号完整性优先级表示将特定信号组作为高速信号处理的重要性。请注意，信号完整性优先级不一定表示信号布线的顺序。

### 3 信号分线（Breakout）、布线策略和阻抗控制

赛普拉斯推荐采取以下措施来提高信号的完整性和阻抗控制能力。

- 对 PCB 层上的所有信号进行分线，假设第二层为接地层。这样可使分线走线和分线区域外的走线间具有更好的阻抗控制和阻抗匹配性能。
- 将 V<sub>CC</sub> 和 V<sub>IO</sub> 通过过孔连接到最近的电源层（这些过孔与目标器件的电源球形焊盘/引脚之间的距离越短越好）。从焊盘到过孔的走线的厚度应尽可能大。
- 将 V<sub>SS</sub> 通过过孔连接到最近的接地层（这些过孔与目标器件的接地球形焊盘/引脚之间的距离越短越好）。从焊盘到过孔的走线的厚度应尽可能大。
- 使用较小宽度的走线（介于 4 mil 和 6 mil 之间），并且相邻走线之间的距离大约为走线宽度的三倍，这样可实现一个 50 Ω 的阻抗。数据走线的阻抗取决于 PCB 的堆叠和走线宽度。只要在整个布线路径上维持 50 Ω (±10%) 的连续走线阻抗，便能够进行微波传送带和带状线信号布线。
- 使用埋孔（其数量尽可能少）可降低由附加电容负载通过过孔而引起的阻抗不连续现象。走线与任意过孔的连接都会改变该走线的信号延迟。
- 将所有信号组布线到同一个信号层上，并且使用相同的信号配置（全部为微波传送带或带状线信号）。

### 4 通用信号布线指南

以下指南介绍了所建议的走线宽度和间距、总长度限制以及长度匹配的要求，从而可使信号完整性和时序余量最佳。为了简单起见，这些指南假设主机控制器与赛普拉斯非突发式并行 NOR Flash 之间采用点对点的布线方式。否则，首先要选择应遵循的拓扑类型（星型、T 型或菊花链型）。赛普拉斯建议使用星型或 T 型拓扑结构，并使用符合 IBIS 仿真的终端电阻。应该考虑使用赛普拉斯提供的 IBIS 模型执行信号完整性模拟，以确定适合您特定应用的实际指南。

- 应该根据走线阻抗要求决定信号走线的宽度和走线间距的正确值。
- 建议将 V<sub>SS</sub> 地层作为所有信号的主要参考层或返回路径使用。由于存在实心且连续的接地参考层，电源层只是次要的信号参考层。
- 参考层不应该具有任何间隙或空隙来最小化或消除回流中断。
- 避免将走线布线到参考层的边缘。
- 布线数据信号时，先布线最长的信号线。这样可以调整长度较短的信号线。
- 如果可能，请尽量将模拟信号的接地返回路径与数字噪声隔开。
- 通过考虑封装长度补偿，使所有建议信号布线长度等于从封装引脚（源引脚）到封装引脚（目标引脚）间的长度。

- 采用信号完整性工具来估计实际的信号传输速度和信号路径延迟，从而根据介电材料验证电气性能。赛普拉斯假定介电材料为 FR4，从而可以确定信号布线的电气性能。这样，1 英寸大约为 166 ps。

## 4.1 信号布线的几何限制

### 4.1.1 总长度最大值

- 通过总负载电容（该值直接影响信号完整性），可定义与信号参考层相对应的信号最大绝对长度。
  - 总负载电容应低于 30 pF。
  - 总负载电容包括以下各项：
    - 走线长度的总电容（假设使用 FR4 材料，该值为 ~ 3.3 pF/英寸）
    - 与所连接器件（如：连接器和串联电阻）的寄生电容有关的最大引脚电容
    - 控制器封装的最大引脚电容
- 读/写操作的时序要求对地址、控制 and 数据信号布线线路的总长度提出了要求，如产品数据手册中所述。应执行信号通道时序仿真，以确保系统满足这些时序关键要求。例如：需要确定地址和数据信号线的最大长度，以确保各个连续读取操作都满足  $t_{acc}$  和  $t_{rc}$  的要求。
- 最佳方法是从 Flash 接口关键时序参数的 AC 时序公式开始，这些公式可以在赛普拉斯非突发式并行 NOR Flash 和控制器的数据手册中找到。

### 4.1.2 长度匹配

- 长度匹配指的是从存储器封装引脚到控制器信号引脚的走线长度。长度匹配必须包含所有过孔的有效电气长度。
- 赛普拉斯建议先布线 WE#。WE# 将分别通过  $t_{CH}$ 、 $t_{ALS}/t_{ALH}$  和  $t_{DS}/t_{DH}$  确定对 CE#、地址和数据的长度失配要求。
- 表 3 提供了不同信号组的延时建议值。请注意信号极性（上升沿和下降沿触发）以及超前和滞后的时序，以确定特定控制信号与另一个信号或数据总线间的延时。

表 3. 信号组的长度匹配推荐值

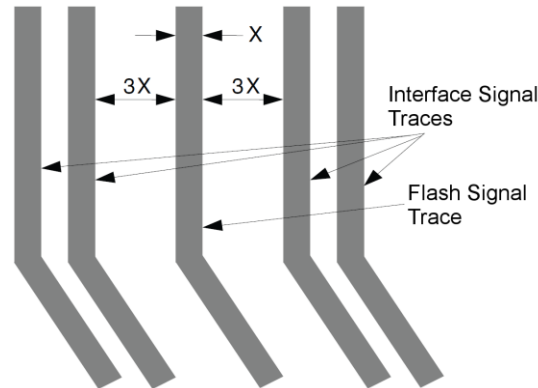
信号组	长度匹配推荐值
数据	± 500 mils
地址	± 500 mils
数据与读/写控制	± 500 mils
地址与读/写控制	± 500 mils

- 应尽可能缩短 WP#、RY/BY# 和 RESET# 信号线的长度。布线这些信号时，避免使其靠近高频信号，以尽量减少串扰噪声。

### 4.1.3 信号间距限制

- 在一组信号中，中心到中心的走线间距应大于 ‘H’ 的三倍，其中 H 是信号和接地参考层之间电介质的厚度。
- 各组信号间的中心到中心的走线间距应大于三倍走线宽度。此外，Flash 信号与其它接口信号间的中心到中心的走线间距也要大于三倍走线宽度。图 2 提供的是推荐的信号走线间距图。

图 2. PCB 上的推荐信号走线间距



#### 4.1.4 终端电阻

- 您应该查看控制器 I/O 的驱动强度/阻抗和传输线布线情况，以便确定在这些线上是否需要串联终端电阻。通过查看 IBIS IV/VT 曲线，可以确定压力、体积和温度（PVT）（典型值、最小值和最大值）的驱动强度。
- 请参考第 7 节所列出的相应赛普拉斯产品数据手册，以了解 RY/BY# 的上拉电阻值。

## 5 电源供应指南

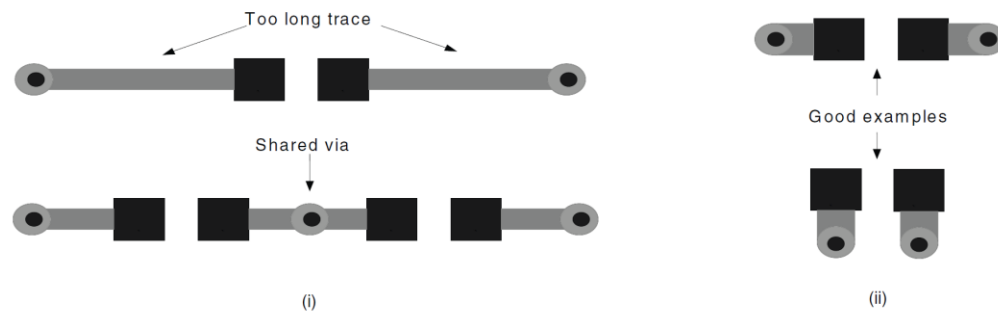
以下各电源供应指南有助于确保系统不会发生任何电源问题：

- 通过实心接地层上唯一的过孔，将各个 V<sub>SS</sub> 引脚/球形焊盘连接到该接地层，从而改善 IR 压降问题。
- 通过电源层上唯一的过孔，将各个 V<sub>CC</sub> 引脚/球形焊盘连接到该电源层，从而改善 IR 压降问题。
- 通过信号分线层的多个过孔，将 V<sub>IO</sub> 引脚/球形焊盘连接到单独的 V<sub>IO</sub> 层。
- V<sub>IO</sub> 必须大于 V<sub>CC</sub> + 200 mV。因此，您需要尽量减少这些电源层的噪声。此外，由于从电压调节器引脚到存储器设备附近的 V<sub>CC</sub> 和 V<sub>IO</sub> 电源间的 DC 压降可能不同，因此在选择电压调节器的设置点和容差时应该考虑该限制。
- 如果可能，应保持各个电源层间的距离最少为 20 mil。并且，同一层上的各电源岛间的距离最少为 80 mil。电源岛间的空气间隙必须大于 40 mil，最好为 100 mil。
- 电源岛（如 V<sub>CC</sub> 和 V<sub>IO</sub> 岛）在最狭窄点上的宽度应至少为 250 mil，这样可避免瓶颈现象。
- 除了在封装的信号分线区域（电源走线通过其过孔连接到最接近的电源层）外，其他所有电源走线的最小宽度应保持在 20 mil。使电源靠近接地走线（或层），以避免较大的电感环路。
- 赛普拉斯推荐的电源走线长度最大为 400 mil，并且走线宽度最少为 20 mil。
- 从电压调节器到 Flash 电压电源引脚/球形焊盘和从电压调节器到控制器 Flash I/F 电源引脚/球形焊盘应使用大于 20 mil 的走线，这样可以维持低阻抗。
- 使用模型配置时，电压调节器可能与 Flash 封装不在同一块 PCB 上。此时，您需要尽量减少从各条走线到 V<sub>CC</sub>、V<sub>IO</sub> 和 V<sub>SS</sub> 的阻抗。走线宽度越大，阻抗越小。
- 如果主机控制器与赛普拉斯非突发式并行 NOR Flash 间使用了一个连接器，那么推荐使用 G: S/P: G 类型的连接器配置，其中：S 表示信号，G 表示 GND，P 表示 V<sub>CC</sub>。
- 应使 V<sub>CC</sub>、V<sub>IO</sub> 和 GND 测试点尽量靠近每个 Flash 封装，并位于电压调节器旁边。通过这些测试点，可以在 VRM 和封装端分别测量 V<sub>CC</sub> 与 GND 和 V<sub>IO</sub> 与 GND 的波形。

## 5.1 去耦电容建议

- 在 PCB 上将去耦电容贴装在离封装尽可能近的位置。
- 选择具有较低的等效串联电感 (ESL) 和等效串联电阻 (ESR) 的去耦电容。
- 从电容布线的  $V_{CC}$  和  $GND$  走线的宽度应尽可能大, 以避免电感/电阻产生的影响。
- 在  $V_{CC}$  和  $GND$  间应连接至少两个  $1\ \mu\text{F}$  的 0402 陶瓷电容, 即在封装中一侧连接一个。
- 此外, 在  $V_{CC}$  和  $GND$  之间放置两个  $0.1\ \mu\text{F}$  的 0402 陶瓷电容, 并使其尽可能靠近封装, 另外在  $V_{IO}$  和  $GND$  间也将另外两个相同的电容放置在离封装最近的位置。
- 赛普拉斯建议使用 X7R 或 X5R 电容, 其额定电压至少为  $V_{CC}$  最大值的两倍。
- 去耦电容的走线长度应该短, 并且应该使用单独的过孔, 不与另一个去耦电容共用。图 3 显示了去耦电容布线技术的好/坏示例。

图 3. 去耦电容布线技术: (i) 不良的布线示例、(ii) 好的布线示例



## 6 测试点和示波器测量

您应该使用符合工业标准的数字信号评估技术来确定信号质量、时序和电源供应特性。以下内容概述了其中部分技术。

- 对于  $DQ_{max}$ - $DQ_0$  和  $RY/BY\#$  信号, 应尽可能在靠近控制器和赛普拉斯非突发式并行 NOR Flash 存储器封装的引脚所在的位置进行测量。对于其他信号, 则应在靠近赛普拉斯非突发式并行 NOR Flash 存储器封装的引脚所在位置进行测量。
- 控制器处于驱动状态时, 在尽可能接近 Flash 存储器位置上测量有用信号。Flash 器件处于驱动状态时, 情况相反。
- 创建一个测试焊盘时, 尽量缩短该焊盘上的截线 (由于它们会引起附加电感和电容)。最好应在分线过孔上测试信号, 而不该创建测试焊盘短截线。此外, 在使用具有通孔的 4 层 PCB 时, 如果可以, 请在 PCB 底层上过孔所在位置测试各信号。
- 执行示波器测量时, 使用  $3\ \text{GHz}$  或更大带宽的示波器和低阻抗探针。这样, 波形转换 (如波形的上升部分和下降部分) 会显得更加准确。
- 通常需要在控制器、电压调节器、连接器旁边 (任何一侧) 和 Flash 存储器上测量  $V_{CC}$ - $V_{SS}$  和  $V_{IO}$ - $V_{SS}$ 。请在测量任意信号前执行上述操作, 以确保电源不存在噪声 (该噪声会影响信号的时序)。此外, 这些测量操作可确定从电压调节器到控制器或到 Flash 存储器的 IR 压降。
- 测量信号时, 建议设置用于显示大部分通用开关信号 (如  $WE\#$ ) 的触发点。

## 7 相关文档

表 4. 赛普拉斯非突发式并行 NOR Flash 产品特定的数据手册

产品系列	文档编号	标题
GL 系列	<a href="#">001-98285</a>	3.0 V GL-S Flash 存储器系列: S29GL01GS 1 Gbit、S29GL512S 512 Mbit、S29GL256S 256 Mbit、S29GL128S 128 Mbit 数据手册
	<a href="#">001-98286</a>	3.0 V GL-S Flash 存储器: S29GL064S 64 Mbit 数据手册
	<a href="#">001-98296</a>	S70GL02GS 2 Gbit (256 Mbyte) 3.0 V Flash 存储器数据手册
	<a href="#">001-98525</a>	S29GL064N、S29GL032N 64 Mbit、32 Mbit 的 3 V 页模式 MirrorBit Flash 数据手册
	<a href="#">002-00247</a>	S29GL01GT 1 Gbit 和 S29GL512T 512 Mbit 并行 NOR Flash 数据手册
	<a href="#">002-00886</a>	S29GL01GP、S29GL512P、S29GL256P、S29GL128P 1 Gbit、512、256、128 Mbit 的 3 V 页模式 90 nm MirrorBit Flash 数据手册
	<a href="#">002-01338</a>	S70GL02GP 2 Gbit 的 3 V 页模式 Flash 和 S70GL-P MirrorBit® Flash 存储器数据手册
	<a href="#">002-01522</a>	S29GL512N、S29GL256N、S29GL128N 512、256、128 Mbit、3 V、页模式的 110 nm MirrorBit Flash 数据手册
PL 系列	<a href="#">002-00615</a>	带增强型 VersatileIO™ 的 S29PL-J 128/128/64/32 Mbit (8/8/4/2M x 16 Bit) 3 V Flash 数据手册
JL 系列	<a href="#">002-00856</a>	支持同时读/写性能的 S29JL064J 64 Mbit (8M x 8 Bit/4M x 16 Bit) 3 V Flash 数据手册
AL 系列	<a href="#">002-00777</a>	支持启动扇区的 S29AL016J 16 Mbit (2 M x 8 Bit/1 M x 16 Bit) 3 V Flash 数据手册
AS 系列	<a href="#">002-01122</a>	支持启动扇区的 16 Mbit (2 M x 8 Bit/1 M x 16 Bit) 1.8 V S29AS016J Flash 数据手册



## 文档修订记录

文档编号: AN216200 — 赛普拉斯非突发式并行 NOR Flash 存储器 — PCB 布局指南

文档编号: 002-17946

版本	ECN	提交日期	变更说明
**	5552239	12/14/2016	本文档版本号为 Rev**, 译自英文版 002-16200 Rev**。
*A	6844704	04/02/2020	本文档版本号为 Rev. *A, 译自英文版 002-16200 Rev. *A。

## 全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、原厂代表和经销商组成的全球性网络。如欲查找离您最近的办事处，请访问赛普拉斯所在地。

### 产品

Arm® Cortex®微控制器	<a href="http://cypress.com/arm">cypress.com/arm</a>
汽车级产品	<a href="http://cypress.com/automotive">cypress.com/automotive</a>
时钟与缓冲器	<a href="http://cypress.com/clocks">cypress.com/clocks</a>
接口	<a href="http://cypress.com/interface">cypress.com/interface</a>
物联网	<a href="http://cypress.com/iot">cypress.com/iot</a>
存储器	<a href="http://cypress.com/memory">cypress.com/memory</a>
微控制器	<a href="http://cypress.com/mcu">cypress.com/mcu</a>
PSoC	<a href="http://cypress.com/psoc">cypress.com/psoc</a>
电源管理 IC	<a href="http://cypress.com/pmhc">cypress.com/pmhc</a>
触摸感应	<a href="http://cypress.com/touch">cypress.com/touch</a>
USB 控制器	<a href="http://cypress.com/usb">cypress.com/usb</a>
无线连接	<a href="http://cypress.com/wireless">cypress.com/wireless</a>

### PSoC®解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

### 赛普拉斯开发者社区

[社区](#) | [代码示例](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

### 技术支持

[cypress.com/support](http://cypress.com/support)



Cypress Semiconductor  
198 Champion Court  
San Jose, CA 95134-1709

© 赛普拉斯半导体公司，2016-2020 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

**在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。**因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的使用或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用者应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 [cypress.com](http://cypress.com) 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。