

AN217000

サイプレス S25FL-L シリアル NOR フラッシュ製品のプログラマ向けガイド

著者: **Suhail Zain**

関連製品ファミリ: **S25FL-L**

S25FL-L シリアル NOR フラッシュ ファミリは、65nm フローティング ゲート NOR 技術で製造されたサイプレス初の高性能マルチ入力/出力シリアル フラッシュ メモリ製品です。本アプリケーション ノート (AN217000) は、ソフトウェア プログラマやシステム エンジニア向けに S25FL-L ファミリの使用法、および S25FL-L ファミリのシステムへの統合方法を説明します。

1 はじめに

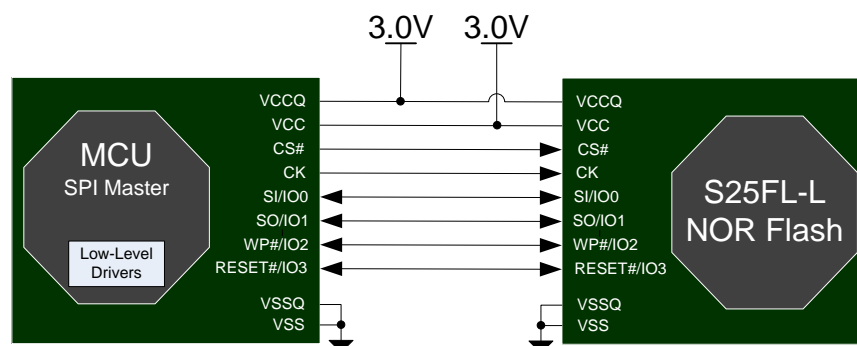
本書は S25FL-L シリアル NOR フラッシュ ファミリ製品をシステムに統合するためのガイドラインを提供いたします。完全な仕様については、データシートをご参照ください。

2 S25FL-L ファミリの概要

S25FL-L はシリアル NOR フラッシュ メモリ製品の 3.0V 単一電源ファミリで、高度な 65nm フローティング ゲート プロセス技術をベースにしています。このファミリは、高速 SPI 互換バス インターフェースで少信号数をペアにし、高いシリアル転送速度のために高度な書き込み保護ロジックおよび高性能デュアル/クワッド入出力命令を備えています。読み出し帯域幅は、クロックの両エッジでデータを転送するダブル データ レート (DDR) 命令によってさらに強化されています。

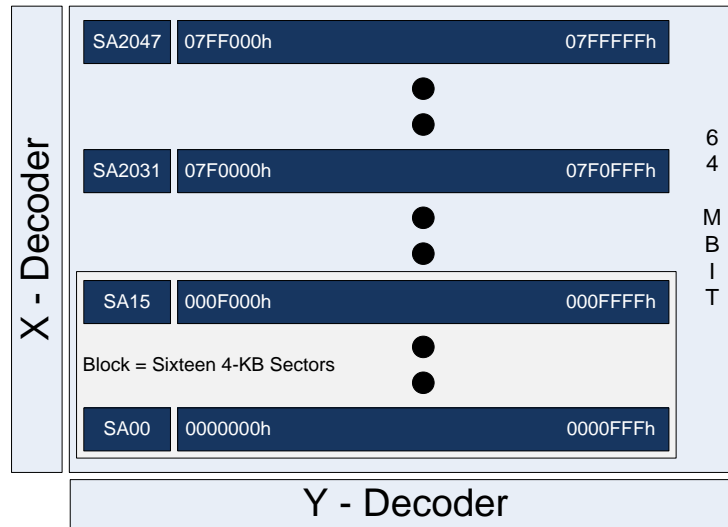
図 1 に SPI マスターが S25FL-L フラッシュ チップ (SPI スレーブ) に接続する方法を示します。サイプレスは読み出し、プログラムおよび消去の機能を可能にする低レベルドライバー (LLD) ソフトウェアを提供します。

図 1. S25FL-L への SPI マスター コントローラー



S25FL-L ファミリは各セクタ (最小消去可能領域) が 4KB のユニフォーム セクタ アーキテクチャを持ちます。S25FL-L ファミリはブロック (64KB) およびハーフブロック (32KB) も定義し、これらはそれぞれ 16 セクタと 8 セクタです。セクタ、ハーフブロック、ブロックおよびチップの消去命令があります。図 2 に、S25FL064L デバイスのアレイ ブロック アーキテクチャを示します。高容量デバイスも同様のアーキテクチャです。

図 2. S25FL064L アレイ アーキテクチャ



S25FL-L デバイスは、内部 256 バイト ページ プログラミング バッファを持っており、これはページ プログラム コマンドによってフラッシュ デバイスの 256 バイト ページ アドレスにアライメントされています。ページ プログラミングの範囲は、ページの 1 バイトから 256 バイトまでです。

消去やプログラミングなどのデバイス内部動作は、完了に一定の時間が掛かり、組み込み動作 (EO) と呼ばれます。EO の間、デバイスはビジーであり、ほとんどのコマンドが無視されます。ステータス レジスタ読み出しコマンドは、EO が完了したかを判断するために使用されます。

読み出しコマンドはメモリ アレイの任意のバイト アドレスから開始できます。各バイトがシフトアウトされた後、アドレスは次に高いアドレスに、連続した順序で内部的にインクリメントします。アドレスはフラッシュ アレイの最上位アドレスの後、自動的に 000000h にロール オーバします。したがって、任意のフラッシュ アドレスから開始する単一読み出し命令を使用し、メモリ アレイ全体を読み出すことが可能です。

3 ステータス レジスタ

S25FL-L は、ホスト システムがデバイスの現在の状態、EO エラー ステータスまたはサスペンド ステータスをチェックするために使用する 2 つの 8 ビット ステータス レジスタがあります。表 1 にステータス レジスタとその状態を示します。

表 1. ステータス レジスタとデフォルトの状態

ステータス レジスタ	レジスタ ビット	説明	ありうる状態
1	WIP	書き込み中 - デバイス ビジー	0 = デバイス レディー - EO は処理中でない 1 = デバイス ビジー - EO は処理中
2	E_ERR	消去エラー発生	0 = 消去エラー発生なし 1 = 消去エラー発生
	P_ERR	プログラミング エラー発生	0 = プログラム エラー発生なし 1 = プログラム エラー発生
	ES	消去一時停止	0 = 消去一時停止モードでない 1 = 消去一時停止モード
	PS	プログラム一時停止	0 = プログラム一時停止モードでない 1 = プログラム一時停止モード

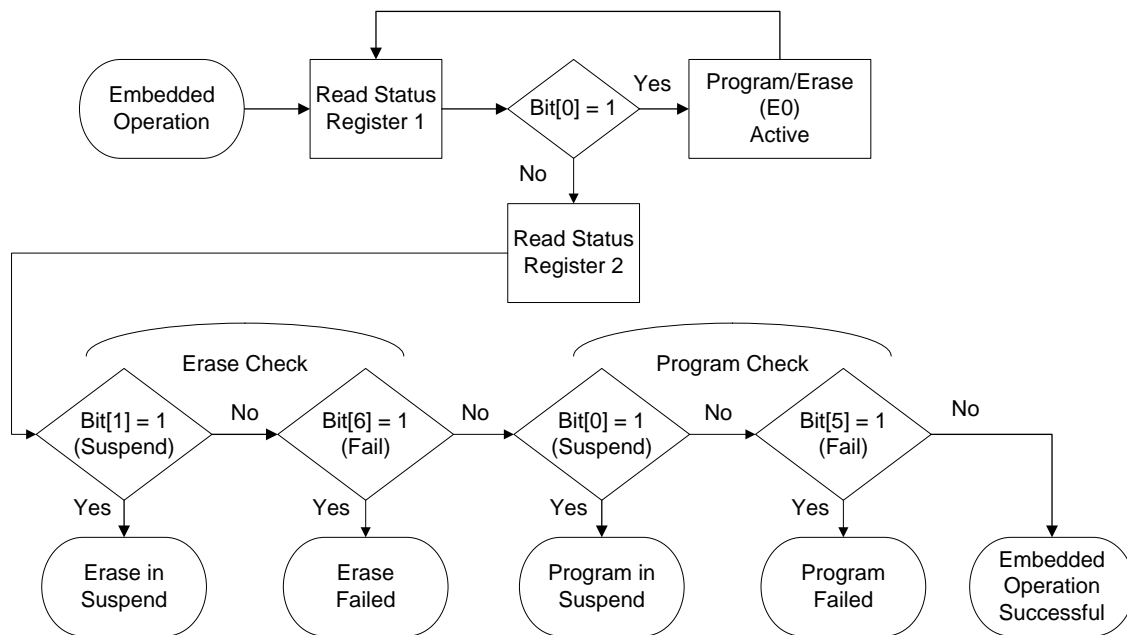
セクタのプログラミングや消去などの EO をトリガするコマンドを発行した後、ステータス レジスタ (SR) をチェックし、次のコマンドに進む前に EO が完了したことを確認する必要があります。EO の処理中は、プログラム/消去の中止コマンド、またはステータスレジスタ読み出しコマンドのみが実行可能です。デバイスは他のすべてのコマンドを無視します。

注: プログラムまたは消去動作時には、一時停止コマンドを発行して EO を一時停止し、すぐに読み出しモードに戻すことができます。動作は再開コマンドが実行されるまで一時停止されます。

エラーが EO 中に発生した場合、次のコマンドに進む前にクリア ステータス レジスタ コマンドによってエラー ビットをクリアする必要があります。

図 3 は、セクタのプログラミングや消去など、EO の開始後のデバイス状態を判断するためにステータス レジスタを使用するポーリング機能を示します。ここでのアルゴリズムはポーリングする操作の種類を知る必要はありません。

図 3. ステータス ポーリング アルゴリズム



4 S25FL-L デバイスの設定

S25FL-L デバイスには 3 つの 8 ビット コンフィギュレーション レジスタがあります。これらのデバイスは、対応する揮発性コンフィギュレーション レジスタ (CR*V) にビット単位でマップされる不揮発性コンフィギュレーション レジスタ (CR*Nv) を備えています。CR*Nv と CR*V レジスタは、一般的にコンフィギュレーション レジスタと呼ばれます。CR*V レジスタを使用して、レジスタのリセットが発生するまで持続するコンフィギュレーション設定を一時的に変更することができます。CR*V 値は、次の電源再投入 (パワーオン リセット (POR)、ハードウェア リセット (RESET#) またはソフトウェア リセット (99h)) の後、対応する CR*Nv レジスタのビット値にリセットされます。新しい不揮発性コンフィギュレーションが必要な場合は、CR*Nv レジスタをレジスタ書き込み コマンド (WRR 01h) により期待する値に変更する必要があります。図 4 は、不揮発性レジスタとその対応する揮発性レジスタがコンフィギュレーション レジスタ 1 にどのように関係しているかを示しています。コンフィギュレーション レジスタ 2 と 3 も同じように動作します。

図 4. コンフィギュレーション レジスタ アーキテクチャ

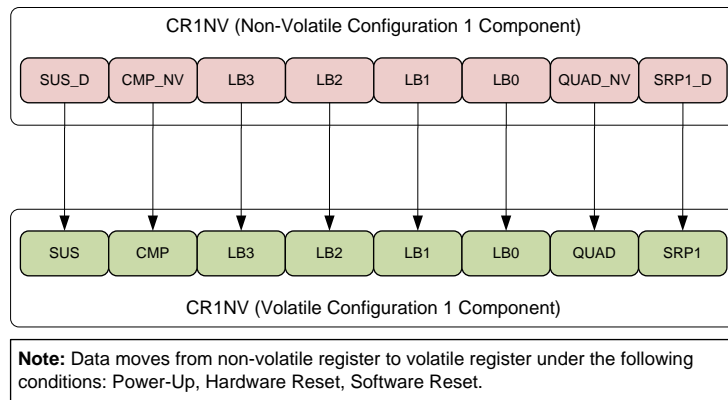


表 2 に工場出荷時のコンフィギュレーション レジスタのデフォルト状態を示します。カスタムの電源投入時のデフォルト コンフィギュレーションが決定し、開発フェーズ中に完全にデバッグされると、CR1NV[0] SRP1 ビットを「0」から「1」に変更し、コンフィギュレーション レジスタを恒久的にロックすることができます。生産中のベスト プラクティスは、最初にフラッシュ イメージをプログラムし、最後にコンフィギュレーション レジスタとステータス レジスタ 1 をセットしてロックすることです。その後は WRR (01h) コマンドを使用しないでください。

表 2. コンフィギュレーション レジスタとそれらのデフォルト状態

コンフィギュレーション レジスタ	レジスタ ビット	説明	デフォルト設定
1	SUS	一時停止状態 - 読み出しのみ	0 - 消去/プログラムが一時停止されていない
	CMP	相補保護の選択	0 - 通常保護マップ
	LB[3:0]	セキュリティ領域ロックビット	000 - セキュリティ領域がロックされていない
	クアッド	クアッド I/O モードの選択	0 - デュアルまたはシリアル モード
	SRP1	ステータス レジスタ保護の選択	0 - レジスタ非ロック
2	IO3R	IO3_リセットの選択	0 - 無効 - IO3 は代替機能なし
	OI[1:0]	出力インピーダンスの選択	11 - デフォルト (デバイスのデータシートをご参照ください)
	QPI	QPI モードの選択	0 - QPI 無効 - レガシー SPI プロトコル使用中
	WPS	データ保護メカニズムの選択	0 - レガシー ブロック保護
	ADP	アドレス長の選択	0 - 3 バイト アドレス
3	WL	ラップ長の選択	11 - 64 バイト ラップ
	WE	ラップ長 イネーブル	1 - ラップは無効
	RL	読み出しレイテンシの選択	1000 - デフォルト (デバイスのデータシートをご参照ください)

4.1 すべてのコンフィギュレーションが設定された後

表 2 に工場出荷時のコンフィギュレーション レジスタのデフォルト状態を示します。電源投入時のデフォルト コンフィギュレーションが決定され、完全にデバッグされた後、CR1NV[0] SRP1 コマンドを送信してレジスタをロックすることができます。ホストがビットを「1」にセットすると、デバイス コンフィギュレーションは恒久的にロックされます。

注: SPR1 はステータス レジスタ 1 もロックします。SPR1 を有効にする前に、ステータス レジスタ 1 の動作が決定され、設定されていることを確認する必要があります。

5 リセット

S25FL-L デバイスには 3 種類のリセットがあり、それらはパワー オン リセット (POR) (コールド リセットとも呼ばれる)、ハードウェア リセット (RESET#または IO3/RESET#信号によってトリガされ、ウォーム リセットとも呼ばれる)、ソフトウェア リセット (ソフトウェア リセット コマンド (RSTEN 66h, RESET 99h) シーケンスによってトリガされる) です。コールドリセットは、すべての CR*V ビット値に対応する CR*N*V ビット値をロードし、これが完了するのに 300µs かかります。ウォーム リセットおよびソフトウェア リセットも、CR*N*V デフォルト値を CR*V レジスタに再ロードすることで、デバイスを初期パワー アップ状態に戻します。しかし、コンフィギュレーション レジスタの揮発性 SRP1 ビット CR1V[0]および保護レジスタの揮発性 NVLOCK ビットは変更されません。ウォーム リセットとソフトウェア リセットは完了するまでに 100µs 掛かります。処理中の EO はソフトウェア リセットによって影響を受けませんが、ウォーム リセットによって中止されます。

6 読み出し性能の最大化

読み出し性能を最大限にするには、複数の読み出しコマンドを回避するために 1 つの読み出しコマンドで連続データの最大長を読み出します。これを実現するには、ホスト コントローラーは CS# LOW を保持し、すべてのデータが読み出されるまでクロック供給を継続する必要があります。この動作中に、memcpy() または、一度に 1 バイトずつ読み出す同様の読み出し関数を使用することはできません。その代わりに、複数の連続データ バイトを読み出すためにコントローラー固有の関数をアプリケーションレベル ソフトウェアで実装する必要があります。メモリ コントローラーが S25FL-L メモリへ正しい信号プロトコル シーケンスを送信するために、この関数はデータ長を 1 つのパラメーターとして受け入れ、ホスト メモリ コントローラー固有のレジスタの設定を行う必要があります。

7 プログラミング性能の最大化

S25FL-L ファミリー デバイスは 256 バイト書き込みバッファを備え、このバッファは 256 バイト境界 (ページ) に整列されています。フラッシュ メモリにデータを書き込む最も効果的な方法は、256 バイト長に揃えたインクリメントでデータを書き込むことです。より小さいデータ書き込みも可能ですが、最高の性能を得るには、ソフトウェアは可能な限り、完全なアドレス揃えの書き込みバッファ インクリメントでデータを書き込む必要があります。

8 セキュア シリコン領域

S25FL-L デバイスは、メイン フラッシュ アレイとは別のセキュア シリコン領域 (SSR) と呼ばれる 1024 バイトのアドレス指定可能なセキュア空間があります。SSR は、個別にロック可能で、256 バイト長である 4 つの領域で構成されます。SSR のアクセスは SSR アクセス命令によって可能です (SECRE 消去 - 44h, SECRP プログラム - 42h, SECRR 読み出し - 48h)。

SSR でデータ不変性が必要な場合、個別にプログラムできる コンフィギュレーション レジスタ 1 (CR1NV, CR1V) の 4 つのロック ビットを使用して (「1」にセット)、SSR 領域のさらなる消去/プログラミングを防止します。SSR 領域 2 と 3 は特別であり、保護レジスタ (PR) の NVLock ビットと個別および領域保護 (IRP) レジスタのパスワード保護ビットにより、消去/プログラミングに対する追加の保護が可能です。

表 3 に、SSR 保護スキームをまとめます。

表 3. SSR 保護スキーム

SSR 領域	CR1[2]ロックビット 0 LB0 (OTP)	CR1[3]ロックビット 1 LB1 (OTP)	CR1[4]ロックビット 2 LB2 (OTP)	CR1[5]ロックビット 3 LB3 (OTP)	PR[0] NVLOCK (揮発性)	IRP[2] PWDMLB パスワード保護 (OTP)
領域 0	消去/プログラム 保護					
領域 1		消去/プログラム 保護				
領域 2			消去/プログラム 保護		消去/プログラム 保護	消去/プログラム 保護
領域 3				消去/プログラム 保護	消去/プログラム 保護	読み出し/消去/ プログラム保護

9 まとめ

サイプレスのシリアル NOR フラッシュ S25FL-L ファミリは、前世代の SPI NOR デバイスから簡単に移行でき、システムコストを削減し、システム性能を向上させます。S25FL-L ファミリ デバイスを使用する際、追加のご支援が必要でしたら、サイプレスカスタマ サポートまでお問い合わせください。

10 関連資料

表 4. サイプレス NOR フラッシュ製品特定のデータシート

製品ファミリ	文書番号	文書名
FL-L ファミリ	002-12878	S25FL064L Flash Datasheet - 64-Mbit (8-Mbyte) 3.0 V FL-L SPI Flash Memory
FL-L ファミリ	002-00124	S25FL256L/S25FL128L, 256 Mbit (32 Mbyte)/128 Mbit (16 Mbyte), 3.0 V FL-L Flash Memory

改訂履歴

文書名: AN217000 – サイプレス S25FL-L シリアル NOR フラッシュ製品のプログラマ向けガイド

文書番号: 002-18053

版	ECN	変更者	発行日	変更内容
**	5579889	HZEN	01/10/2017	これは英語版 002-17000 Rev. **を翻訳した日本語版 002-18053 Rev. **です。

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

ARM® Cortex® マイクロコントローラ	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
モノのインターネット	cypress.com/iot
照明 & 電力制御	cypress.com/powerpsoc
メモリ	cypress.com/memory
PSoC	cypress.com/psoc
タッチ センシング	cypress.com/touch
USB コントローラ	cypress.com/usb
ワイヤレス/RF	cypress.com/wireless

PSoC®ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

サイプレス開発者コミュニティ

[フォーラム](#) | [プロジェクト](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [コンポーネント](#)

テクニカル サポート

cypress.com/support

PSoC はサイプレス セミコンダクタ社の登録商標であり、PSoC Creator は同社の商標です。本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。

 <p>CYPRESS Embedded in Tomorrow™</p>	Cypress Semiconductor	Phone : 408-943-2600
	198 Champion Court	Fax : 408-943-4730
	San Jose, CA 95134-1709	Website : www.cypress.com

© Cypress Semiconductor Corporation, 2016 - 2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下、「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア (以下、「本ソフトウェア」という。)) を含むは、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、また、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾していない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、あなたが Cypress との間で別途本ソフトウェアの使用法を定める書面による合意をしていない場合、Cypress は、あなたに対して、(1)本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) エンドユーザーに対して、バイナリコード形式で本ソフトウェアを外部に配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用法により許容される範囲において、Cypress は、本書面又はいかなる本ソフトウェアに関しても、明示又は黙示をとわず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。適用法により許容される範囲において、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のあるいかなる製品又は回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のために提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計し、プログラムし、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分として用いるため、又はシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせることになるその他の使用 (以下、「本目的外使用」という) のためには、設計、意図又は承認されていない。重要な構成部分とは、装置又はシステムのその構成部分の不具合が、その装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できる、機器又はシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ、あなたは Cypress をそれら一切から免除するものとし、本書により免除する。あなたは、Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から Cypress を免責補償する。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。