

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

Traveo™ ファミリにおけるユーザプログラムによるフラッシュメモリへの書込みと消去

Author: Hirofumi Arakawa

Associated Part Family: S6J3110/S6J3120/S6J3200/S6J3300/S6J3350/S6J3360/S6J3370/
S6J3400 SeriesRelated Documents: For a complete list, [click here](#).

このアプリケーションノートでは Traveo ファミリのフラッシュメモリに対してユーザプログラムによってどのような方法で書込みや消去を行うかを記載しています。主なトピックとして、TCFLASH の動作説明, TCFLAH コマンドの説明, TCFLASH のリプログラミングの例の説明が記載されています。

Contents

1 はじめに.....	1	4.1 リセット, 読出しコマンド.....	9
2 フラッシュメモリの概要.....	1	4.2 書込みコマンドシーケンス.....	9
2.1 TCFLASH Memory.....	2	4.3 書込みコマンドシーケンス(64 ビット).....	10
2.2 WorkFlash Memory.....	3	4.4 マクロ消去 (チップ消去)コマンドシーケンス ..	10
3 TCFLASH 動作.....	3	4.5 セクタ消去コマンドシーケンス.....	10
3.1 TCFLASH 動作モード.....	3	5 TCFLASH リプログラミング手順.....	11
3.2 TCFLASH のプログラムと消去.....	3	5.1 書込み方法.....	12
3.3 S6J3110/S6J3120/S6J3200 におけるコマンド シーケンス.....	3	5.2 セクタ消去シーケンス.....	13
3.4 S6J3300/S6J3350/S6J3360/S6J3370/S6J3400 におけるコマンドシーケンス.....	5	5.3 書込みシーケンス.....	14
3.5 自動アルゴリズムの実行状態.....	8	6 関連ドキュメント.....	15
4 コマンド.....	9	改訂履歴.....	16
		セールス, ソリューションおよび法律情報.....	17

1 はじめに

このアプリケーションノートでは Traveo ファミリのフラッシュメモリに対してユーザプログラムによってどのように書込みや消去を行うかを記載しています。このアプリケーションノートにおいて Traveo ファミリとは S6J3110/S6J3120/S6J3200/S6J3300/S6J3350/S6J3360/S6J3370/S6J3400 シリーズを指しています。

2 フラッシュメモリの概要

Traveo ファミリでは TCM フラッシュ(TCFLAH)とワークフラッシュ(WorkFlash)の2つのタイプのフラッシュメモリを搭載しています。TCFLASH は主にプログラムを保存しておくためのフラッシュメモリです。WorkFlash は書換え可能で不揮発性のデータメモリです。TCFLASH と WorkFlash については Traveo ファミリの TRM (Technical Reference Manual)を参照してください。

2.1 TCFLASH Memory

TCFLASH は主にプログラムを保存しておくために使用するためのフラッシュメモリです。Traveo ファミリをユーザモードで使用した場合、TCM と AXI 領域の 2 つの領域にマッピングされます。TCM は Tightly Coupled Memory の略であり、高速でアクセスでき、コアに直接連結しているメモリです。TCM は ARM アーキテクチャの 1 つです。AXI は Advanced eXtensible Interface の略であり、AXI は最も普及した AMBA インタフェースです。TCM と AXI の詳細については ARM アーキテクチャのドキュメントを参照してください。TCFLASH が TCM 経由でアクセスされた場合、ARM アーキテクチャでは L1 メモリとして扱われます。そのため、ノンキャッシュ、低レイテンシのアクセスが可能です。しかし、AXI へのアクセスでは ARM アーキテクチャ上 L2 メモリとして扱われます。

AXI 領域にプログラムシーケンスを送信することにより、TCFLASH の書込みと消去が行えます。しかし、書込みと消去は TCM 領域にアクセスした時は行えません。

- AXI アクセスによる書込みは TCFLASH に高い優先度があります。初期設定において、読出しの優先度は AXI 領域へのアクセスと TCM 領域へのアクセスとの間で 16 サイクルごとにトグルします。
- TCFLASH で TCM 領域へのアクセスによる読出しを許可するために優先度を設定します。しかし、読出しは書込みよりも低い優先度です。

CPU から 8 ビット/16 ビット/32 ビット/64 ビットのデータを読み出すことが可能です。

ECC (Error Check and Correct) は ARM Cortex-R5F に搭載されている同じ計算式で行い、また 1 ビットエラー訂正と 2 ビットエラー検出を持ち、AXI のみでサポートされています。ECC が有効の場合、CPU からの書込みは 16 ビットか 32 ビットモードにおいてのみ可能です。ECC が無効の場合、CPU からの書込みは 8 ビット、16 ビット、32 ビットモードにおいて可能です。

TCFLASH は CPU コアのみにおいて利用でき、[図 1](#) に示すようにプログラムによって配置されます。

図 1. メモリマップ上の TCFLASH 配置

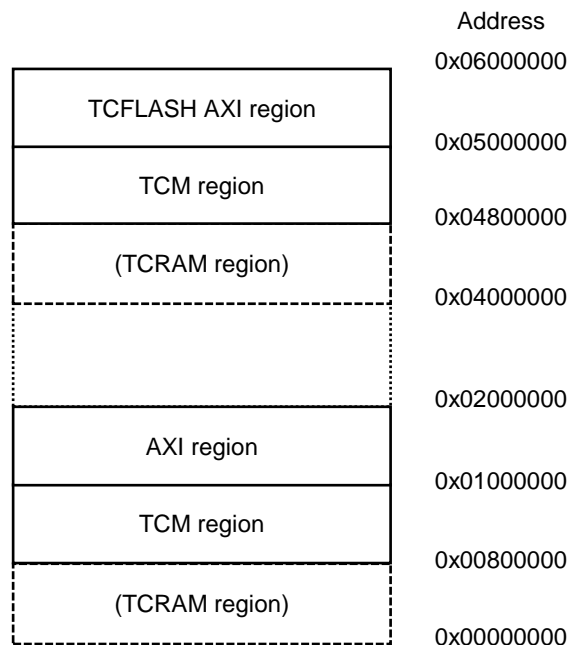
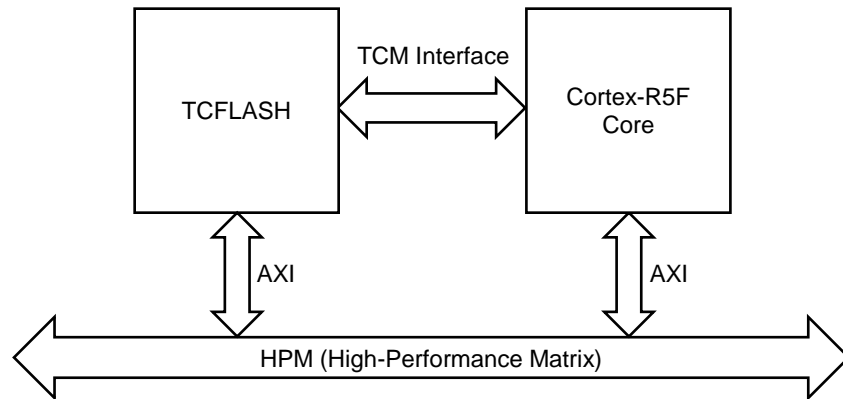


図 2 に TCFLASH のブロック図を示します。

図 2. TCFLASH と Cortex-R5F のブロック図



2.2 WorkFlash Memory

WorkFlash は以下のことを行います。

- 8, 16, 32, 64 ビット単位での読出しが可能。
- 1 ビットエラー訂正, 2 ビットエラー検出の ECC 機能を提供
- レジスタ設定により ECC 機能の状態を有効と無効で切り替えることが可能
- 2 つのミラーエリアを使用して、ECC 有効アクセスと ECC 無効アクセスと切り替えることが可能
- 64 ビットから ECC を生成し、データに書き込むことが可能

3 TCFLASH 動作

3.1 TCFLASH 動作モード

ユーザモード中の Traveo ファミリでは CPU や他のバスマスタが TCFLASH にアクセスできます。Cortex-R5F コアは TCM か AXI インタフェースを経由して接続された TCFLASH にアクセスできます。

3.2 TCFLASH のプログラムと消去

ユーザモード中の Traveo ファミリでは、TCFLASH の書き込みと消去は AXI 領域を経由したフラッシュメモリにおいてプログラミングアクセスシーケンスの書き込みによって行えます。

書き込みと消去は自動アルゴリズムを開始するためにフラッシュメモリへ書き込みアクセスシーケンスを送ることによって行えます。自動アルゴリズムにはリセット、書き込み、セクタ消去を含むコマンドが利用できます。セクタ消去コマンドにおいて、中断、再開の実行を制御することが可能です。

3.3 S6J3110/S6J3120/S6J3200 におけるコマンドシーケンス

自動アルゴリズムを開始するために、コマンドタイプに依存して 1 から 7 回連続してアドレスにデータを書き込みます。

- 表 1 に記載の CA0/CA1 の値は、表 2 の値を指定してください。
- 表 1 中の PD64_0 において、64 ビット書き込みデータの下位 32 ビットの値を指定してください。PD64_1 において、64 ビット書き込みデータの上位 32 ビットの値を指定してください。
- 表 1 中の PD, PD64_0, PD64_1 として表記されている書き込みデータを除き、自動アルゴリズムを開始するために書き込まれるデータの上位 24 ビット(ビット 31 からビット 8)は無視されます。
- 表 2 において、*****はコマンドを実行するフラッシュメモリによって使用されるアドレス範囲で指定する任意の値です。メモリマップについては図 1 を参照ください。

- 4回目の書き込みサイクル中のアドレス PA は書き込みデータが書き込まれるアドレスです。
- アドレス PA は書き込みサイズにアラインされた値でなくてはなりません。
- セクタ消去コマンドの 6 回目の書き込みサイクルにあるアドレス SA は消去されるセクタのアドレスを示しています。SA は PA と同じフォーマットで指定します。
- もし無効なアドレスやデータの組合せがコマンドとして書き込まれた場合やコマンドが間違った順番で書き込まれた場合、フラッシュメモリはリセットされ、読出しモードに遷移します。
- フラッシュメモリからの読出し動作はコマンドシーケンスが書き込みを行っている時でも可能です。自動アルゴリズムは書き込みシーケンスの最後のサイクルが完了した時点から開始します。
- CA0, CA1, SA, SA0, SA1, PA において、セクタ保護が有効であるセクタアドレスを指定しないでください。
- コマンドシーケンスを書き込んでいる間は TCFLASH (TCFCFG0_CSWP*) のセクタ保護レジスタの設定は変更しないでください。
- セクタ消去中断コマンドが発行された後、ステータスレジスタの READ が"1"に変更されるまではフラッシュメモリを読み出ししてはいけません。

表 1. S6J3110/S6J3120/S6J3200 のコマンドシーケンス一覧

コマンド	1 回目		2 回目		3 回目		4 回目		5 回目		6 回目		7 回目	
	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
リセット	CA0	0xF0	-	-	-	-	-	-	-	-	-	-	-	-
リード	RA	RD	-	-	-	-	-	-	-	-	-	-	-	-
書き込み	CA0	0xAA	CA1	0x55	CA0	0xA0	PA	PD	-	-	-	-	-	-
書き込み(64 ビット)	CA0	0xAA	CA1	0x55	CA0	0xAC	PA	PD64_0	any	PD64_1	-	-	-	-
マクロ消去 (Chip Erase)	CA0	0xAA	CA1	0x55	CA0	0x80	CA0	0xAA	CA1	0x55	CA0	0x10	-	-
セクタ消去	CA0	0xAA	CA1	0x55	CA0	0x80	CA0	0xAA	CA1	0x55	SA0	0x30	-	-
複数セクタ消去	CA0	0xAA	CA1	0x55	CA0	0x80	CA0	0xAA	CA1	0x55	SA0	0xE0	SA1	0x30
セクタ消去中断	SA	0xB0	-	-	-	-	-	-	-	-	-	-	-	-
セクタ消去再開	SA	0x30	-	-	-	-	-	-	-	-	-	-	-	-

CAx: 表 2 を参照ください, RA: 読出しアドレス, RD: 読出しデータ, SAx: セクタアドレス, PA: 書き込みアドレス, PD: 書き込みデータ, PD64_0: 下位 32 ビットの 64 ビット書き込みデータ, PD64_1: 上位 32 ビットの 64 ビット書き込みデータ

表 2. コマンド中のアドレス

動作モード	コード(表 1)	AXI 領域中のオフセット
ユーザモード	CA0	0x*****AA8
	CA1	0x*****554

3.4 S6J3300/S6J3350/S6J3360/S6J3370/S6J3400 におけるコマンドシーケンス

自動アルゴリズムをスタートするために、コマンドシーケンスのプリアンブルはデータを送信する前にフラッシュへ最初に送信されます。プリアンブルはフラッシュの書き込み/消去のモードで決定します。モードに依存して、データと同様にプリアンブルのサイクルの数が増えます。動作の違いの詳細情報は表 4 に記載されています。以下に表 4 の説明を記載します。

- 4 回目の書き込みサイクルとしてのアドレス PA は書き込みデータ PD が書き込まれるアドレスです。PA と PD の送信前のコマンドはプリアンブルコマンドです。プリアンブルは明示的なアドレスとデータの値を持っています。
- "any" エントリを含んでいるアドレスにおいて、基本的にどのような有効であるフラッシュアドレスのどのアドレスでも使用できることを意味しています。しかし、使用されるフラッシュアドレスがセクタ書き込み許可 (TCFCFG0_CSWPx[n]=0) で無効でないことを確保しなくてはなりません。そうでなければ、コマンドは実施されず、エラーレスポンスが返答されます。
- 256 ビット書き込みモードにおいて、"n 回サイクル" は 7 回サイクルから 11 回サイクルになります。
- ページモードにおいて、"k 回サイクル" は 12 回サイクルから 131 回サイクルになります。
- 表 5 中で、***** はコマンドが実行されている間でフラッシュメモリによって使用されるアドレス範囲を示している任意の値になります。アドレスで与えられる書き込み許可は有効にセットしなくてはなりません。そのため、結果として得られるフラッシュアドレスがターゲットのセクタになることを推奨します。メモリマップとしては、図 1 を参照ください。
- マクロ消去動作を許可するために、全てのセクタ書き込み許可を有効にセットしなくてはなりません。
- 16 ビット/32 ビット書き込みモードにおいて、入力データのサイズは書き込みとして 16 ビットか 32 ビットのどちらかを決定します。
- 16 ビットモードにおいて、アドレスのビット 1 はフラッシュに 32 ビットワードの半分が書き込まれているか、決定します。もしビット 1 が "0" であれば、32 ビットワードの下位 16 ビットが書き込まれています。もしビット 1 が "1" であれば、上位 16 ビットが書き込まれています。
- 64 ビット/256 ビット/ページの書き込みモードにおいて、PD は増加するシーケンスのアドレスでフラッシュメモリに書き込まれます。
- 64 ビット/256 ビット/ページの書き込みモードにおいて、4 サイクル目の最初の 32 ビットワードのアドレスだけがフラッシュメモリによって受け入れられます。5 サイクル目から開始されるアドレスはフラッシュメモリによって無視されます。
- 8 ビット書き込みモードはありません。
- フラッシュへ書き込むためにユーザにより許可されたデータタイプは 16 ビットか 32 ビットでなくてはなりません。この規則は書き込まれるデータだけではなく、プリアンブルにも適用されます。
- パーストモードを使用したフラッシュ書き込みは禁止されています。
- 書き込むための書き込みアドレス PA は書き込むサイズにアラインされた値でなくてはなりません。
- セクタ消去コマンドの 6 回目の書き込みサイクル以上で与えられるアドレス SA は消去されるセクタのアドレスを示しています。SA は PA と同じフォーマットで指定します。
- もし無効なアドレスとデータのセットがコマンドとして書き込まれた場合やもしコマンドが間違った順番で書き込まれた場合は、フラッシュメモリはリセットされ、読み取りモードに遷移します。
- フラッシュメモリからの読出し動作はコマンドシーケンスが書き込みを行っている時でも可能です。自動アルゴリズムは書き込みシーケンスの最後のサイクルが完了した時点から開始します。
- コマンドシーケンスを書き込んでいる間は TCFLASH (TCFCFG0_CSWP*) のセクタ保護レジスタの設定は変更しないでください。
- 次の表 3 で示されるように、セクタ消去中断には 2 つのモードがあります。

表 3. セクタ消去中断の 2 つのモード

コマンド	中断コマンドから中断状態へ最大時間	次の中断までの再開からの最小時間	Erase progress
セクタ消去中断 1	短い	長い	ユーザにより保証する
セクタ消去中断 2	長い	短い	フラッシュにより保証する

- セクタ消去中断コマンドが発行された後、ステータスレジスタの READ が"1"に変更されるまではフラッシュメモリは読み出ししてはいけません。
- 組込みアルゴリズム動作リセットコマンドはハードウェアリセットの 1 つタイプであり、フラッシュの自動アルゴリズムの状態(書き込み/マクロ消去/セクタ消去)を停止し、通常のコマンド状態に変更します。通常のコマンド状態では、フラッシュは実行している書き込み/消去動作における自動アルゴリズム実行コマンド(書き込み)と読出しコマンド(読み取り)を受け入れます。
- "コマンドリセット"のコマンドは実行コマンドをリセットし、その後フラッシュは自動アルゴリズム状態に入り、最初からのコマンド再書き込みを有効にします。

表 4. S6J3300/S6J3350/S6J3360/S6J3370/S6J3400 のコマンドシーケンス一覧

コマンド	1 回目		2 回目		3 回目		4 回目		5 回目		6 回目		n 回目		k 回目	
	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
書き込み (16 ビット/32 ビット)	CA0	0xAA	CA1	0x55	CA0	0xA0	PA	PD	-	-	-	-	-	-	-	-
書き込み (64 ビット)	CA0	0xAA	CA1	0x55	CA0	0xAC	PA	PD	any	PD	-	-	-	-	-	-
書き込み (256 ビット)	CA0	0xAA	CA1	0x55	CA0	0xA4	PA	PD	any	PD	any	PD	any	PD	-	-
ページ書き込み	CA0	0xAA	CA1	0x55	CA0	0xA8	PA	PD	any	PD	any	PD	any	PD	any	PD
マクロ消去 (チップ消去)	CA0	0xAA	CA1	0x55	CA0	0x80	CA0	0xAA	CA1	0x55	CA0	0x10	-	-	-	-
セクタ消去	CA0	0xAA	CA1	0x55	CA0	0x80	CA0	0xAA	CA1	0x55	SA	0x30	-	-	-	-
複数セクタ消去	CA0	0xAA	CA1	0x55	CA0	0x80	CA0	0xAA	CA1	0x55	SA	0xE0	SA	0xE0	SA	0x30
セクタ消去中断 1	any	0xB0	-	-	-	-	-	-	-	-	-	-	-	-	-	-
セクタ消去中断 2	any	0xBC	-	-	-	-	-	-	-	-	-	-	-	-	-	-
消去再開	any	0x30	-	-	-	-	-	-	-	-	-	-	-	-	-	-
組込みアルゴリズム動作リセット	any	0xF4	-	-	-	-	-	-	-	-	-	-	-	-	-	-
コマンドリセット	any	0xF0	-	-	-	-	-	-	-	-	-	-	-	-	-	-

CAx: 表 5 を参照ください, RA: 読み込みアドレス, RD: 読み込みデータ, SAx: セクタアドレス, PA: 書き込みアドレス, PD: 書き込みデータ

表 5. コマンド中のアドレス

動作モード	コード(表 4)	AXI 領域中のオフセット
ユーザモード	CA0	0x*****AA8
	CA1	0x*****554

3.5 自動アルゴリズムの実行状態

自動アルゴリズム実行中のフラッシュメモリの詳細な状態は TCFLASH ステータスレジスタ (TCFCFG_FSTAT) の各ビットの値を確認することで確認できます (表 6 を参照のこと)。TCFLAH を使用した場合、このレジスタを使用します。TCFLASH ステータスレジスタは CERS, PGMS, ESPS, ERSEC, SERS, READ, HANG, RDY の各ビットから構成されています。各ビットが示している状態を表 7 の一覧に示します。

もしフラッシュメモリが自動アルゴリズム中にリードするとバスエラー応答が発生します。

表 6. TCFLASH ステータスレジスタのビットアサイン

ビット番号	7	6	5	4	3	2	1	0
フラグ名	CERS	PGMS	ESPS	ERSEC	SERS	READ	HANG	RDY

表 7. TCFLASH ステータスレジスタの値

状態		CERS	PGMS	ESPS	ERSEC	SERS	READ	HANG	RDY
リセット		0	0	0	0	0	0	0	0
コマンド		0	0	0	0	0	1	0	1
書き込み		0	1	0	0	0	0	0	0
マクロ消去		1	0	0	0	0	0	0	0
セクタ消去		0	0	0	0	1	0	0	0
セクタ消去の 割込み	消去中のセクタ 読出し	0	0	1	1	1	1	0	1
	ターゲットで はない消去中 のセクタ読出し	0	0	1	0	1	1	0	1
ハングアップ 1	書き込み	0	1	0	0	0	0	1	0
	マクロ消去	1	0	0	0	0	0	1	0
	セクタ消去	0	0	0	0	1	0	1	0

- PGMS (Program Status) ビット: このビットは書き込み状態を示しています
- CERS (Chip Erase Status) ビット: このビットはマクロ消去状態を示しています。マクロ消去が完了するまで、どのようなコマンドでも受け入れません。
- SERS (Sector Erase Status) ビット: このビットはセクタ消去状態を示しています。セクタ消去中、セクタ消去中断コマンドを受け入れることができます。
- ESPS (Erase Suspend Status) ビット: このビットはセクタ消去中断状態を示しています。消去対象を除いたセクタ消去に対して、読出しと書き込みを行えます。読出しと書き込みは消去対象のセクタに対しては行えません。セクタ消去再開コマンドでセクタ消去を再開できます。
- ERSEC (Erase Suspend Sector status) ビット: このビットはセクタ消去を中断している間に対象セクタの読出しが実行されている状態を示しています。この時、フラッシュメモリからのデータ読出しは正しいデータではありません。
- READ (Read) ビット: このビットは TCFLASH の読出し可能な状態を示しています。
- HANG (Hang-up 1 status) ビット: このビットはハングアップ 1 状態を示しており、下記のイベントの内 1 つが発生していることを示しています。
 - "0" の値が書き込まれたアドレスに "1" の値を上書きする試みが発生した

- 書き込み, マクロ消去, セクタ消去が制限時間内に完了しなかった
ハングアップ1状態において、TCFLASHの状態はコマンドリセットを書き込むことによって回復できます。
- RDY (Ready) ビット: このビットは TCFLASH と WorkFLASH の書き込み可能/読出し可能な状態を示しています。
WorkFLASHが書き込み可能/読出し可能の時、このビットは"0"になります。
TCFLASHの状態は READ ビットと RDY ビットで確認できます。
 - READ=0, RDY=0: リセット (TCFLASH: レディ待ち)
 - READ=0, RDY=1: TCFLASH 読出し中 (TCFLASH: レディ待ち)
 - READ=1, RDY=1: NOP (TCFLASH: 読出し可能/書き込み可能/消去可能)
 - READ=1, RDY=0: WorkFlash メモリ書き込み中/消去中 (TCFLASH: 読出しのみ可能)

4 コマンド

このセクションは以下のコマンドについて記載しています。

- リセット, 読出しコマンド
- 書き込みコマンドシーケンス
- 書き込みコマンドシーケンス(64 ビット)
- マクロ消去(チップ消去)コマンドシーケンス
- セクタ消去コマンドシーケンス

4.1 リセット, 読出しコマンド

このコマンドはどのようなフラッシュのコマンドでも中断させるために使用でき、デフォルトの読出し状態にリセットします。チップ消去やセクタ消去を使用している場合、不完全な消去状態が結果として発生するかもしれないため、注意が必要です。読出し/リセットコマンドはフラッシュメモリアドレスのどこにおいても 0xXXF0 を書き込んだ際に発行されます。

4.2 書き込みコマンドシーケンス

書き込みコマンドシーケンスは表 8 に記載されているアドレス/データの書き込みアクセスから成り立っています。

表 8. 書き込みコマンドシーケンス

シーケンス	アドレス	データ	コメント
1 回目	0x****_AA8	0xFFFF_XXAA	1 回目シーケンス書き込み
2 回目	0x****_554	0xFFFF_XX55	2 回目シーケンス書き込み
3 回目	0x****_AA8	0xFFFF_XXA0	3 回目シーケンス書き込み
4 回目	PA	PD	書き込み実行

4.3 書き込みコマンドシーケンス(64 ビット)

書き込みコマンドシーケンス(64 ビット)は表 9 に記載されているアドレス/データの書き込みアクセスから成り立っています。

表 9. 書き込みコマンドシーケンス(64 ビット)

シーケンス	アドレス	データ	コメント
1 回目	0x****_AA8	0xXXXX_XXAA	1 回目シーケンス書き込み
2 回目	0x****_554	0xXXXX_XX55	2 回目シーケンス書き込み
3 回目	0x****_AA8	0xXXXX_XXAC	3 回目シーケンス書き込み
4 回目	PA	PD64_0	64 ビット書き込みデータの下位 32 ビットの値を書込み
5 回目	Any	PD64_1	64 ビット書き込みデータの上位 32 ビットの値を書込み

4.4 マクロ消去(チップ消去)コマンドシーケンス

マクロ消去(チップ消去) コマンドシーケンスは表 10 に記載されているアドレス/データの書き込みアクセスから成り立っています。

表 10. マクロ消去(チップ消去)コマンドシーケンス

シーケンス	アドレス	データ	コメント
1 回目	0x****_AA8	0xXXXX_XXAA	1 回目シーケンス書き込み
2 回目	0x****_554	0xXXXX_XX55	2 回目シーケンス書き込み
3 回目	0x****_AA8	0xXXXX_XX80	3 回目シーケンス書き込み
4 回目	0x****_AA8	0xXXXX_XXAA	4 回目シーケンス書き込み
5 回目	0x****_554	0xXXXX_XX55	5 回目シーケンス書き込み
6 回目	0x****_AA8	0xXXXX_XX10	6 回目シーケンス書き込み

4.5 セクタ消去コマンドシーケンス

セクタ消去コマンドシーケンスは表 11 に記載されているアドレス/データの書き込みアクセスから成り立っています。

表 11. セクタ消去コマンドシーケンス

シーケンス	アドレス	データ	コメント
1 回目	0x****_AA8	0xXXXX_XXAA	1 回目シーケンス書き込み
2 回目	0x****_554	0xXXXX_XX55	2 回目シーケンス書き込み
3 回目	0x****_AA8	0xXXXX_XX80	3 回目シーケンス書き込み
4 回目	0x****_AA8	0xXXXX_XXAA	4 回目シーケンス書き込み
5 回目	0x****_554	0xXXXX_XX55	5 回目シーケンス書き込み
6 回目	SA0	0xXXXX_XX30	6 回目シーケンス書き込み SA0 アドレスのあるセクタが消去されます

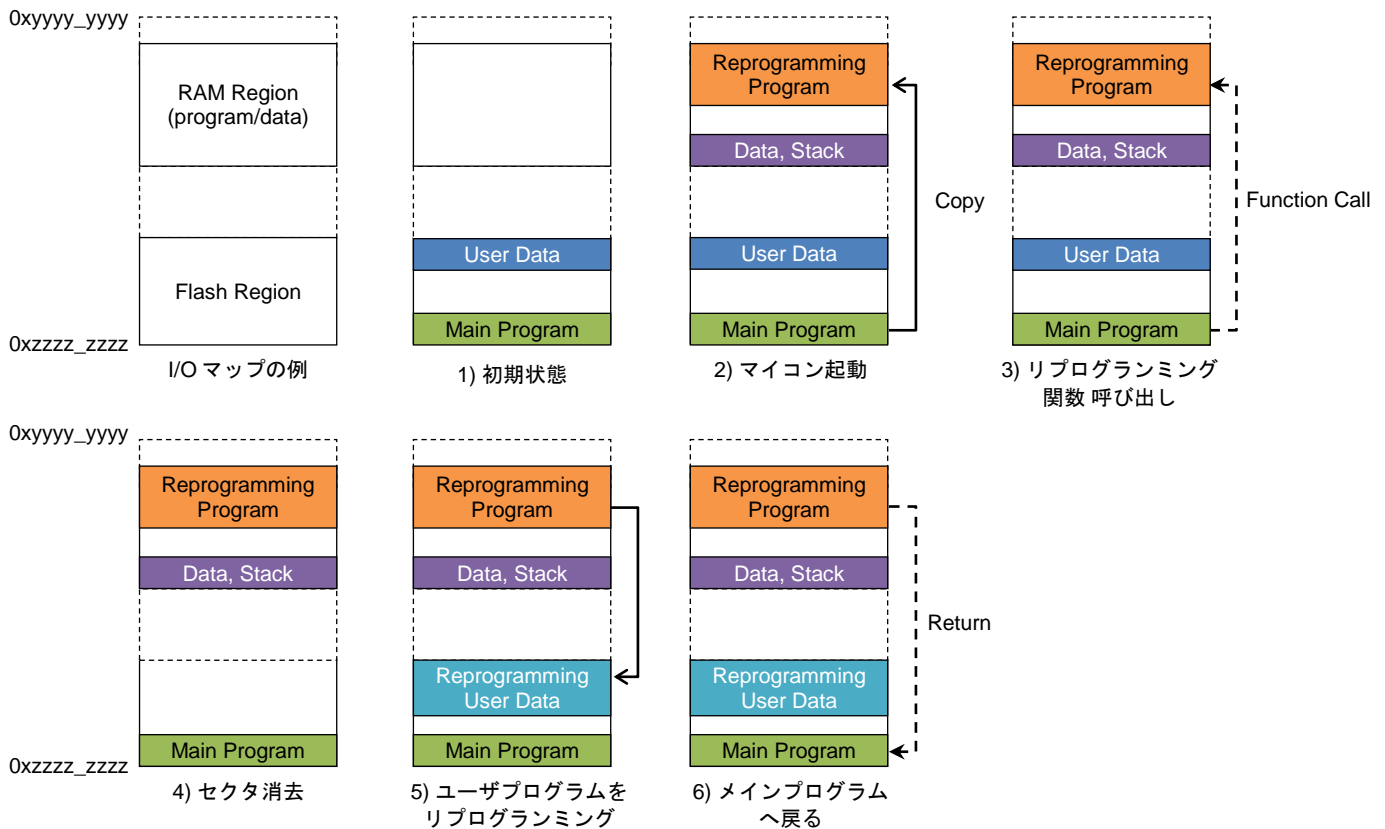
5 TCFLASH リプログラミング手順

TCFLASH はユーザプログラムが TCFLASH 上で実行されている場合、書き込みと消去は行えません。TCFLASH に書き込みを行うためには、RAM 上にユーザプログラムを配置する必要があり、RAM から実行します。

図 3 は以下のリプログラミング手順を図解しています。

1. あらかじめ、TCFLASH にメインプログラムを書き込む必要があります。RAM 上で実行するためのリプログラミングプログラムはこのメインプログラムに搭載されています。
2. Traveo ファミリのマイコンが動作を開始した時、データとスタックは RAM 領域に割り当てられ、リプログラミングプログラムはメインプログラムによって RAM へコピーされます。
3. リプログラミングプログラムの機能は TCFLASH のメインプログラムから呼び出されます。
4. リプログラミングプログラムが実行されることによってフラッシュメモリへコマンドが発行されます。セクタ消去はユーザデータが書き込まれるセクタで行われます。
5. 新しいユーザデータは TCFLASH に書き込まれます。
6. データが TCFLASH に書き込まれたら、プログラム実行は戻り関数によって TCFLASH 上のメインプログラムに戻ります。

図 3. TCFLASH リプログラミング手順

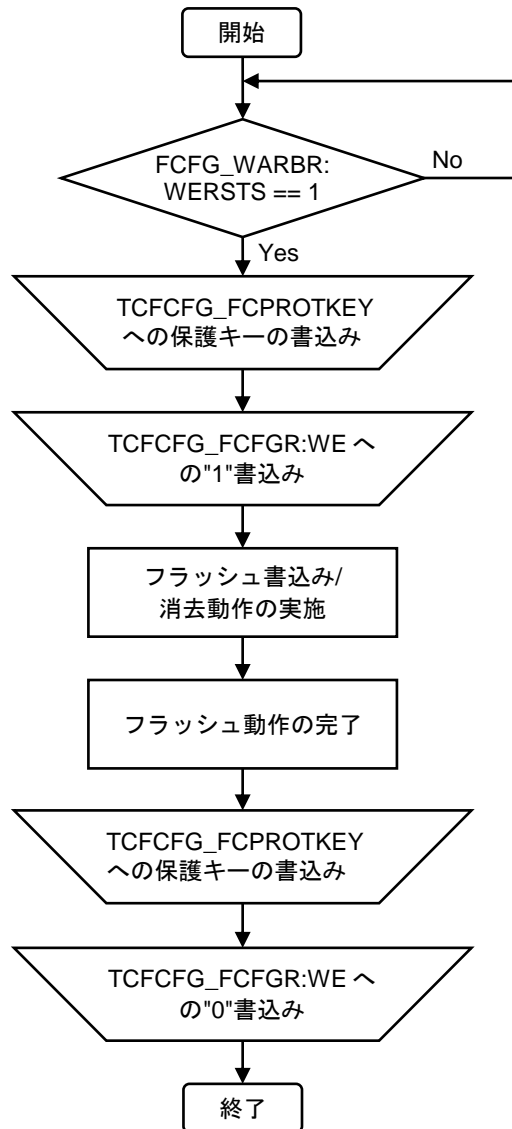


5.1 書き込み方法

TCFLASH へのデータの書き込みや消去を行うためには、TCFLASH の書き込み有効ビットを設定しなくてはなりません。加えて、TCFLASH と WorkFlash は同時に書き込みや消去をすることができません。そのため、フラッシュインタフェース(TCFLASH,WorkFlash)は調停機能が搭載されています。

TCFLASH から書き込むために、書き込み有効ビットを [図 4](#) で記載されている手順を用いて有効にしなくてはなりません。

図 4. 書き込み有効ビットを有効にするフローチャート



書き込みの有効はモニタリング書き込み有効リリース状態(FCFG_WARBR:WERSTS)ビットの代わりに書き込み有効リリース(FCFG_WARBR:WERINT)割込みを用いて設定できます。

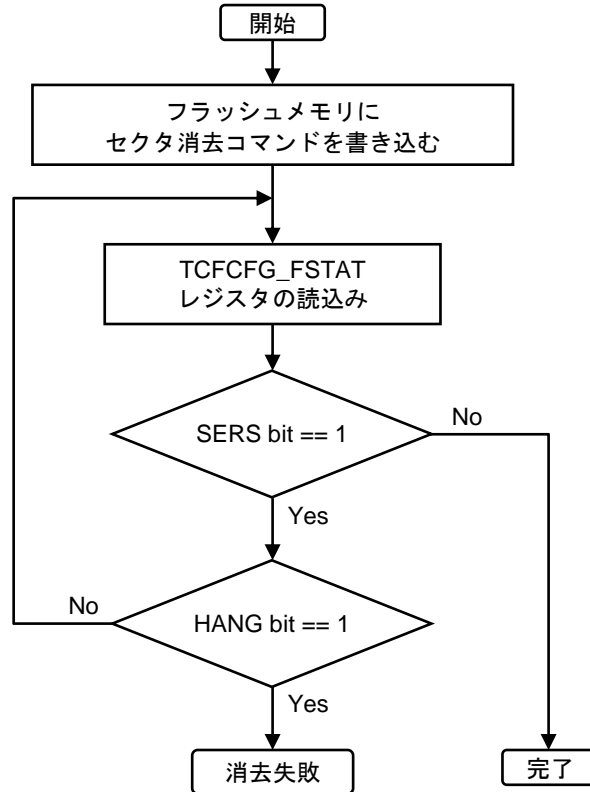
フラッシュの書き込み/消去の完了を確認するためには、書き込み/消去レディビット(TCFCFG_FSTAT:RDY)が"1"になっていることで確認できます。

WorkFlash インタフェースや Secure Hardware Extension (SHE)を使用したフラッシュへの書き込みや消去を許可するため、書き込み/消去の要求がない場合は書き込み有効ビット(TCFCFG_FCFGR:WE)を"0"にセットします。

5.2 セクタ消去シーケンス

図 5 にセクタ消去シーケンスのフローを示します。

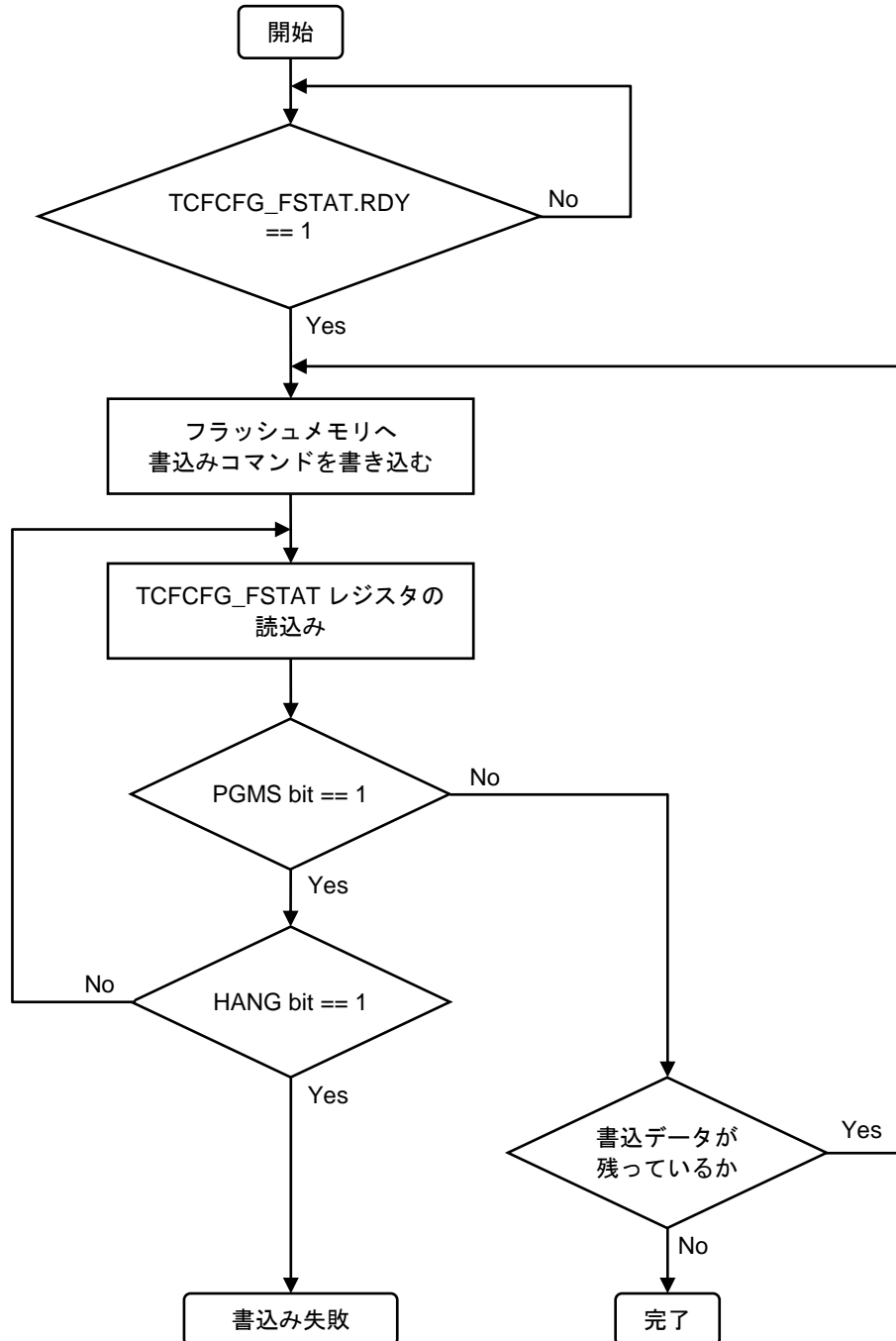
図 5. セクタ消去シーケンスフローチャート



5.3 書き込みシーケンス

図 6 に書き込みシーケンスを示します。

図 6. 書き込みシーケンスフローチャート



6 関連ドキュメント

- Technical Reference Manuals
 - [S6J3110 Series Hardware Manual \(Doc.No.002-10667\)](#)
 - [S6J3120 Series Hardware Manual \(Doc.No.002-04855\)](#)
 - [S6J3200 Series Hardware Manual \(Doc.No.002-04852\)](#)
 - [S6J32E/F/G Series Hardware Manual \(Doc.No.002-12500\)](#)
 - [Traveo Family Hardware Manual Platform Part for S6J3200 Series \(Doc.No.002-04854\)](#)
 - [S6J3310/20/30/40/50 Series Hardware Manual \(Doc.No.002-10185\)](#)
 - [Traveo Family Hardware Manual Platform Part for S6J3310/3320/3330/3340/3350 Series \(Doc.No.002-07884\)](#)
 - [S6J3360/70 Series Hardware Manual \(Contact Technical Support\)](#)
 - [Traveo Family Hardware Manual Platform Part for S6J3360/3370 Series \(Doc.No.002-07884\)](#)
 - [S6J3400 Series Hardware Manual \(Doc.No.002-09919\)](#)
 - [Traveo Family Hardware Manual Platform Part for S6J3400 Series \(Doc.No.002-07884\)](#)

- Datasheets
 - [S6J311E/D/C/B Series Datasheet \(Doc. No.002-05681\)](#)
 - [S6J311A/9/8 Series Datasheet \(Doc. No.002-04632\)](#)
 - [S6J3120 Series Datasheet \(Doc.No.002-04863\)](#)
 - [S6J3200 Series Datasheet \(Doc.No.002-05682\)](#)
 - [S6J32E/F/G Series Datasheet \(Doc.No.002-10689\)](#)
 - [S6J3310/20/30/40 Series Datasheet \(Doc.No.002-10635\)](#)
 - [S6J3350 Series Datasheet \(Doc.No.002-10634\)](#)
 - [S6J3360/70 Series Datasheet \(Doc.No.002-03359\)](#)
 - [S6J3400 Series Datasheet \(Doc.No.001-97829\)](#)

改訂履歴

ドキュメント名: AN212061 - Traveo™ファミリにおけるユーザプログラムによるフラッシュメモリへの書込みと消去

ドキュメント番号: 002-16139

版数	ECN	変更者	変更日	変更内容
**	5431153	HIAR	09/09/2016	このドキュメントは英語版 002-12061 Rev *A を翻訳した日本語版 002-16139 Rev.**です。
*A	5848406	HIAR	08/09/2017	このドキュメントは英語版 002-12061 Rev *B を翻訳した日本語版 002-16139 Rev.*A です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションページ](#)をご覧ください。

製品

ARM® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmxc
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス/RF	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6](#)

サイプレス開発者コミュニティ

[フォーラム](#) | [WICED IOT Forums](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support

ARM and Cortex are the registered trademarks of ARM Limited in the EU and other countries.



© Cypress Semiconductor Corporation, 2016-2017. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っており、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でののみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示をとわず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。適用される法律により許される範囲内、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面が提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, Capsense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。