



本ドキュメントは Cypress (サイプレス) 製品に関する情報が記載されております。本ドキュメントには、「MB」から始まるシリーズ名、品名およびオーダ型格が記載されておりますが、これらはすべて「CY」から始まるシリーズ名、品名およびオーダ型格として、新規および既存のお客様に引き続き提供してまいります。

オーダ型格の調べ方について

1. www.cypress.com/pcnにアクセスしてください。
2. SEARCH PCNS フィールドに、オーダ型格などのキーワードを入力し、「Apply」をクリックしてください。
3. 該当するタイトル(Title)をクリックしてください。
4. 「Affected Parts List」ファイルを開いてください。
当該ファイルに記載されている各種変更情報をご利用ください。

詳しいお問い合わせ先

Cypress 製品およびそのソリューションの詳細につきましては、お近くの営業所へお問い合わせください。

サイプレスについて

サイプレスは、世界で最も革新的な車載や産業機器、スマート家電、民生機器および医療機器製品向けに、最先端の組み込みシステム ソリューションを提供するリーディング カンパニーです。サイプレスのマイクロコントローラーや、アナログ IC、ワイヤレスおよび USB ベースのコネクティビティ ソリューション、高い信頼性と高性能を提供するメモリ製品は、各種機器メーカーの差異化製品の開発と早期市場参入を支援します。サイプレスは、ベストクラスのサポートと開発リソースをグローバルに提供することで、彼らが従来市場を破壊しまったく新しい製品カテゴリを歴史的なスピードで市場投入できるよう支援します。詳細はサイプレスのウェブサイト (japan.cypress.com) をご覧ください。

Traveo[™]ファミリの割込みコントローラ使用上の注意点

著者: Kenichi Sunada

関連製品ファミリ: Traveo ファミリ

S6J3110/S6J3120/S6J3200/S6J3300/S6J3350/S6J3400/MB9D560 シリーズ

関連ドキュメント: [5 関連ドキュメント](#)

本アプリケーションノートは、サイプレスの Traveo ファミリの割込みコントローラを使用する際の注意点について記載しています。

目次

1	はじめに.....1	4.1	割込み受け付け停止方法.....9
2	割込みコントローラの概要.....2	4.2	IRQ 割込み状況ビットからの読出し.....9
2.1	割込みコントローラ構成.....2	4.3	実装例.....9
2.2	割込みコントローラ使用上の注意.....3	5	関連ドキュメント.....10
3	多重割込みに対応した割込みハンドラ実装時の注意.....5	6	改訂履歴.....11
3.1	割込み抑止状態解除.....5		ワールドワイドな販売と設計サポート.....12
3.2	ホールドビットのクリア.....5		製品.....12
3.3	割込みを無効にする方法.....5		PSoC [®] ソリューション.....12
3.4	実装例.....8		サイプレス開発者コミュニティ.....12
4	多重割込みに対応しない割込みハンドラ実装時の注意.....9		テクニカルサポート.....12

1 はじめに

本アプリケーションノートは、Table 1 に示す開発環境にて Traveo ファミリの割込みコントローラを使用する際の注意点について記載します。

Table 1. 開発環境

マイコン	Traveo ファミリ
統合開発環境	MULTI v6.1.4 以降
最適化	Optimize for Speed

2 割り込みコントローラの概要

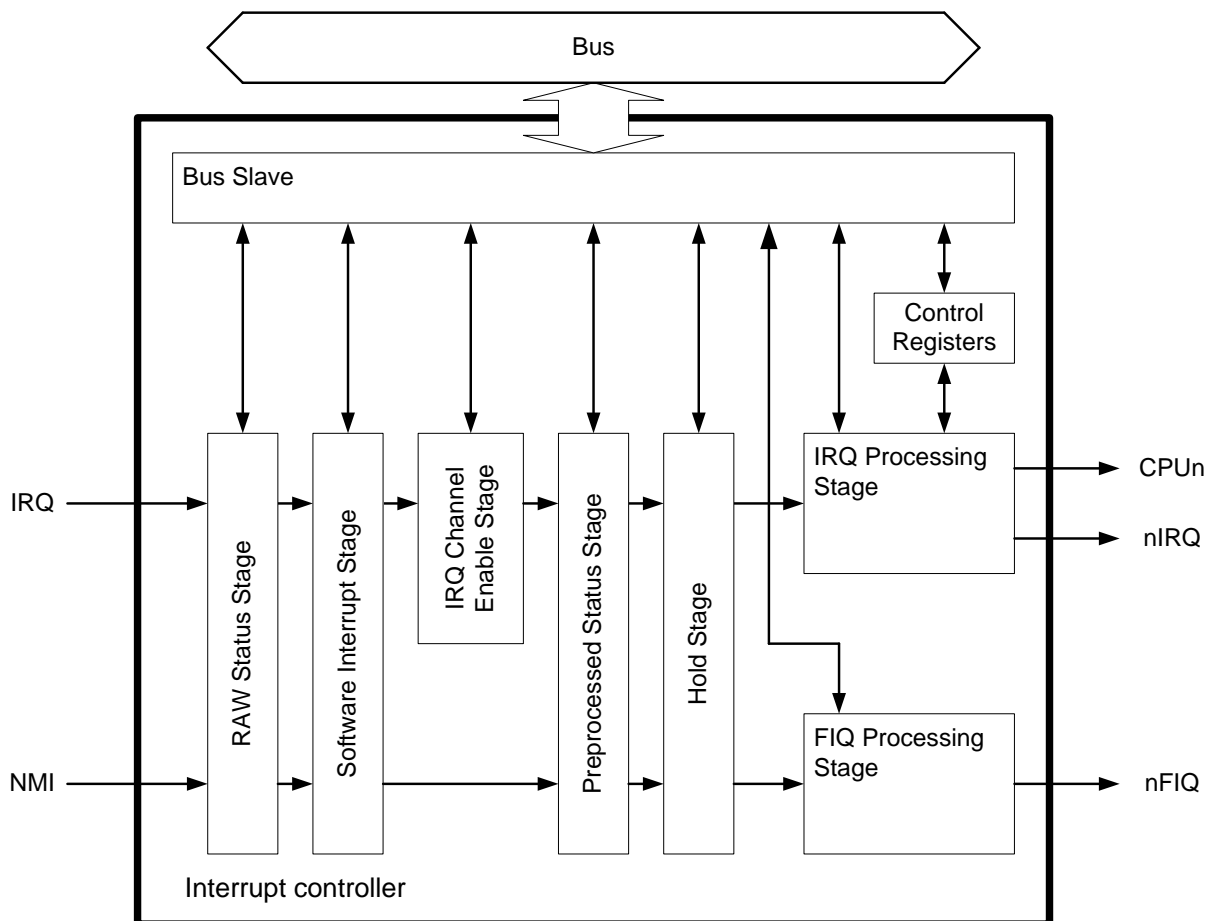
割り込みコントローラは割り込みを検出すると、以下の処理を行います。

- CPU への nIRQ 通知
- 割り込みのプライオリティレベル/マスクレベルを制御
- 割り込みベクタアドレスの通知

2.1 割り込みコントローラ構成

割り込みコントローラは Figure 1 の基本ブロックから構成されています。

Figure 1. 割り込みコントローラ構成



各ブロックの詳細は Traveo ファミリのハードウェアマニュアル CHAPTER: interrupt controller を参照してください。各製品のハードウェアマニュアルは、[関連ドキュメント](#)のセクションを参照してください。

2.2 割り込みコントローラ使用上の注意

割り込みコントローラは CPU とは異なるタイミングで割り込みの優先順位を制御しています。そのため割り込みコントローラのレジスタには、割り込みコントローラが割り込みを受け付けられる状態で書込みを行うと誤動作を引き起こすことがあります。該当レジスタに書込みを行う際は割り込みコントローラを割り込み受け付け停止状態にする必要があります。

以降のセクション (2.2.1 と 2.2.5)では割り込みコントローラを割り込み受け付け停止状態にする方法と、割り込み受け付け停止状態時のみ書込み可能なレジスタについて記します。

2.2.1 割り込み受け付け停止状態

割り込みコントローラに対して割り込みの受け付けを停止させるには以下の2つの方法があります。

- 割り込みコントローラを IRQ 処理ブロック無効にする:
IRC 制御/ステータスレジスタの IRQ 処理ブロック有効/無効設定ビット (IRCn_CSR[bit0 - IRQEN])に'0'を設定。
- IRQ 割り込み状況ビット (IRCn_IRQST[bit24 - nIRQ])を讀出すことによって、割り込みコントローラを割り込み抑止状態にする。

2.2.2 割り込み抑止状態

割り込みコントローラが割り込み抑止状態に遷移すると CPU に対して割り込みの発生を通知しません。割り込みコントローラは以下のいずれかの条件が満たされた場合、割り込み抑止状態に遷移します。

- 割り込みコントローラが CPU へ割り込み通知を行った
- IRC IRQ ステータスレジスタの IRQ 割り込み状況ビット (IRCn_IRQST[bit24 - nIRQ])が讀出された

IRC IRQ ステータスレジスタの IRQ 割り込み状況ビット (IRCn_IRQST[bit24 - nIRQ])は割り込みコントローラの割り込み状態の表示および、割り込みの抑止制御を行うためのビットです。IRQ 割り込み状況ビットに対して讀出しを行うことにより任意のタイミング (CPU の I-FLAG が'1' (割り込み禁止)時を除く)で割り込みコントローラを割り込み抑止状態へ遷移させることができます。

IRQ 割り込み状況ビットの値が示す割り込みコントローラの状態を Table 2 に示します。

Table 2. IRQ 割り込み状況ビットの値が示す割り込みコントローラの割り込み状態

IRQ 割り込み状況ビットの値	割り込みコントローラの状態
0	以下のいずれかであることを示す。 ・割り込みコントローラが CPU に対して割り込みを通知している。 ・割り込みコントローラが割り込み抑止状態である。
1	受け付け中の割り込みが存在せず、nIRQ ビットの讀出しにより割り込みコントローラが割り込み抑止状態へ遷移した。

2.2.3 IRQ 割り込み状況ビット

IRQ 割り込み状況ビット (IRCn_IRQST[bit24 - nIRQ])に対して讀出しを行う場合は以下の点に注意してください。

- 讀出される値について
IRQ 割り込み状況ビットから'1'を讀出すことにより割り込みコントローラは割り込み抑止状態となるため、IRQ 割り込み状況ビットに対する 2 回目以降の讀出し結果は常に'0'となります。再度'1'が讀出されるタイミングは割り込み抑止状態を解除した直後の讀出し時のみとなります。

- 読出しが禁止されているタイミングについて

CPU の I-FLAG が‘1’ (割り込み禁止)のときに IRQ 割り込み状況ビットに対して読出しを行うことは禁止です。CPU の I-FLAG が‘1’のときに割り込みコントローラが次の割り込みを受け付けた場合、IRQ 割り込み状況ビットに対して読出しを行っても割り込みコントローラが割り込み抑止状態へ遷移しない可能性があります。

2.2.4 割り込み抑止状態解除

Table 3 の割り込み抑止解除レジスタに対して書込みを行うことで割り込み抑止状態は解除されます。

Table 3. 割り込み抑止解除レジスタ

レジスタ略称	レジスタ名
IRCN_IRQVAr	IRC IRQ ベクタアドレスレジスタ
IRCN_IRQPL0-127	IRC IRQ プライオリティレベルレジスタ
IRCN_IRQS0-15	IRC IRQ ソフトウェア割り込みセットレジスタ
IRCN_IRQR0-15	IRC IRQ ソフトウェア割り込みリセットレジスタ
IRCN_IRQCES0-15	IRC IRQ チャネル許可セットレジスタ
IRCN_IRQCEC0-15	IRC IRQ チャネル許可クリアレジスタ
IRCN_IRQCE0-15	IRC IRQ チャネル許可設定レジスタ
IRCN_IRQHC	IRC IRQ ホールドクリアレジスタ
IRCN_IRQPLM	IRC IRQ プライオリティレベルマスクレジスタ
IRCN_CSR	IRC 制御/ステータスレジスタ

割り込みコントローラは割り込み抑止状態へ遷移すると、割り込み抑止解除レジスタに対して書込みを行うまで割り込み抑止状態のままになります。そのため、**再度割り込みを有効にする場合はレジスタ操作が不要であっても割り込み抑止解除レジスタに対して書込み(ダミーライト)を行ってください。**

2.2.5 割り込み受け付け停止状態時のみ書込み可能なレジスタ

Table 4 のレジスタへの書込みは必ず、割り込みコントローラが割り込み受け付け停止状態時に行ってください。割り込みの受付を停止していないときに書込みを行うと誤動作の原因となります。

Table 4. 割り込み受け付け停止状態時のみ書込み可能なレジスタ

レジスタ略称	レジスタ名
IRCN_IRQPL0-127	IRC IRQ プライオリティレベルレジスタ
IRCN_IRQHC	IRC IRQ ホールドクリアレジスタ
IRCN_IRQPLM	IRC IRQ プライオリティレベルマスクレジスタ
IRCN_CSR	IRC 制御/ステータスレジスタ

なお、Table 4 のレジスタは割り込み抑止解除レジスタ (Table 3)に含まれているため、Table 4 のレジスタへ書込みを行った後は割り込み抑止状態が解除されます。そのため、Table 4 のレジスタに対して複数回書込みを行う場合は以下のいずれかの方法で行ってください。

- Table 4 のレジスタへ書込みを行うごとに IRQ 割り込み状況ビット (IRCN_IRQST[bit24 - nIRQ])から読出しを行う
- Table 4 のレジスタへ書込みを行う前に割り込みコントローラを IRQ 処理ブロック無効に設定 (IRQ 処理ブロック有効/無効設定ビット (IRCN_CSR[bit0 - IRQEN])に‘0’を設定)する

3 多重割り込みに対応した割り込みハンドラ実装時の注意

ARM® アーキテクチャでは多重割り込みをサポートしていないため、ソフトウェアで実装する必要があります。セクション 3.1, 3.2 および 3.3 では多重割り込みに対応した割り込みハンドラを実装する際の注意点について記します。

3.1 割り込み抑止状態解除

割り込みコントローラは CPU へ割り込み通知を行うと割り込み抑止状態へ遷移します。そのため、割り込みハンドラ処理開始時、割り込みコントローラは割り込み抑止状態となっています。多重割り込みを行う場合は割り込みハンドラの先頭にて割り込み抑止解除レジスタ (Table 3) に対して書き込みを行わなければなりません。

また、割り込みハンドラ処理開始時、CPU の I-FLAG にはハードウェアによって '1' (割り込み禁止) が設定されています。割り込み抑止解除と同時に CPU の I-FLAG に '0' (割り込み許可) を設定してください。

3.2 ホールドビットのクリア

割り込み処理終了時のホールドビットのクリアは必ず CPU の I-FLAG が '1' (割り込み禁止) の状態で行ってください。

CPU の I-FLAG が '0' (割り込み許可) の状態でホールドビットのクリアを行った場合、ホールドビットのクリアを行ったタイミングで割り込み抑止状態が解除されます。そのため実行中の割り込みハンドラの処理が完了する前に次の割り込み処理が実行され、スタックオーバーフローを引き起こす可能性があります。

IRCN_IRQHC は割り込み受け付け停止状態時のみ書き込み可能なレジスタ (Table 3) に含まれるため、CPU の I-FLAG が '1' (割り込み禁止) の状態でホールドビットのクリアを行うためには以下の手順で行う必要があります。

1. IRQ 割り込み状況ビット (IRCN_IRQST[bit24 - nIRQ]) を読出す
2. CPU の I-FLAG に '1' を設定
3. IRCN_IRQHC にクリアする IRQ チャンネル番号を書込む

3.3 割り込みを無効にする方法

Table 5 の方法を行うことにより、多重割り込み対応割り込みハンドラ処理内で割り込みを無効にすることが可能です。

ただし、割り込み無効中にそれぞれの禁止事項に記載している処理は行わないでください。

各方法の実装例を Figure 2 から Figure 5 に示します。

Table 5. 割り込みを無効にする方法

割り込みを無効にする方法		禁止事項
方法 1	CPU の I-FLAG に '1' (割り込み禁止) を設定。	<ul style="list-style-type: none"> ■ IRQ 割り込み状況ビットからの読出し。 ■ 割り込み受け付け停止状態時のみ書き込み可能なレジスタ (Table 4) への書き込み。
方法 2	IRQ 割り込み状況ビットからの読出し。 ¹	割り込み受け付け停止状態時のみ書き込み可能なレジスタ (Table 4) への複数回書き込み。
方法 3	IRQ 割り込み状況ビット読出し実施直後に CPU の I-FLAG に '1' (割り込み禁止) を設定。 ¹	<ul style="list-style-type: none"> ■ CPU の I-FLAG へ '1' (割り込み禁止) を設定後の IRQ 割り込み状況ビットからの読出し。 ■ 割り込み受け付け停止状態時のみ書き込み可能なレジスタ (Table 4) への複数回書き込み。
方法 4	IRQ 処理ブロック有効/無効設定ビットに '0' (IRQ 処理ブロック無効) を設定。 ²	IRQ 割り込み状況ビットからの読出し。

1: IRQ 割り込み状況ビット: IRCN_IRQST[bit24 - nIRQ]

2: IRQ 処理ブロック有効/無効設定ビット: IRCN_CSR[bit0 - IRQEN]

Figure 2. 方法 1 実装例

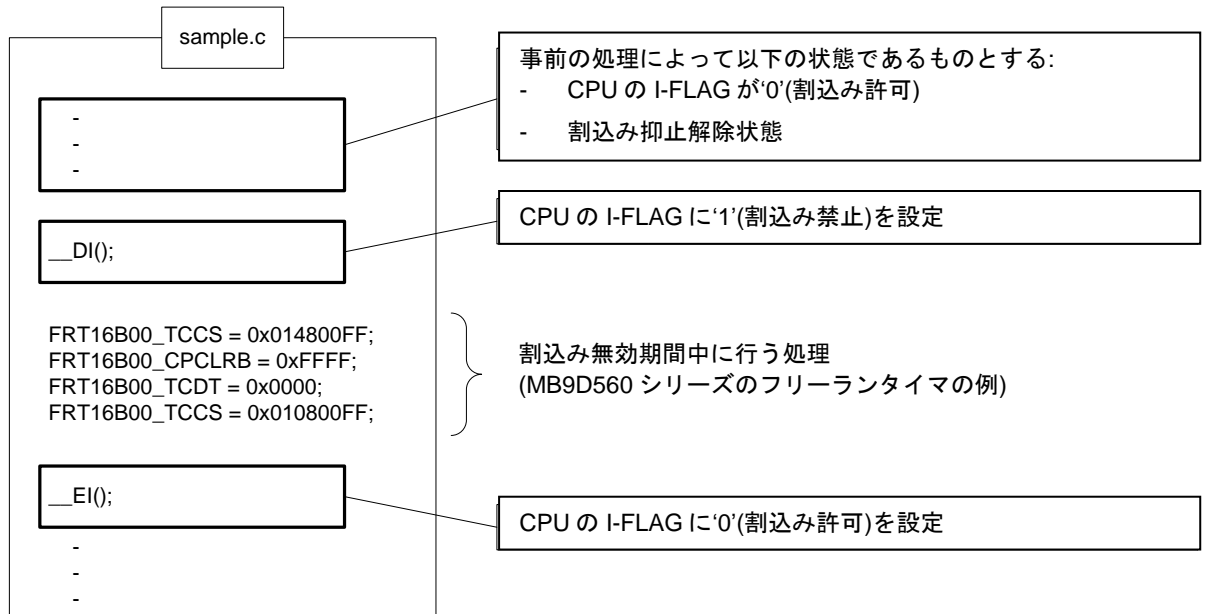


Figure 3. 方法 2 実装例

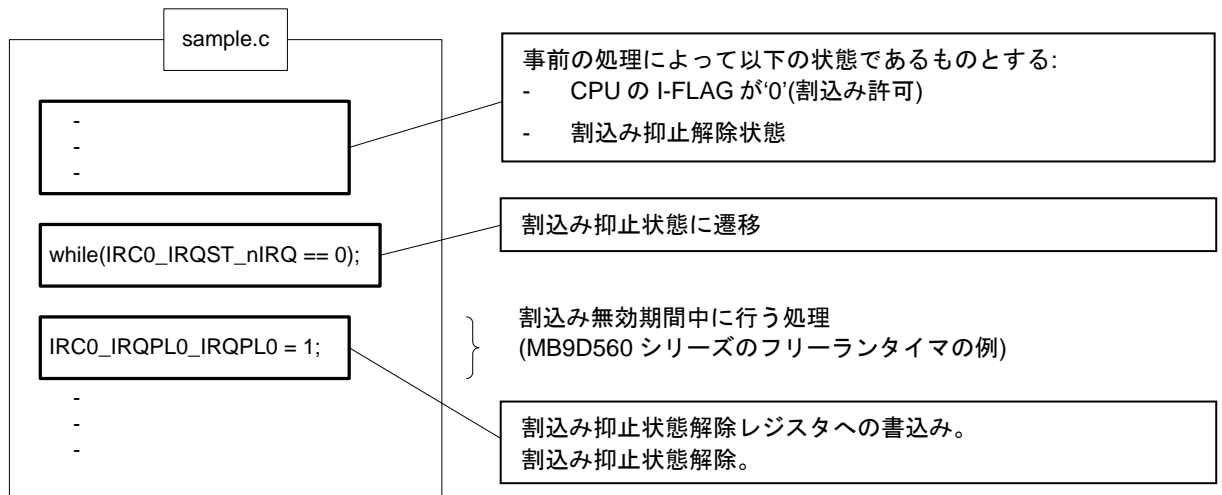


Figure 4. 方法 3 実装例

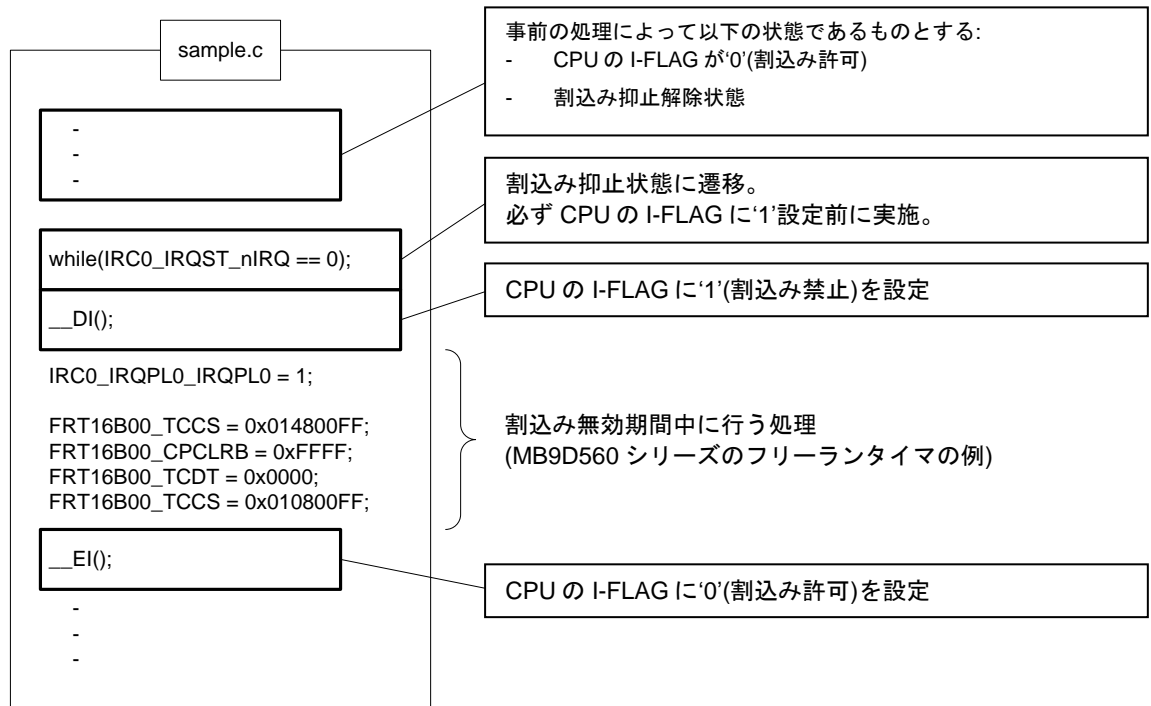
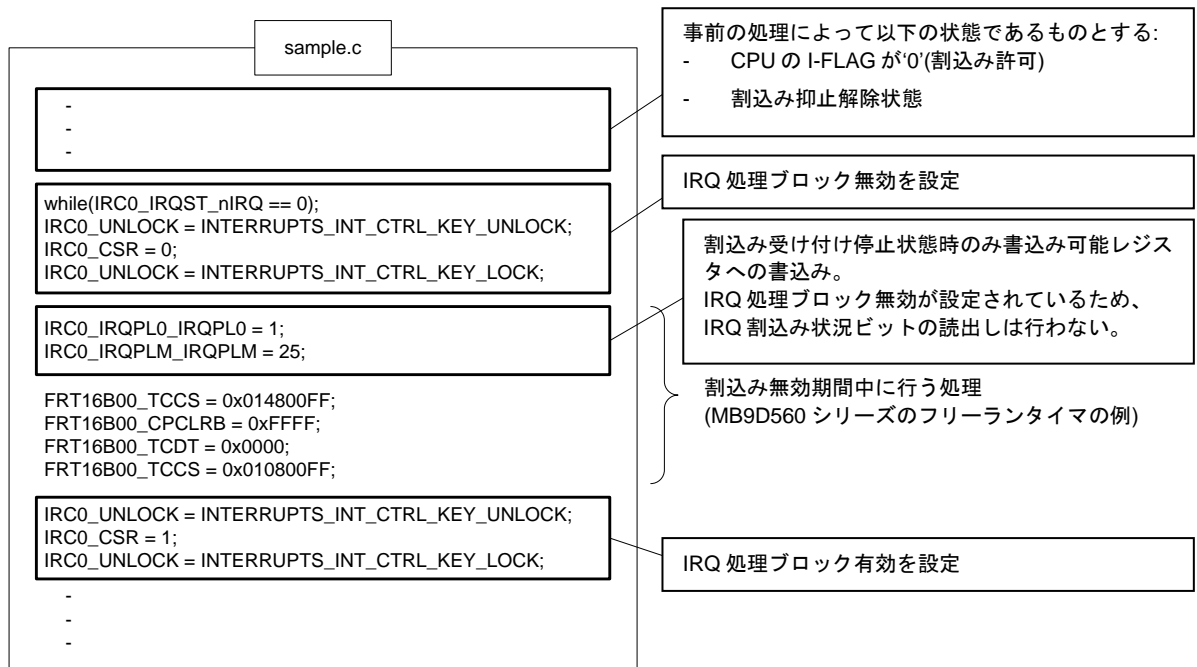


Figure 5. 方法 4 実装例

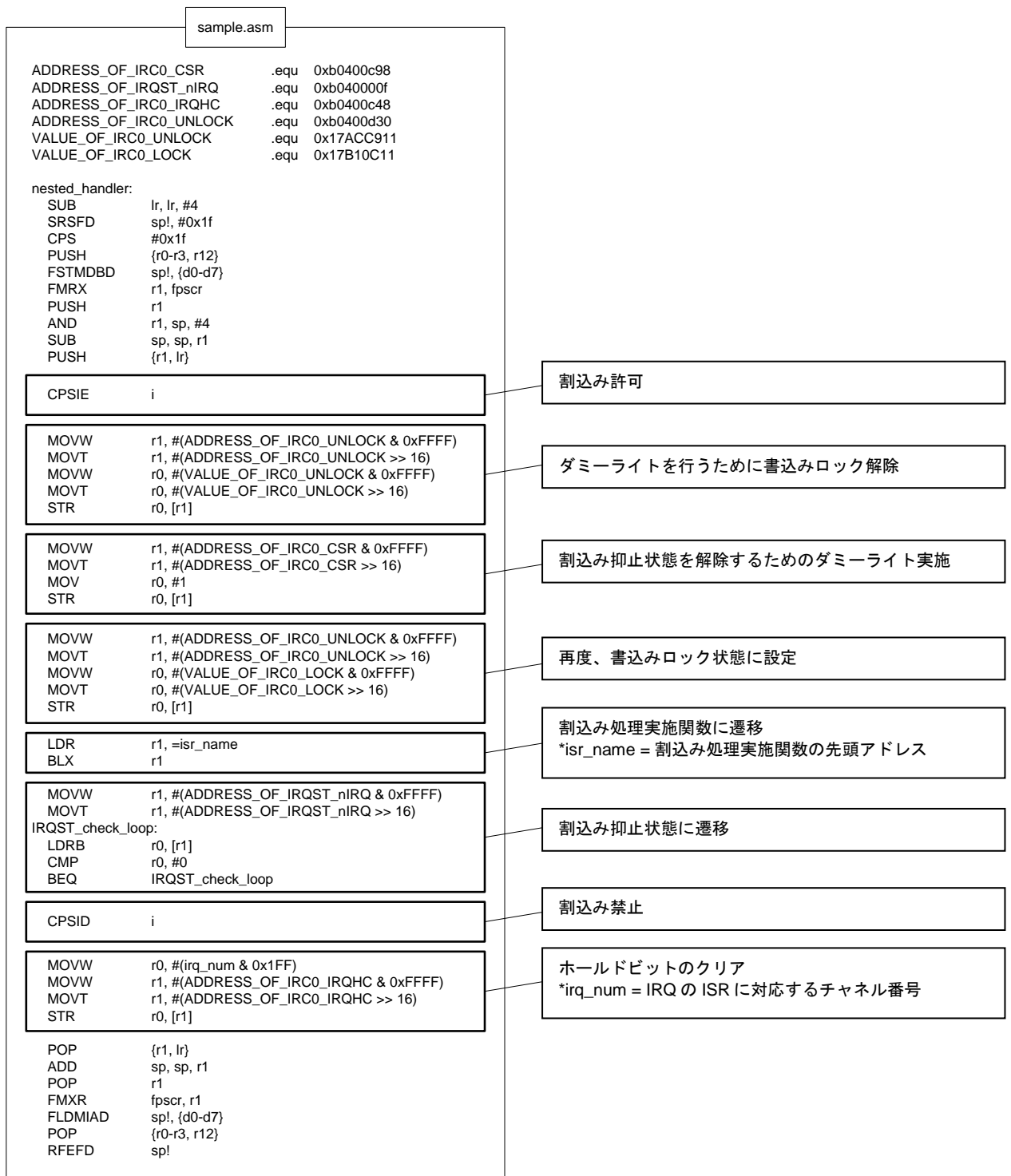


3.4 実装例

多重割り込みに対応した割り込みハンドラの実装例を [Error! Reference source not found.](#)に示します。

MULTI コンパイラでは ARM Cortex®-R の多重割り込みに対応した疑似命令が存在しないため、必要な処理をアセンブラで実装する必要があります。

Figure 6. 多重割り込み対応割り込みハンドラ実装例



4 多重割り込みに対応しない割り込みハンドラ実装時の注意

実行中の割り込みハンドラの処理が完了するまで次の割り込みを受け付けないようにするため、割り込みハンドラ処理が完了するまで以下の全ての条件を満たし続ける必要があります。

- 割り込みコントローラが割り込み受け付け停止状態であること
- CPU の I-FLAG が '1' (割り込み禁止) であること

セクション 4.1 と 4.2 では多重割り込みに対応しない割り込みハンドラを実装する際の注意点について記します。

4.1 割り込み受け付け停止方法

割り込みハンドラの手前で IRQ 処理ブロック有効/無効設定ビット (IRCn_CSR[bit0 - IRQEN]) に '0' を書き込むことで割り込みコントローラを割り込み受け付け停止状態にしてください。

割り込みハンドラに処理が遷移したときには割り込み抑止状態となっているため、割り込みコントローラは割り込み受け付け停止状態となっています。しかし、割り込み抑止状態であることによる割り込み受け付け停止状態の場合、割り込み抑止解除レジスタへ書き込みを行ったタイミングで割り込み受け付け停止状態が解除されてしまいます。

なお、割り込みハンドラ処理完了後に次の割り込みを受け付けられるよう、必ず割り込みハンドラの手前で IRQ 処理ブロックを有効に戻してください。

IRCn_IRQHC は割り込み受け付け停止状態時のみ書き込み可能なレジスタ (Table 4) であるため、ホールドビットのクリア実施後に IRQ 処理ブロックを有効にしてください。

4.2 IRQ 割り込み状況ビットからの読出し

割り込みハンドラの実行中は CPU の I-FLAG が '1' でなければならないことから、割り込みハンドラ実行中の IRQ 割り込み状況ビット (IRCn_IRQST[bit24 - nIRQ]) の読出しは禁止されています。

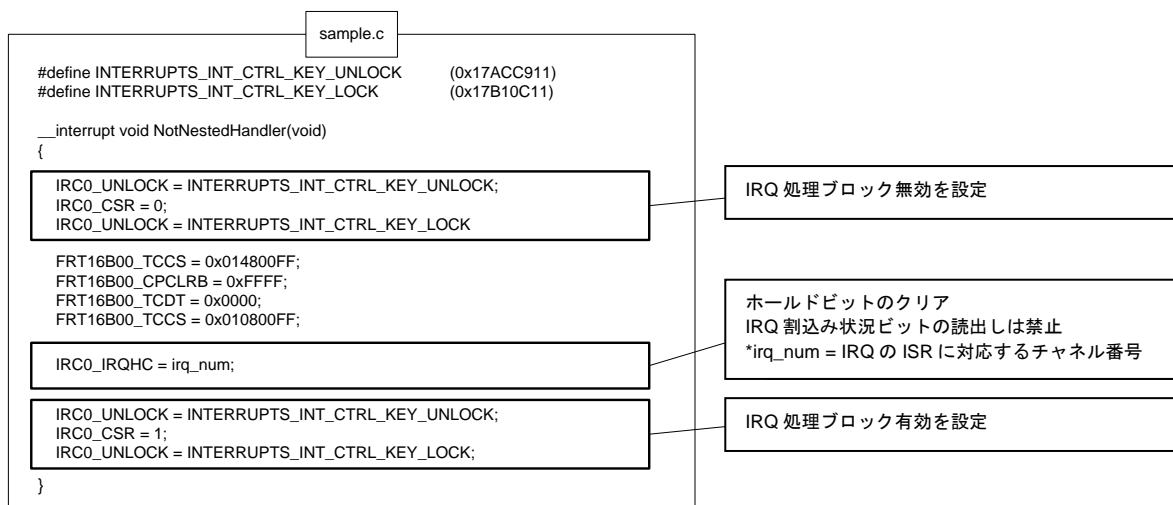
割り込みハンドラ実行中は IRQ 処理ブロックを無効にしているため、割り込みコントローラは割り込み受け付け停止状態になっています。割り込み受け付け停止状態時のみ書き込み可能なレジスタ (Table 4) へ書き込みを行う場合は、割り込みの受け付けを停止させる処理は不要です。

4.3 実装例

多重割り込みに対応しない割り込みハンドラの実装例を Figure 7 に示します。

多重割り込み対応しない割り込みハンドラは MULTI コンパイラの疑似命令 (__interrupt) を使用した実装が可能です。

Figure 7. 多重割り込みに対応しない割り込みハンドラ実装例



5 関連ドキュメント

Traveo ファミリのデータシートとハードウェアマニュアル:

- [S6J3110](#)
- [S6J3120](#)
- [S6J3200](#)
- [S6J3300](#)
- [S6J3350](#)
- [MB9D560](#)

6 改訂履歴

文書名: AN204446 - Traveo™ファミリの割込みコントローラ使用上の注意点

文書番号: 002-04447

Revision	ECN	変更者	発行日	変更内容
**	-	KHAS	07/16/2015	Initial Release
*A	5352831	KSUN	07/15/2016	これは英語版 002-04446 Rev.*B を翻訳した日本語版 002-04447 Rev.*A です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

ARM® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/go/automotive
クロック&バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明&電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチセンシング	cypress.com/go/touch
USB コントローラ	cypress.com/go/usb
ワイヤレス/RF	cypress.com/go/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/go/support

PSoC is a registered trademark and Traveo is a trademark of Cypress Semiconductor Corp. All other trademarks or registered trademarks referenced herein are the property of their respective owners.

 <p>CYPRESS Embedded in Tomorrow™</p>	<p>Cypress Semiconductor 198 Champion Court San Jose, CA 95134- 1709</p>	<p>Phone : 408-943-2600 Fax : 408-943-4730 Website : www.cypress.com</p>
---	--	---

© Cypress Semiconductor Corporation, 2015-2016. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、また、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾していない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、あなたが Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意をしていない場合、Cypress は、あなたに対して、（1）本ソフトウェアの著作権に基づき、（a）ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに（b）Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）エンドユーザーに対して、バイナリーコード形式で本ソフトウェアを外部に配布すること、並びに（2）本ソフトウェア（Cypress により提供され、修正がなされていないもの）に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のあるいかなる製品又は回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のために提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計し、プログラムし、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分として用いるため、又はシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせることになるその他の使用（以下、「本目的外使用」という。）のためには、設計、意図又は承認されていない。重要な構成部分とは、装置又はシステムのその構成部分の不具合が、その装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できる、機器又はシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ、あなたは Cypress をそれら一切から免除するものとし、本書により免除する。あなたは、Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から Cypress を免責補償する。Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、PSoC、CapsSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。