

CY294xx 高性能クロック: 入門およびベスト設計プラクティス

著者: Amitava Banerjee

関連製品ファミリ: CY29411、CY29412、CY29421、CY29422、CY29430

関連アプリケーション ノート: なし

本アプリケーション ノートの最新版を入手するには、<http://www.cypress.com/go/AN210253> へアクセスしてください。

本アプリケーション ノート (AN210253) では、OTN、SONET/SDH、xDSL、GbE、無線インフラなどのシステム内のアプリケーションに適応する CY294xx クロック デバイスのアーキテクチャ、動作および性能について説明いたします。また、水晶振動子、内部メモリの構造およびハードウェアとソフトウェア プラットフォームなどの参照用選択の詳細を含むデバイス設定のベストプラクティスと設計ガイドラインも提供しています。

目次

1 はじめに.....	1	8 JEDEC ファイル.....	16
2 入力と出力の設定およびプログラマブルな機能.....	4	9 レイアウト ガイドライン.....	17
2.1 入力設定.....	4	10 まとめ.....	18
2.2 出力設定.....	5	改訂履歴.....	19
2.3 他の設定可能なパラメーターおよび 設計ガイドライン.....	6	ワールドワイド販売と設計サポート	20
3 RMS ジッタ性能.....	8	製品	20
4 電源の仕様.....	10	PSoC®ソリューション	20
5 プログラミング インターフェース.....	11	サイプレス開発者コミュニティ	20
6 デバイス I ² C インターフェース.....	14	テクニカル サポート	20
7 大きな変化トリガーおよび小さな変化トリガー	15		

1 はじめに

CY294xx デバイスは、OTN、SONET/SDH、xDSL、GbE、無線インフラなどのハイエンド ネットワーク システムおよび民生用、産業用アプリケーション向けの高性能クロック ジェネレータである 1 PLL ファミリです。これらのデバイスは QFN および LCC パッケージで提供されます。CY294xx デバイスは、最大 150fs の低ジッタを持つ 2.1GHz までの 1 つの差動 (またはシングルエンド) 出力を生成します。これらは工場出荷時にプログラム、または現場でプログラムすることができます。揮発性メモリに格納されているコンフィギュレーションは I²C インターフェースを介して制御できます。シグマデルタ PLL ベース クロックの合成技術により、優れた電源ノイズ除去が得られ、一般的にネットワークや通信システムで見られるノイズの多い環境で低ジッタ クロックの生成タスクが簡素化されます。

サイプレスは、デバイスの特長、プログラマビリティ オプション、内部コンフィギュレーションおよびシステム設計の要件を満たすためのハードウェア設計ガイドラインをご理解いただくため、本アプリケーション ノートをご一読ください。本アプリケーション ノートに記載されているデバイスのメモリ マップおよび JEDEC の説明は、実行中に I²C マスター コントローラーを使用して周波数の変更設定に役立ちます。評価キット (EVK) でソフトウェア コンフィギュレーションを評価し、オシロスコープ、シグナルソース アナライザなどの異なるテスト機器を使用して性能確認を行う必要があります。本書で説明した設計ガイドラインは、システム内で品質の高いクロックを得るためにアプリケーション プリント基板を設計するのに有用です。

CY294xx を採用したシステムの設計を開始する際、本アプリケーション ノートに加え、次の関連文書をご参照ください:

- サイプレスのプログラマブルな高性能発振器のウェブページで掲載の CY29411、CY29412、CY29421、CY29422 および CY29430 デバイスのデータシート
- CY3676 評価キット ウェブページで掲載の CY3676 EVK (CY29412 のハードウェア評価キット) の設計文書
- CY3677 評価キット ウェブページで掲載の CY3677 EVK (CY29430 のハードウェア評価キット) の設計文書
- ClockWizard 2.1 ソフトウェア

CY294xx デバイスは、現場および工場出荷時にプログラム可能な機能があります。デバイス ファミリの製品ポートフォリオの概要は表 1 に示されます。

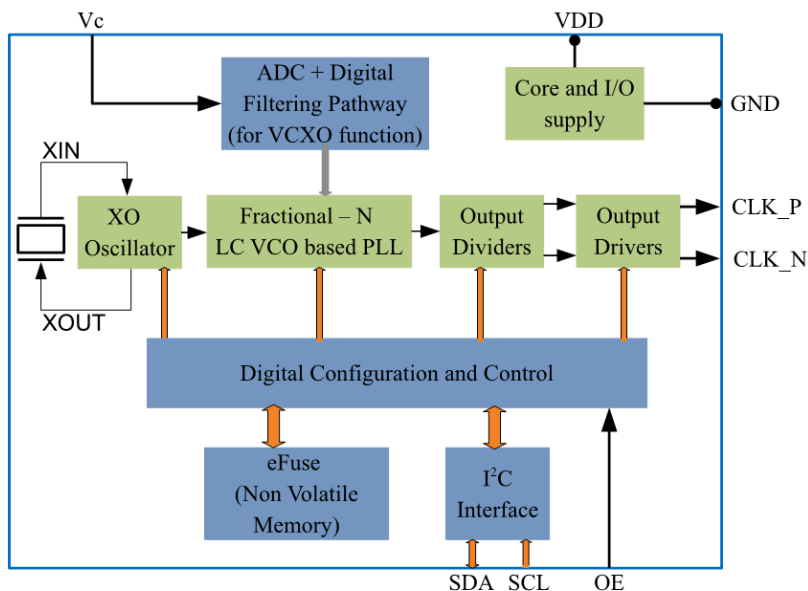
表 1. CY294xx デバイス ファミリの製品ポートフォリオ

デバイスの製品番号	パッケージタイプ	VCXO 機能	入力タイプ	入力周波数範囲	出力タイプ	周波数プロファイル (FS) の数
CY29411	8 ピン LCC (5mm x 7mm)	無	内部の OT3 水晶振動子	該当なし	1 個の差動出力	1
CY29412	8 ピン LCC (5mm x 7mm)	有	内部の OT3 水晶振動子	該当なし	1 個の差動出力	1
CY29421	8 ピン LCC (3.2mm x 5mm)	無	内部の OT3 水晶振動子	該当なし	1 個の差動出力	1
CY29422	8 ピン LCC (3.2mm x 5mm)	有	内部の OT3 水晶振動子	該当なし	1 個の差動出力	1
CY29430	16 ピン QFN	有	外部の HFF 水晶振動子	100~130MHz	1 個の差動および 1 個のシングル エンド (プログラミングに基づいて、一度に 1 個だけ動作)	4
			外部の OT3 水晶振動子	100~130MHz		
			外部の LFF 水晶振動子	50~60MHz		
			外部の TCXO 入力	50~60MHz		

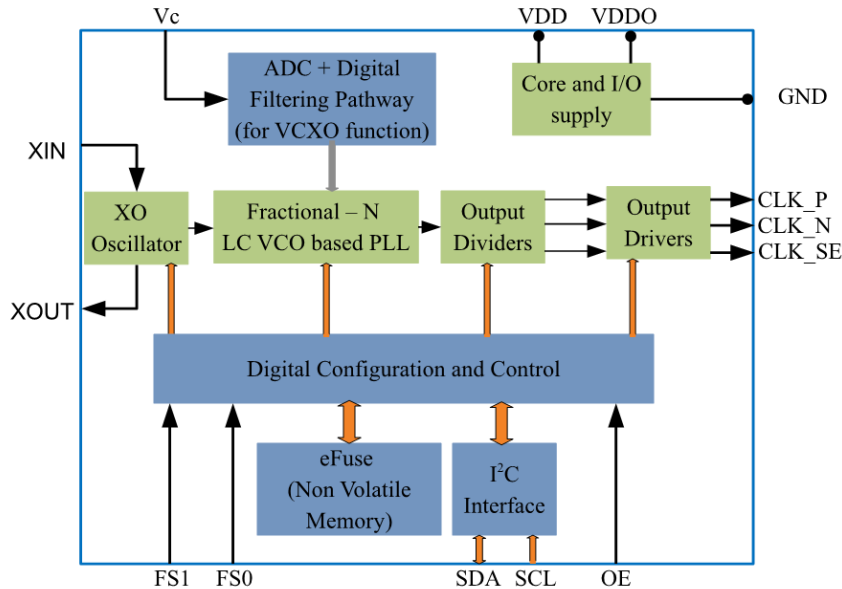
CY29430 および CY29412/CY29422 デバイスの内部ブロック図は図 1 に示されます。CY294xx デバイスの主な機能は以下の通りです:

- 完全に集積された VCO を使用したプログラマブルなフラクショナル N 低ノイズ PLL
- 15MHz~2.1GHz (連続)、15MHz~250MHz (シングルエンド) のプログラマブルな出力周波数
- 統合された固定周波数水晶振動子や高周波基本 (HFF) モード水晶振動子の 3 次オーバートーン (OT3) で動作可能
- LVPECL、LVPECL2、CML、HCSL および LVDS プログラマブルな出力フォーマット
- 3.3V、2.5V、1.8V 電源に対応
- 150fs の標準的な統合ジッタ性能 (周波数オフセット 12kHz~20MHz)
- VCXO 機能、調整可能なブル範囲全体が±50ppm~±275ppm

図 1. (a) CY29412/CY29422 および (b) CY29430 のブロック図



(a) CY29412, CY29422 architecture block diagram



(b) CY29430 architecture block diagram

2 入力と出力の設定およびプログラマブルな機能

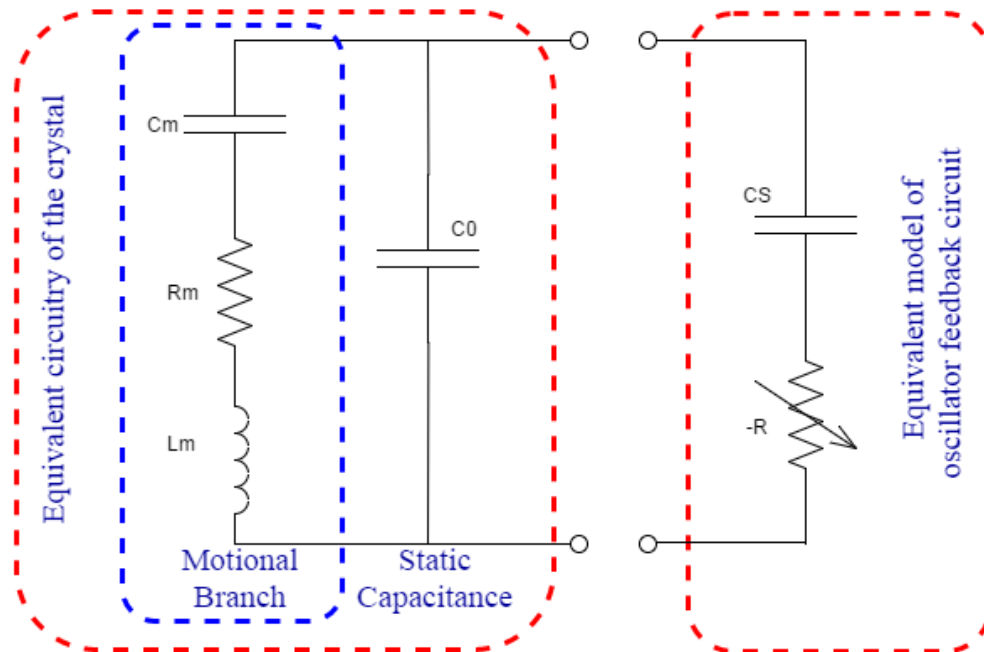
2.1 入力設定

CY2941x および CY2942x デバイスの水晶振動子は LCC パッケージに組み込まれています。CY29430 デバイスは外部水晶振動子 (HFF あるいは OT3 水晶) またはプリント基板上的 TCXO 入力ソースを必要とします。水晶振動子 (HFF か OT3) の選択に応じて、内部発振回路のパラメーターは以下のように異なります:

- HFF 水晶振動子の場合、発振回路は基本周波数での負性抵抗を提供することで、水晶振動子を基本周波数で発振させます。
- OT3 水晶振動子の場合、発振回路は基本周波数での正性実効抵抗を提供することで発振を基本周波数に抑制し、3 次オーバートーン周波数での負性抵抗を提供することで水晶振動子を発振させます。

図 2 は水晶振動子の等価 RLC 回路および発振器の負性抵抗を示します。フィードバック経路での内部発振器回路は、特定の周波数での負性抵抗 (-R) を持ち、発振を開始します。

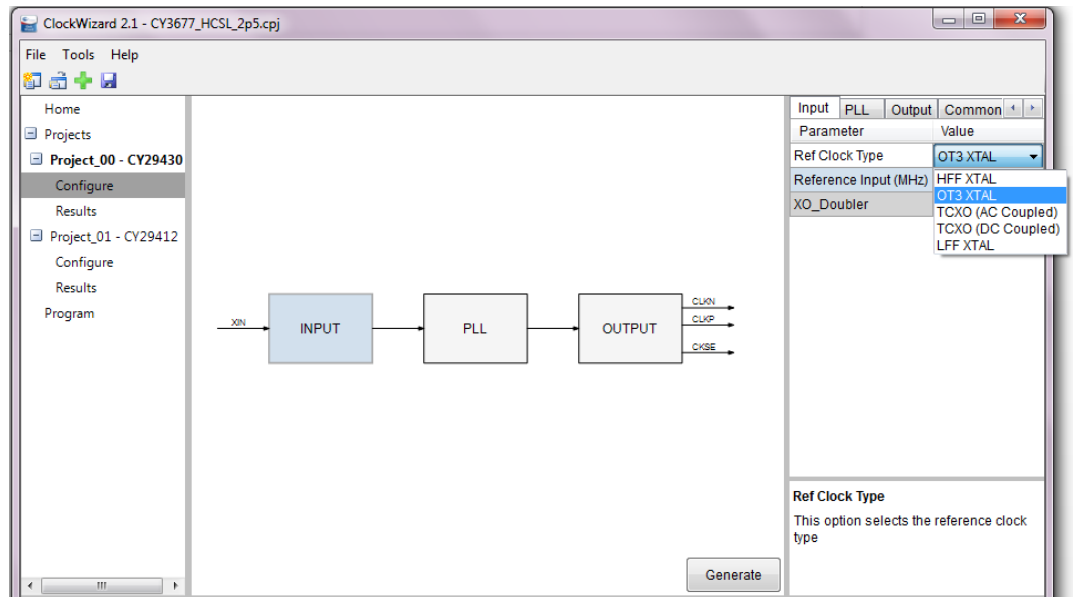
図 2. 水晶回路のブロック図



水晶仕様の詳細は、CY29430 データシートをご参照ください。ClockWizard 2.1 ソフトウェアを使用して水晶関連のパラメーターを設定することができます。図 3 はソフトウェアでコンフィギュレーション可能な水晶パラメーターの設定オプションを示します。

TCXO または外部クロックが XIN 入力に供給される場合、V_{DD} が特定のレベルにランプアップする前に入力は安定する必要があります。理由は、オンチップの周波数校正プロセスは、電源投入の状態を開始して、プロセスの開始時に利用できるように安定したリファレンス入力が必要とするからです。TCXO 仕様の詳細は、CY29430 データシートをご参照ください。

図 3. ClockWizard 2.1 での CY29430 入力水晶振動子設定



2.2 出力設定

CY294xx および CY29430 デバイスは LVPEC、LVPECL2、LVDS、CML、HCSL の出力差動信号規格に対応しています。CY29430 は追加の LVCMOS 出力があります。LVPECL2 I/O 規格は、コモン モードの出力電流がないという点を除けば LVPECL I/O 規格と似ています。CY29430 の一つずつの差動出力またはシングルエンド出力を有効にすることができます。I/O 電源は 1.8V、2.5V または 3.3V です。図 4 に示すように、ClockWizard 2.1 ソフトウェアでデバイスの電源、出力周波数および出力規格をプログラムすることができます。出力の外部終端設定 (プリント基板上) はデバイスのソフトウェア プロファイルと一致する必要があります。差動出力の標準的な外部 (基板搭載) 終端設定は図 5 に示します。CMOS 出力は、負荷容量のみを駆動する想定とされているため、外部終端は不要です。

図 4. ClockWizard 2.1 での異なる出力差動規格の終端設定

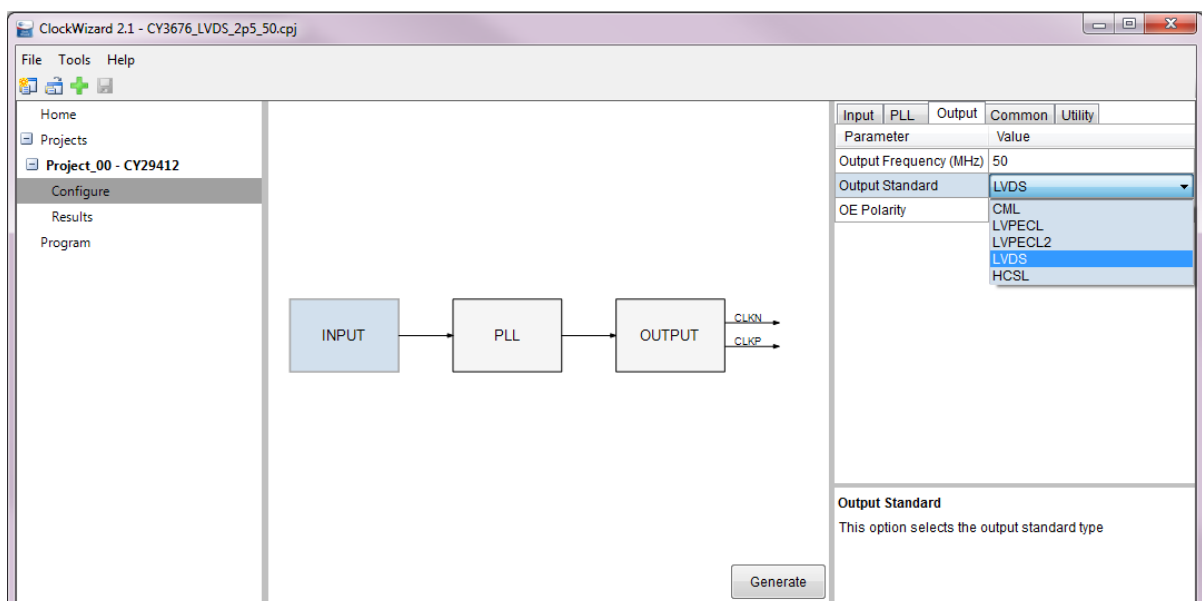
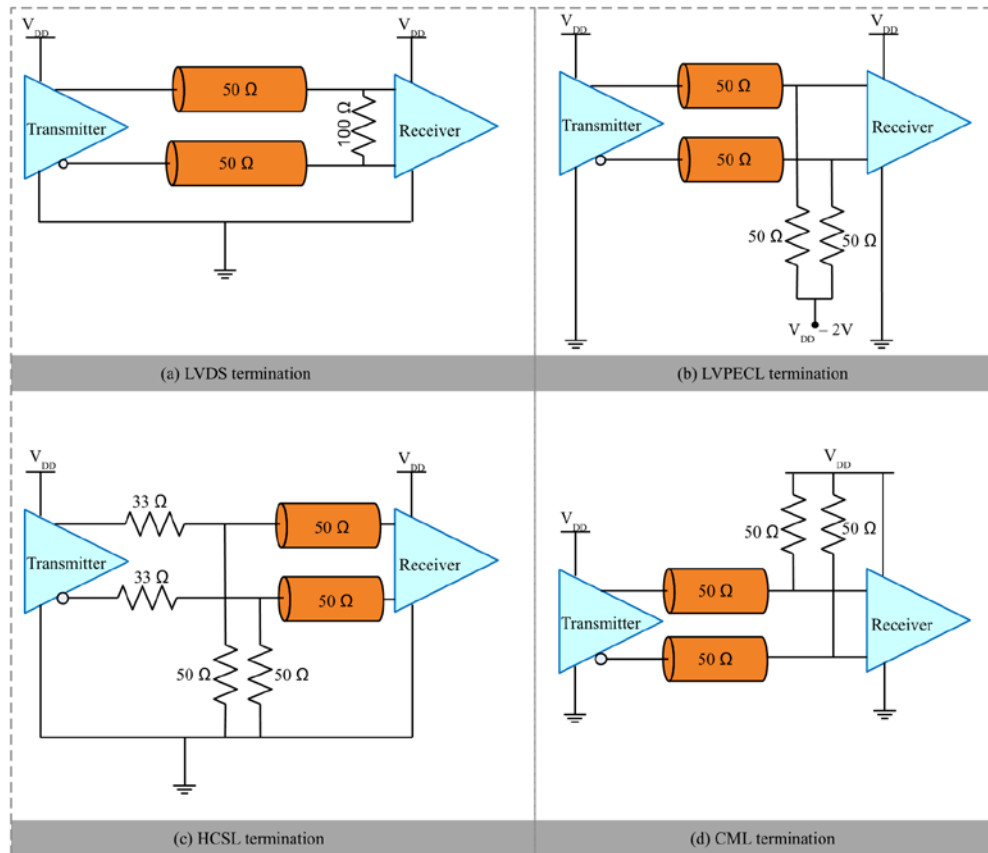


図 5. デバイスの異なる外部 I/O 規格の終端設定



2.3 他の設定可能なパラメーターおよび設計ガイドライン

CY294xx デバイスでは、入力ファレンスおよび出力設定に加え、内部回路パラメーターをプログラムすることが可能です。現場でプログラム可能なデバイスは、ClockWizard 2.1 でこれらの機能を設定することができます。表 2 は異なる制御ピンと電源ピンの設定可能なオプションを示します。これらは、ハードウェア設計でも従う必要があります。

表 2. 制御ピンと電源ピンの設定可能なパラメーター

IC ピン	機能	パラメーター値	ガイドライン
VDD	設定可能な電源電圧	1.8V / 2.5V / 3.3V	ソフトウェア コンフィギュレーションに応じて基板搭載電源を使用。これら間の不一致は、性能の問題や信頼性関連問題を発生させることがある
OE	OE の設定可能な極性	200kΩプルダウン抵抗 (OE がアクティブ LOW にプログラムされた場合)	プリント基板上では、出力を無効にするために、OE ピンを VDD に接続。出力を有効にするために、OE ピンをグラウンドに接続するか、開放のままにする
		200kΩプルアップ抵抗 (OE がアクティブ HIGH にプログラムされた場合)	出力を無効にするために、OE ピンをグラウンドに接続。出力を有効にするために、OE ピンを VDD に接続するか、開放のままにする
VIN	VCXO または非 VCXO に設定可能	PLL が整数モードの時、VCXO 機能は有効にすることができない。VCXO 機能の調整可能なプル範囲全体が $\pm 50\text{ppm} \sim \pm 275\text{ppm}$	VCXO 機能を設定する際、VIN 入力がノイズのない DC 信号に接続するように LC フィルター回路を追加。フィルター回路の例については、「 レイアウト ガイドライン 」をご覧ください

それらのピンに加え、他の設定可能な内部パラメーターは以下の通りです:

- Kv 極性の選択 (VCXO 機能が有効なデバイスの場合)。Kv が負にプログラムされた場合、Vc が増加するほど出力周波数の ppm は低減します。Kv が正にプログラムされた場合、Vc が増加するほど出力周波数の ppm は増加します。
- 1/2/4 のデフォルト周波数出力の選択 (利用可能な FS に基づく)
- プル範囲全体の選択 (VCXO 機能が有効なデバイスの場合)
- 変調帯域幅の選択 (VCXO 機能が有効なデバイスの場合)

システム設計のために、FS[1:0]、SDA および SCL ピンの機能性を把握する必要があります。それらの特長および設計ガイドラインは表 3 に示します。

表 3. 周波数選択および I2C ピンの特長

ピン	内部抵抗	ガイドライン
FS[1:0] ¹	100kΩプルダウン	外部信号に接続されない場合、デフォルトの 00 プロファイルを選択。他の周波数プロファイルに変更するために、外部から論理「1」をプログラム
SDA	該当なし	内部抵抗がない。外部プルアップ抵抗をデバイス ピンの近くに接続。プリント基板の配線を行う際、SDA ラインの長さ SCL ラインの長さが一致する必要がある
SCL	該当なし	内部抵抗がない。外部プルアップ抵抗をデバイス ピンの近くに接続。プリント基板の配線を行う際、SDA ラインの長さ SCL ラインの長さが一致する必要がある

¹この機能は CY29430 のみに備えられています。CY2941x および CY2942x は、1 つのプロファイルのみを保存でき、FS ピンを備えていません。

I²C 読み書きを正常に実行するためには、プリント基板上の SDA 配線の長さ SCL 配線の長さが一致する必要があります。

3 RMS ジッタ性能

CY294xx デバイス ファミリは水晶発振器向けの高性能で、プログラマブルな PLL ソリューションです。これらの主な目標は、複雑な SAW や Inverted-Mesa 発振器を、より安く柔軟性の高いソリューションに置き換えることです。このデバイスは 10/40/100 GbE、SyncE、IEEE 1588 などのインターフェース規格の周波数およびジッタの要件を満たすように設計されています。この主な仕様は 2.1GHz までの周波数のサポートおよび非常に小さい 150fs の RMS 位相ジッタです。図 6 および図 7 の位相ノイズ グラフはこれらのデバイスの優れたジッタ性能を示します。プロファイルは、CY294xx デバイスの一般に使用されているシステムレベルのアプリケーションに基づいて作成されます。

図 6. CY29430 の位相ノイズ グラフ (デバイスは $V_{DD} = 3.3V$ 、出力周波数 644.5313MHz、LVPECL2 規格、非 VCXO モードにプログラムされる)

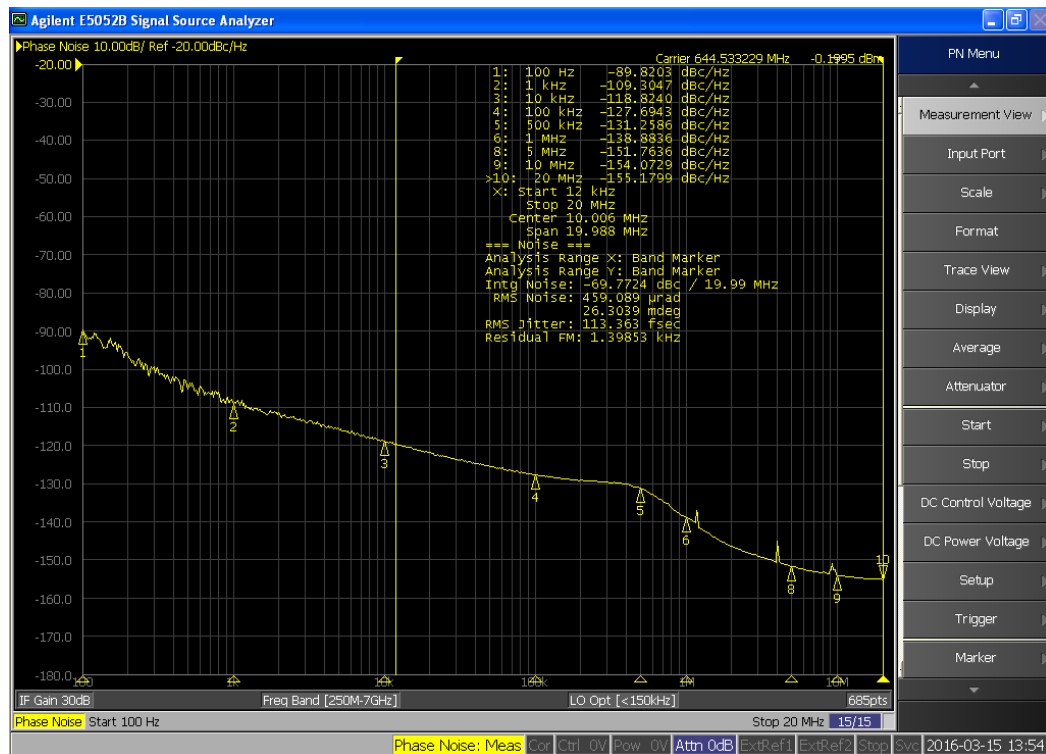
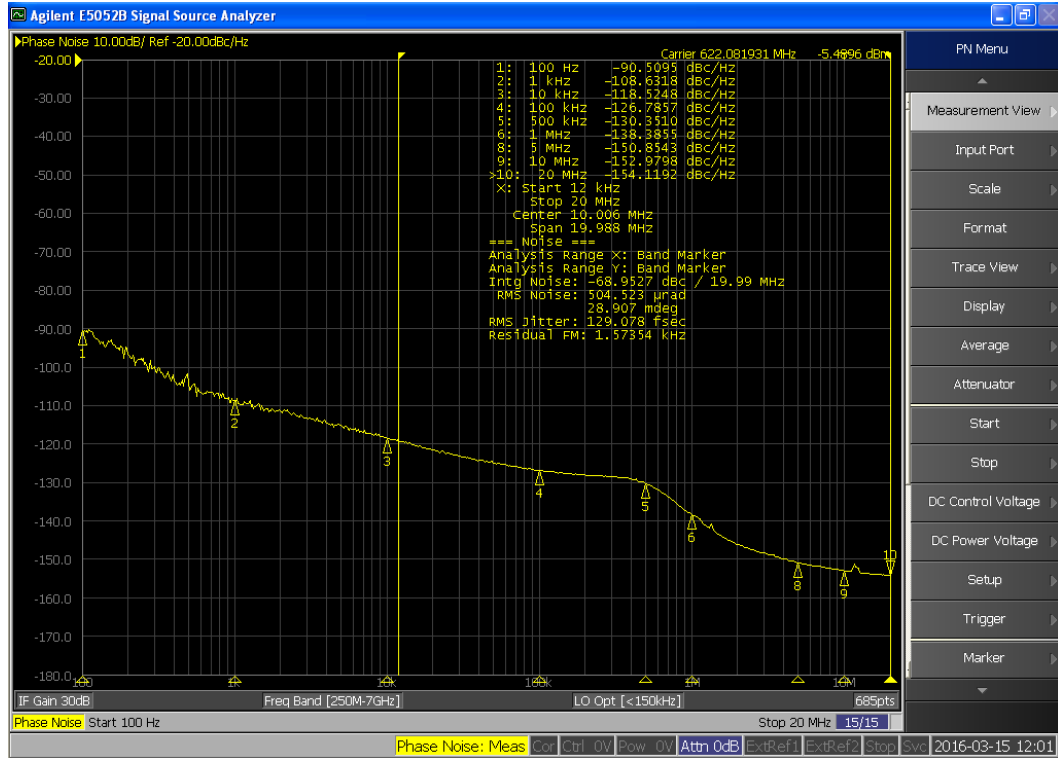


図 7. CY29430 の位相ノイズ グラフ (デバイスは $V_{DD} = 2.5V$ 、CML 規格、出力周波数 622.08MHz、非 VCXO モードにプログラムされる)

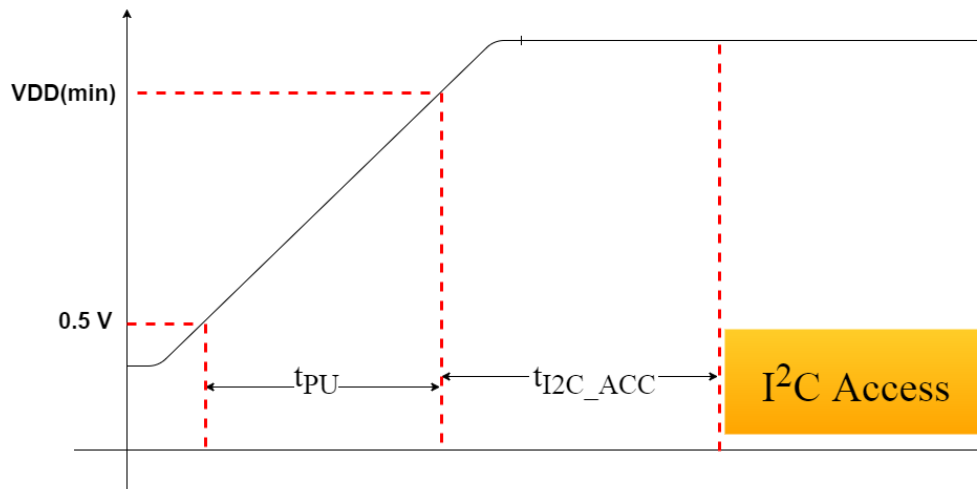


RMS ジッタは、12kHz から 20MHz までの位相ノイズ曲線の下部領域を積分することで計算されます。この図に示されている結果は CY3676 および CY3677 の EVK で得られました。

4 電源の仕様

図 8 に示すように、システム設計は CY294xx デバイスのパワー ランプ ガイドラインに従う必要があります。パワー ランプアップ 時間 (t_{PU}) は、電源電圧を 0.5V から $V_{DD(min)}$ に上げる時間として定義されます。デバイスの t_{PU} の範囲は $10\mu s \sim 3s$ です。電源電圧が最小値に達した後、少なくとも 5ms (t_{I2C_ACC}) が経過してから最初の I²C アクセスは行われます。不揮発性メモリ セクションにコンフィギュレーションをプログラムするために、デバイスの電源電圧は $2.5 V \pm 0.1V$ の範囲内でなければなりません。

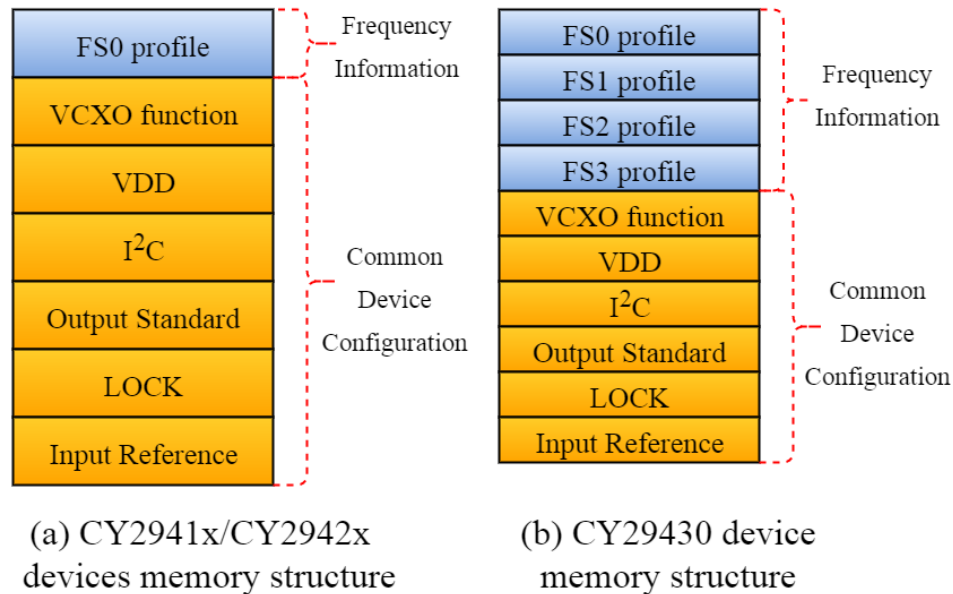
図 8. パワー ランプおよび I²C バス アクセス



5 プログラミング インターフェース

CY2941x、CY2942x および CY29430 デバイスは工場出荷時にプログラム、または現場でプログラム可能です。I²C インターフェースを介してホストとの通信をサポートしています。メモリ構造とアクセシビリティのセクションは図 9 に示します。CY294xx の不揮発性メモリはワンタイム プログラマブル (OTP) eFuse です。eFuse は、一般的なデバイス コンフィギュレーションと出力周波数関連情報に分割することができます。一般的なデバイス コンフィギュレーションは出力周波数に左右されず、チップ電源、OE 極性、I²C デバイス アドレス、入カリアレナス、出力規格および VCXO 機能から成ります。

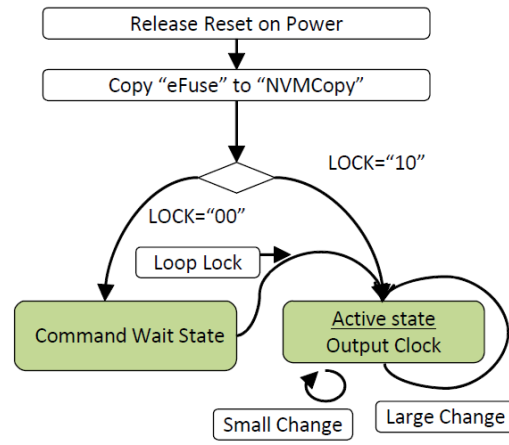
図 9. CY294xx デバイスのメモリ構造とアクセシビリティ



デバイスの動作は、内部に備えられた内部ステート マシンによって制御されます。図 10 に示すように、ステート マシンはリセットの後、「eFuse」の内容を「NVMCopy」(揮発性メモリ) にロードします。ステート マシンは LOCK の値に応じて、「Command Wait」か「Active」のいずれかの状態に入ります。「Command Wait」状態では、ユーザーはすべてのレジスタにアクセスし、「NVMCopy」の内容を読み書きすることができます。「Command Wait」状態で使用できる機能は以下の通りです:

- eFuse をプログラム
- eFuse を NVMCopy にコピー
- Loop Lock

図 10. CY294xx デバイスの動作を制御する状態図



また CY294xx デバイスは、電源投入時に eFuse の正確なコピーを格納する揮発性メモリ (図 10 に「NVMCopy」としてに示される) を備えています。図 11 で説明するように、チップの設定は揮発性メモリの内容に依存し、出力周波数はその揮発性メモリに保存されているコンフィギュレーションに依存します。揮発性メモリは、I²C バスを介してアクセスし修正することができます。

LOCK のプログラムなしに Loop Lock コマンドを発行してデバイスを Active 状態に移行させることで、デバイスの機能をテストすることができます。デバイスは設定に対応して動作します。

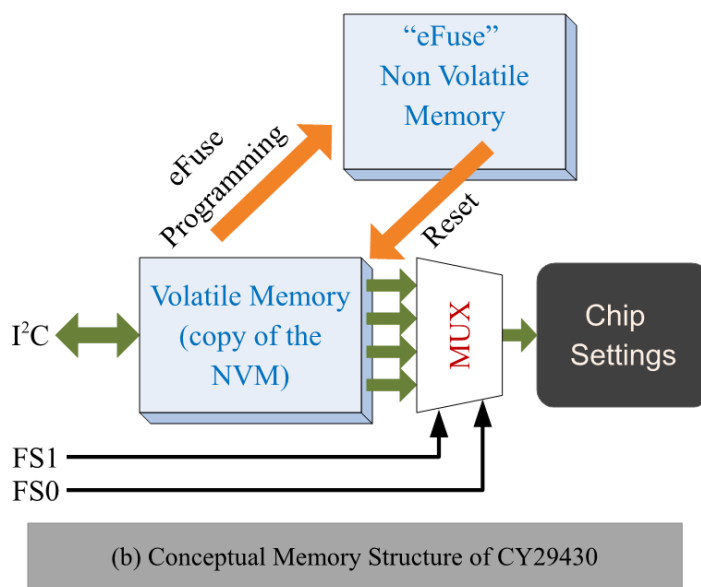
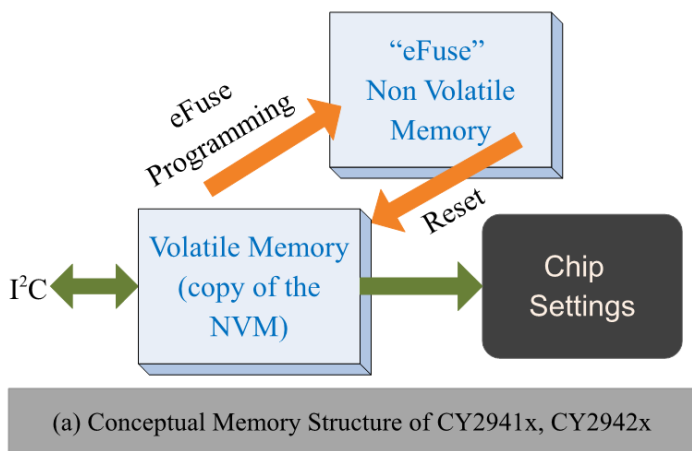
LOCK が「10」にプログラムされると、デバイスは Active 状態に入り、電源投入サイクルが完了した後に出力クロックは利用可能になります。Active 状態では、Small Change または Large Change コマンドを実行して出力周波数を変更することができます。

Command Wait 状態では、eFuse への書き込み有り、または書き込み無しでデバイスを設定することができます。このユースケースでは、出力周波数を以下の条件下で検証します:

- JEDEC ファイルを eFuse に書き込む前に必ずコンフィギュレーションを適切に検証する必要があります。
- テストのために、Loop Lock を行います (任意)。
- eFuse は LOCK 状態に移行すると、再プログラムすることはできません。しかし、出力周波数は I²C インターフェースを介して Large Change または Small Change コマンドを使用して制御できます。

表 4 に示された eFuse プログラムの電気的パラメーターをご参照ください。

図 11. 揮発性および不揮発性メモリの構造 (概念的)



eFuse の LOCK 状態では、I²C インターフェースを介して Large Change または Small Change コマンドを使用して変更できます。JEDEC ファイルを eFuse に書き込む前に必ずコンフィギュレーションを適切に検証する必要があります。eFuse プログラムの電氣的パラメーターは表 4 に示します。

表 4. eFuse プログラムの AC および DC 仕様のまとめ

パラメーター	説明	Min	Max	単位
V _{DD}	eFuse プログラムのデバイス電源	2.4	2.6	V
t _{PU}	0~指定の最小 V _{DD} の電源供給時間	0.01	3000	ms
f _{I2C}	I ² C バス クロック周波数	–	400	kHz
t _{I2C_ACC}	電源投入後の最初 I ² C アクセスまでの時間	5		ms
T _{PROG}	eFuse プログラム温度	25	125	°C

6 デバイス I²C インターフェース

CY294xx の I²C インターフェースは単純にハードウェアで実装されます。I²C プロトコルを介して 8 ビットのデータを受け取り、アドレスが選択された場合、内部レジスタマップに書き込みます。CY294xx デバイスは高速モード (400kbp) での 2 線式シリアルインターフェースおよび 7 ビット アドレッシングを提供します。シングル バイト アクセスのみサポートします。デバイス I²C アドレスはプログラム可能です。デバイス プログラミング用のレジスタ マップについては、表 5 をご参照ください。

eFuse がロックされた後、通信 (Large Change/Small Change など) のためにプログラムされたデバイス アドレスを使用してください。I²C イネーブル ビットをオフに設定すると、I²C 機能は無効になりますが、デバイスは 0x55 I²C トランザクションにアクティブのままです。デバイスはデフォルト、かつ工場出荷時にプログラム済みの I²C アドレス 55h を搭載されます。複数の I²C デバイスが同じバスに接続し、0x55 デバイスへのアクセスが発生する時、スレーブ アドレスを維持する必要があります。

表 5. CY294xx ファミリ デバイスのメモリ マップ

パラメーター	メモリ アドレス				
	CY29411、CY29412、 CY29421、CY29422	CY29430			
		FS	FS0	FS1	FS2
デバイス コンフィギュレーション	50h–57h	50h–57h			
デバイス ID (= 51h) – 読み出し専用	00h	00h			
ユーザー設定可能な情報	D4h–D6h	D4h–D6h			
DIVO	10h	10h	20h	30h	40h
DIVO、DIVN_INT	11h	11h	21h	31h	41h
ICP、DIVN_INT、PLL_MODE	12h	12h	22h	32h	42h
DIVN_FRAC_L	13h	13h	23h	33h	43h
DIVN_FRAC_M	14h	14h	24h	34h	44h
DIVN_FRAC_H	15h	15h	25h	35h	45h

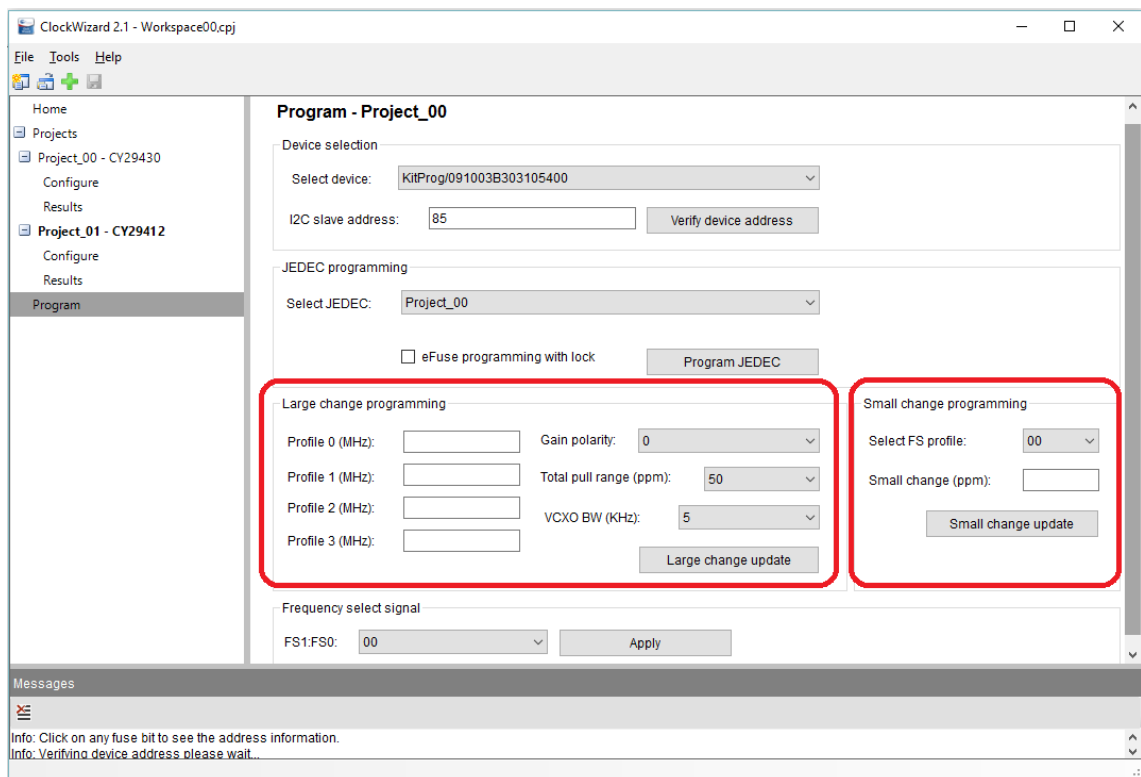
7 大きな変化トリガーおよび小さな変化トリガー

デバイスがアクティブの時、ユーザーは「Small Change」または「Large Change」コマンドを行って出力周波数を変更できます。大きな変化トリガーでは、PLL が完全に停止し、再起動した後に新たな周波数を生成します。div-N パラメーターの端数部分の変化は小さな変化トリガーと呼ばれます。

- 小さな変化は、周波数の変化が ± 500 ppm 範囲内である場合に適用可能です。周波数の情報が I²C を介してロードされ、出力周波数は、元の周波数から新しい周波数にグリッチ無しで変化します。注: 小さな変化トリガーの機能は、PLL が整数モードに設定される場合、無効となります。
- 大きな変化は周波数の変化が ± 500 ppm 範囲外であり、その変化が I²C または FS の状態変化によって発生する場合に適用可能です。デバイスの PLL を再校正かつ再設定しますが、このプロセスが完了するまで出力が不安定になります。

大きな変化トリガー機能および小さな変化トリガー機能は、[ClockWizard 2.1](#) で CY3676 または CY3677 EVK ハードウェアプラットフォームを使用して検証することができます。設定の選択肢は [図 12](#) に示します。

図 12. 大きな変化トリガーおよび小さな変化トリガーの設定の選択肢



8 JEDEC ファイル

```

# < Checksum: 20B8D58B      << CYPRESS CHECKSUM
# s 29430                    << Device Information
# f --- INPUT SECTION XIN ---
# f 114.285000 ;XIN (MHz)
# f OT3 ;XO mode
# f Disable ;XO doubler
# f Enable ;VCXO enable/Disable
# f 50 ;VCXO pull range
# f 10k ;VCXO BW
# f Positive ;VCXO polarity
# f --- DEVICE CONFIGURATION ---
# f 2.5V ;VDD Range
# f PECL ;OUTPUT standard
# f actH ;OE polarity
# f Enable ;I2C BUS
# f 55 ;I2C device address (HEX)
# f --- OUTPUT FREQUENCY ---
# f 156.250000 ;FS0
# f 155.520000 ;FS1
# f 688.812300 ;FS2
# f 322.562562 ;FS3
*
QP0016* QF2048* G0*
L00128                      << FS0 configuration
001011000011110000001010101000110001100000101000*
L00256                      << FS1 configuration
001011000011110000001010101000010010010111100000*
L00384                      << FS2 configuration
000010110100001000000110111011110111000001001100*
L00512                      << FS3 configuration
00010110001111100000100001111110111101100010111*
L00640                      << Common configuration
000001001010101000000111011011000011010101100101011100010101010000*
L01696                      << User option configuration
0000000000000000100000010*
COD3E*                      << FUSE sum = 0D3E
0000
  
```

CY294xx デバイスの JEDEC ファイルは、PLL コンフィギュレーション、出力規格、入力ファレンス、VCXO、OE 極性および他のユーザ設定可能なオプション等、全体のユーザ作成プロファイル情報を含んでいます。一般的な JEDEC ファイルの例は以下の通りです:

二重下線のフィールドはそれぞれ LOCK (2 ビット)、R_CAL (4 ビット) および RC_CAL (4 ビット) です。R_CAL および RC_CAL フィールドは工場出荷時にプログラムされた値です。メモリ アドレスとその内容は JEDEC ファイルから以下の通りに計算することができます (表 6 もご参照ください):

- メモリ アドレス = xxxx/8 (xxxx = JEDEC での L0xxxx の 4 桁の番号)。メモリ アドレス (L00128、すなわち 0x10) で保存された 2 進数データは 00101100-00111100-00001010-10100011-00011000-00101000*。
- メモリ位置 0x10 でのデータは 0x2C (00101100) であり、必要な DIVO パラメーターを設定。
- メモリ位置 0x11 でのデータは 0x3C (00111100) であり、必要な DIVO、DIVN_INT パラメーターを設定。

- メモリ位置 0x12 でのデータは 0x0A (00001010) であり、必要な ICP、DIVN_INT、PLL_MODE パラメーターを設定。
- メモリ位置 0x13 でのデータは 0xA3 (10100011) であり、必要な DIVN_FRAC_L パラメーターを設定。
- メモリ位置 0x14 でのデータは 0x18 (00011000) であり、必要な DIVN_FRAC_M パラメーターを設定。
- メモリ位置 0x15 でのデータは 0x28 (00101000) であり、必要な DIVN_FRAC_H パラメーターを設定。

9 レイアウトガイドライン

CY294xx デバイスは非常に高い周波数の (LVDS、LVPECL、LVPECL2 および CML 標準には最大 2.1GHz) 出力をサポートし、114.285MHz OT3 水晶振動子または 122.88MHz HFF 水晶振動子を入力として必要とするため、レイアウトは以下のデザイン ガイドラインに従う必要があります。

- 入力水晶振動子は IC 入力ピンのごく近くに配置する必要があります。図 13 はプリント基板上の、水晶振動子から CY29430 入力への一般的な配線方式を示します。
- 出カトレースの配線はグランド シールド (インピーダンス整合および最小のクロストーク) を必要とします。トレース幅、トレースからグランドまでの間隔およびプリント基板スタックは、インピーダンスが基板のどこでも 50Ωであるように設計します。プリント基板の給電線が 50Ω個別ラインまたは 100Ω差動ラインを含むように設計する必要があります。CY3676 および CY3677 EVK での Fab Notes に記載された設計ガイドラインに従うことは推奨されます。
- CY29430 の VIN ピンはプリント基板の上に RLC フィルターを必要とします。VCXO 入力でのフィルターはノイズ カップリングを低減するため、RMS 位相ジッタも低減します。VCXO フィルターをデバイス VIN ピンのごく近くに配置する必要があります。図 14 はプリント基板上の推奨された一般的な VCXO 入力フィルター設計を示します。

回路図およびレイアウト ガイドラインは図 13 および図 14 に示します。上記の回路図およびレイアウトのガイドライン、および CY3676 と CY3677 EVK での水晶振動子と出力給電線の設計ガイドライン従うことは推奨されます。

図 13. 水晶回路の回路図およびレイアウトの例

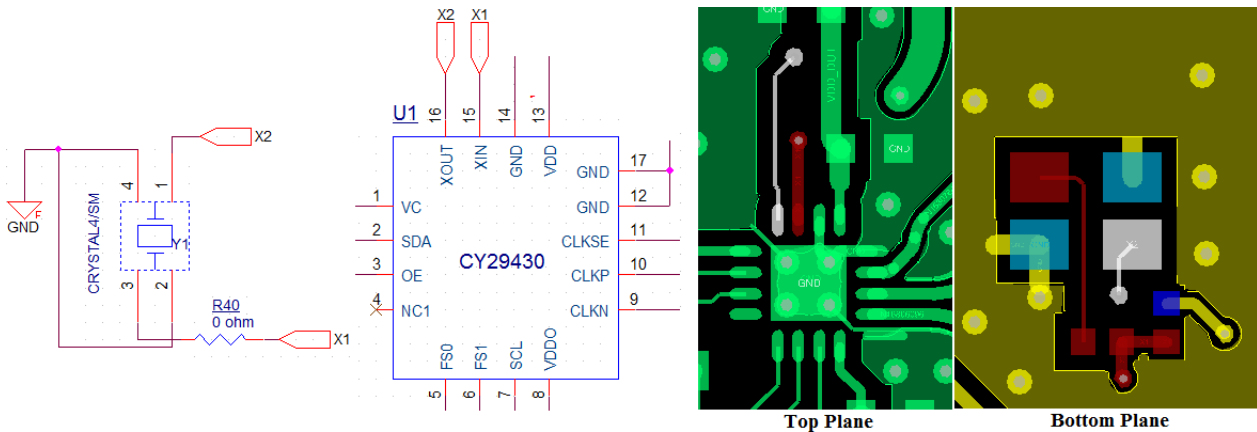
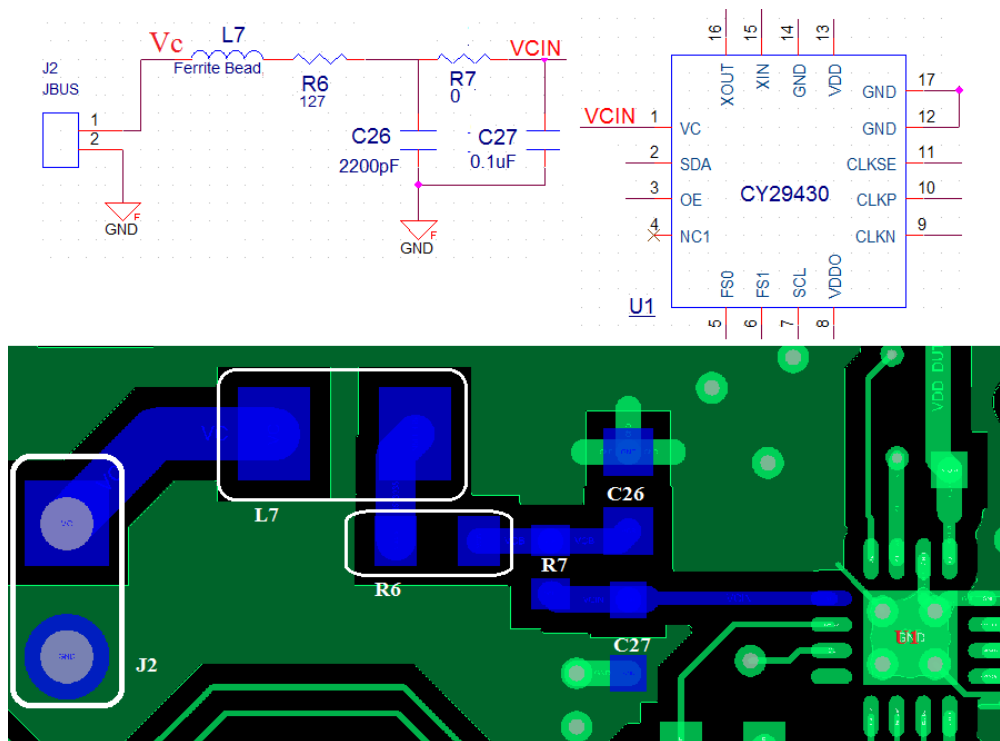


図 14. VCXO 入力のフィルター回路



10 まとめ

本アプリケーション ノートは CY294xx デバイスの機能を詳しく説明し、クロック機能を評価するために関連するハードウェアとソフトウェア プラットフォームを紹介します。

改訂履歴

文書名: AN210253- CY294xx 高性能クロック: 入門およびベスト設計プラクティス

文書番号: 002-13852

版	ECN	変更者	発行日	変更内容
**	5334315	HZEN	2016年07月01日	これは英語版 002-10253 Rev. ** を翻訳した日本語版 002-13852 Rev. **です。

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

ARM® Cortex®マイクロコントローラー	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
照明 & 電源制御	cypress.com/powerpsoc
メモリ	cypress.com/memory
PSoC	cypress.com/psoc
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス/RF	cypress.com/wireless

PSoC®ソリューション

cypress.com/psoc

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/support

PSoC はサイプレス セミコンダクタ社の登録商標です。本書で言及するその他すべての商標または登録商標は、それぞれの所有者に帰属します。



Cypress Semiconductor Phone : 408-943-2600
198 Champion Court Fax : 408-943-4730
San Jose, CA 95134-1709 Website : www.cypress.com

© Cypress Semiconductor Corporation, 2016. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下、「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア (以下、「本ソフトウェア」という) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、また、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾していない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、あなたが Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意をしていない場合、Cypress は、あなたに対して、(1)本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) エンドユーザーに対して、バイナリーコード形式で本ソフトウェアを外部に配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のあるいかなる製品又は回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計し、プログラムし、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分として用いるため、又はシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせることになるその他の使用 (以下、「本目的外使用」という。) のためには、設計、意図又は承認されていない。重要な構成部分とは、装置又はシステムのその構成部分の不具合が、その装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できる、機器又はシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ、あなたは Cypress をそれら一切から免除するものとし、本書により免除する。あなたは、Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から Cypress を免責補償する。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。