

HyperFlash™ および HyperRAM™ のレイアウト ガイド

著者: Arthur Claus, Umesh Painaik

関連製品ファミリ: S26KL-S, S26KS-S, S27KL-S, S27KS-S

AN211622 は、サイプレス HyperFlash または HyperRAM デバイスを PCB に配置する際のレイアウト注意事項について説明します。

1 はじめに

本書は、サイプレス HyperBus™ NOR フラッシュ (S27KL/S27KS) および DRAM メモリ (S26KL/S26KS) 製品を使用して設計される PCB の一般的な設計推奨事項を提供します。これらのガイドラインは、シグナル インテグリティと電源供給のガイドラインを含んでいます。

一般に、最高の性能を達成するために、PCB 設計はインピーダンス制御の信号配線を提供し、低インピーダンスの電源供給システムに対応し、EMI を制御する必要があります。

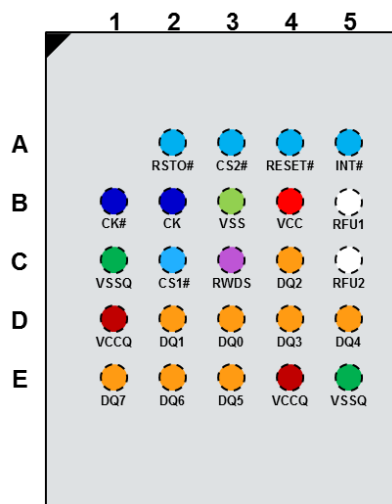
本書では、シグナル インテグリティおよび電源供給のシミュレーションの実行が必要なくなるわけではありません。本書を、サイプレス HyperBus メモリを使う PCB 設計用の初期参考書としてご使用ください。信号タイミング/クロストークのシミュレーションにサイプレス提供の IBIS モデル (ならびにコントローラ ベンダーからの IBIS モデル) を利用してください。また、常にプロトタイプと検証ビルド ユニットでの実際の信号特性を実証的に確認する必要があります。

ユーザー設計がこれらの推奨事項を満たさない場合、この例外が HyperBus の性能に影響を与えるかどうかを判定するために詳細なシミュレーションを実行する必要があります。

2 信号の説明

以下の表および図は、HyperBus メモリ デバイスで使用される様々なピン (およびそれらの機能) を説明します。

図 1. HyperBus FAB024 および VAA024 のボール配置 (上面図、ボールは裏面)



注: 表 3 では、RFU1 および RFU2 は、RFU としてグループ化されます。

表 1. 必須 I/O のまとめ

記号	種類	説明
CS#	マスター出力、スレーブ入力	チップ セレクト。HyperFlash バストランザクションは HIGH から LOW への遷移で開始する。HyperFlash バストランザクションは LOW から HIGH への遷移で終了される。
CK、CK#	マスター出力、スレーブ入力	差動クロック。コマンド/アドレス/データ情報は、CK と CK# 信号の交差に対する入力または出力。CK# は、1.8V デバイスでのみ使用し、3V デバイスでは開放にするまたは CK に接続できる。
DQ[7..0]	入力/出力	データ入力/出力。コマンド/アドレス/データ情報は読み出しと書き込みトランザクション中にこれらの DQ 信号上に転送される。
RWDS	入力/出力	読み出し/書き込みデータ ストロープ。読み出しトランザクション中の出力データは RWDS とエッジ揃えになる。

表 2. オプション I/O のまとめ

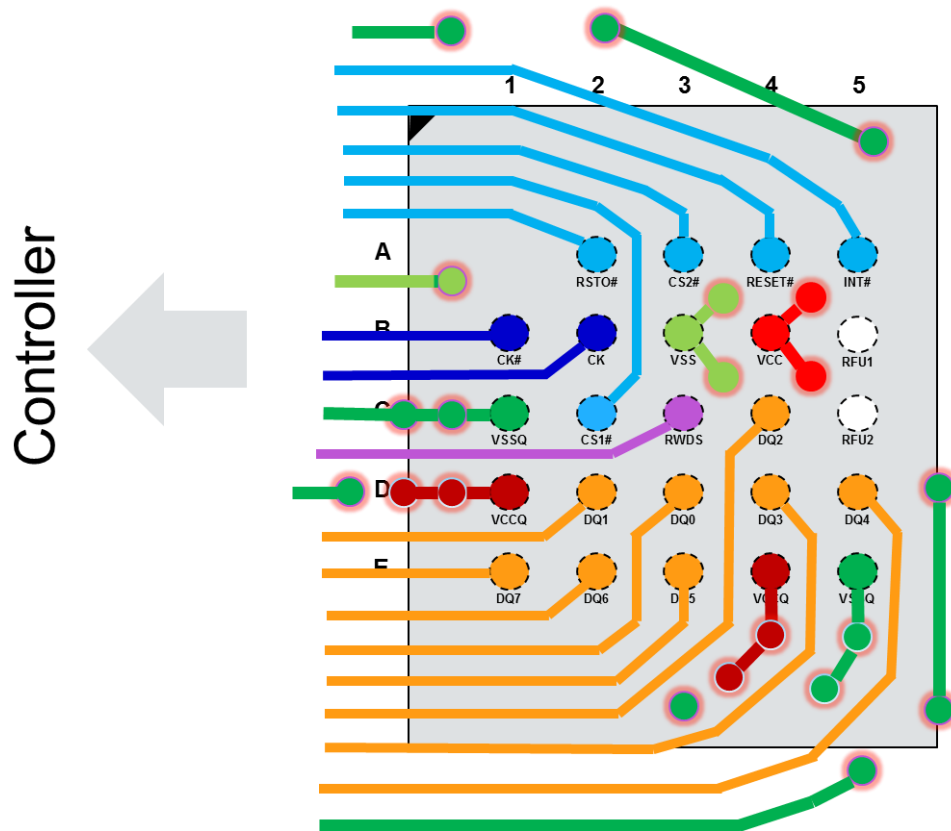
記号	種類	説明
RESET#	マスター出力、スレーブ入力、内部プルアップ	ハードウェアリセット。LOW の時、デバイスは自己初期化し、アレイ読み出し状態に戻る。RESET# が LOW の時、RWDS と DQ[7:0] は HI-Z 状態になる。RESET# は弱いプルアップを含み、未接続の場合は HIGH 状態にプルアップされる。
RSTO#	マスター入力、スレーブ出力、オープンドレイン	RSTO# 出力。RSTO# はデバイス内で POR が発生していることを示すために使用されるオープンドレイン出力であり、システム レベルのリセット信号として使用できる。内部 POR の完了後、ユーザーにより定義されたタイムアウト期間が経過した後、RSTO# 信号は LOW から HI-Z に遷移する。HI-Z 状態に遷移した後、外部プルアップ抵抗により RSTO# は HIGH レベルに引っ張られて、デバイスは瞬時にアイドル状態になる。
INT#	マスター入力、スレーブ出力、オープンドレイン	INT 出力。LOW の時、デバイスは内部イベントが発生したことを示している。この信号はデバイスに対するシステム レベルの割り込みとしての使用が意図され、オンチップ イベントが発生したことを示す。INT# はオープンドレイン出力。

表 3. 他のコネクタのまとめ

記号	種類	説明
VCC	電源供給	コア電源
VCCQ	電源供給	入力/出力の電源
VSS	電源供給	コア グランド
VSSQ	電源供給	入力/出力グランド
NC	未接続	内部的に接続されていない。このピン/ボールは、PCB でルーティング チャンネルの一部として使用される場合がある。
RFU	予約済み	将来使用するために予約済み。内部で接続される場合と接続されない場合があり、将来的な互換性維持のため、このピン/ボールは未接続のままとし、PCB のルーティング チャンネルの一部で使用しない。このピン/ボールは将来的に何かしらの信号で使用される場合がある。
DNU	未接続	使用しない。サイプレス使用のために予約済み。このピン/ボールは内部的に接続されている。このピン/ボールは PCB で開放のままにする必要がある。

3 パッケージ ブレイクアウトの推奨事項

図 2. FAB024 および VAA024 の PCB ブレイクアウト



注: CS1#と CS2#ブレイクアウトの両方は上図に示されても、特定のコンフィギュレーションに必要とされるチップ セレクトのみブレイクアウトします (関連するデータシートを参照してください)。

- 図 2 に示すように、最上層におけるすべての信号をコントローラーにリダイレクトする前にブレイクアウトすることが可能です。これはブレイクアウト用の選択肢のひとつにすぎません。複数の層にブレイクアウトが可能な場合、この節および一般的な信号配線ガイドラインの節に記載されている配線と電力供給のガイドラインに沿っていれば、異なるブレイクアウト方法を使用できます。
- **VSSQ** および **VSS** は各はんだボールの隣に少なくとも 2 つのビアで VSS 面の層に接続してください。ランド パッドからビアまでのトレースはできるだけ厚くしてください。
- **VCC** および **VCCQ** は各はんだボールの隣に少なくとも 2 つのビアで VCC 面の層に接続してください。ランド パッドからビアまでのトレースはできるだけ厚くしてください。
- 図 2 に示すように、HyperBus メモリとコントローラー間の最小のデータ チャネル長を可能にするために、コントローラーの方向に最初のブレイクアウト **DQ (0-7)** および **RWDS** が優先されます。
- **CK** と **CK#**を一对でブレイクアウトすることが必要です。すなわち、ブレイクアウト領域全体でこれらの信号間のトレースの幅と間隔をできる限り同様にします。それらの信号がブレイクアウト領域から出た後も同様です。さらに、可能であれば、VSS 保護トレースでクロックをシールドします。
- すべての信号を最上層にブレイクアウトしながら、その下にソリッド VSS を維持する必要があります。これにより、インピーダンス制御を改善し、ブレイクアウト トレースとブレイクアウト領域外のトレース間のインピーダンス不整合をより小さくできます。

- 上記の VSS 保護配線は他のインターフェースの信号に対して追加のリファレンスとして見なされますが、より平坦になり、VSS 層と上手くステッチする必要があります (配線として示すのは図示するための理由です)。
- PCB ブレイクアウト領域内に以下の SMT の推奨事項を実施します。
 - ボール ツー ボール ピッチ: 1.00mm
 - ボール パッドのサイズ: 0.35mm
 - SR オープンのサイズ: 0.5mm
- トレースの最小の幅と間隔: 4 ミリインチ以上 (少なくとも 4 ミリインチのトレース幅および 4 ミリインチのトレース間隔)。配線がブレイクアウト領域を出たら、この節に記述されている一般的な配線ガイドラインに従うことを推奨します。
- スルー ホール ビアがブレイクアウトトレースを内層に移動するために使用されると、ビアカップリングの潜在的な影響 (1 つの信号ビアから他の信号ビアまで) はブレイクアウト領域で考慮する必要があります。DQ0-DQ7 と RWDS 信号配線にビアを使用することは推奨しません。ビアを使用する必要がある場合、ビア カウントを最小限にし、すべての DQ0-7 と RWDS 上で同じビア数を使用します。スルー ホール ビアの代わりにマイクロビアまたは埋め込みビアを使用することをお勧めします。

4 一般的な信号配線ガイドライン

次のガイドラインは、最適なシグナルインテグリティおよびタイミング マージンを達成するために推奨インピーダンス、トレースの幅/間隔、全長の制限、および長さマッチングの要件を定義します。

- 信号トレースの幅と間隔の正確な値は、トレース インピーダンス要件に基づいて決定されます。
- すべての信号配線層のためのリファレンスとしてソリッド VSS を推奨します。リファレンス面間の空間または隙間はリターン電流の不連続を最小化するために回避する必要があります。
- 必要に応じて、アナログ信号のグラウンド リターン経路をデジタル ノイズから分離します。
- サイプレスは VSS 面がすべての信号の主要なリファレンスまたはリターン経路として使用されることを推奨します。電源層をリファレンス面として使用するときはいつでも、電源層が低ノイズであり、リターン経路の連続性を保証するためにリファレンス面の遷移点で適切なステッチが (特に高周波数で) あることを確認することが重要です。連続したベタグラウンドリファレンスがある場合のみ、電源層は第 2 の信号リファレンス オプションと見なされます。
- 推奨されるすべての信号配線の長さは、HyperBus パッケージの長さの補正を考慮してパッケージ ピン(ソース)からパッケージピン (デスティネーション) までの距離として定義されます。
- 推奨の信号配線の電気特性は、絶縁物が FR4 であるという前提に基づいています。
- 1 インチが 166ps (FR4 素材の場合)であることを前提としています。この前提の精度を確認するためにご自身のシグナルインテグリティ ツールを使用する必要があります。
- 実際にどのガイドラインがご自身のアプリケーションに適するかを決定するために、サイプレス提供の IBIS モデルを使用してシグナルインテグリティのシミュレーションを実行することを検討してください。これらのガイドラインは初期の参照として使用します。
- 通常、信号遅延はソースの T_{vm} (通常 $VCCQ/2$ であるタイミング リファレンス電圧) とデスティネーションの T_{vm} の間で測定されます。しかし、タイミングがどのエッジで測定されるかを決定するために、データシートの信号極性に注意してください。

4.1 マイクロストリップ、ストリップライン、コプレーナの信号配線

表 4. マイクロストリップ、ストリップラインとコプレーナの信号配線の比較

マイクロストリップ線路	ストリップ線路	コプレーナ線路
分散に影響を受け、非 TEM (横電磁界) モード	TEM モード対応	分散型に影響を受け、非 TEM モード
製造しやすい	製造しにくい	かなり製造しにくい
高密度のトレース	中密度のトレース	低密度のトレース
カップル ラインの構造にかなり適切	カップル ラインの構造に適切	カップル ラインの構造に不適切
グランドに接続するためにスルー ホールが必要	グランドに接続するためにスルー ホールが必要	グランドに接続するためのスルー ホールが不要

- 50 オームの連続的なトレース インピーダンスが配線経路の全体で ($\pm 10\%$) 使用される限り、マイクロストリップまたはストリップラインの信号配線を使用できます。層の厚さや比誘電率などの製造公差はインピーダンスの計算でモデル化する必要があります。
- 一般的には、スルー ホール ビアを基板上で使用すると、追加の容量負荷および高周波数で発生する可能性がある誘導性スタブによってインピーダンスの不連続性を引き起こします。ビアはトレースに付けられると、そのトレースの遅延を変えます。そのため、マイクロビアまたは埋め込みビアを使用し、ビア数を最小限に抑える必要があります。
- 緊密なスキュー関係を維持するためには、DQ0~DQ7 および RWDS は同じビアの数および移行する同じ層の数を持つ必要があります。これは同じ有効な遅延がデータ信号と付随ストロブの両方に適用されることを確保します。
- DQ0-DQ7 および RWDS の配線を同じ信号層で行うことをお勧めします。
- 50 オームのシングルエンド インピーダンスと 100 オームの差動インピーダンス (定格値) を維持しながら、CK と CK# の配線を同一平面上で行う必要があります。

4.2 信号配線長の制約

4.2.1 最大全長

リファレンス面に関する DQ 信号の絶対最大全長 (および RWDS の絶対最大全長) は、信号品質に直接影響を与える総負荷容量によって定義されます。

- 総負荷容量は 20pF が推奨されます。
- 総負荷容量は以下のものを含んでいます。
 - 総ライン長の容量 (FR4 の場合 $\sim 3.3\text{pF}/\text{inch}$)、
 - コントローラー パッケージの最大パッケージ ピン容量
 - ビアなどに関連するすべての寄生容量

4.2.2 長さマッチング

- 長さマッチングは、HyperBus メモリ パッケージ ピンからコントローラーの信号ピンまでのトレースの長さを指し、ビアの有効な電気的長さを含む必要があります。

信号グループ	長さマッチングの許容誤差 (166MHz)	長さマッチングの許容誤差 (100MHz)
CK~CK#	± 10 ミリインチ	± 20 ミリインチ
RWDS~DQ0-7	± 25 ミリインチ	± 50 ミリインチ
DQx (0-7)~DQy (0-7)	± 50 ミリインチ	± 100 ミリインチ
CK/CK#~DQ0-7	± 500 ミリインチ	
CK/CK#~CS#	± 1500 ミリインチ	
CK/CK#~RWDS	± 1500 ミリインチ	
RESET#~RSTO#~CS#	± 2000 ミリインチ	

4.2.3 他の信号からの信号間隔制約

- CK および CK#: > 2H
- RWDS > 2H
- DQ0~DQ7 > 1.5H
- CS#, CS2#: > 1.5H
- INT#, RESET, RST_N: > 1.5H
 - ここで、H は信号と VSS (リファレンス層) 間の誘電体の高さ

4.2.4 終端

CK, CS#, RWDS, DQ 用のコントローラー I/O の駆動強度 / インピーダンス, および伝送線路の配線を確認して、直列終端がこれらのライン上に必要であるかを決定します。

5 電源供給のガイドライン

以下の電源供給のガイドラインは、システムで電源の問題がないことを保証するのに役立ちます。

- VSS/VSSQ ポールをその固有のビア (可能な限り 2 つ以上のビア) でベタ グランド面に接続する必要があります。これにより、IR ドロップを改善できます。
- VCC/VCCQ ポールをその固有のビア (可能な限り 2 つ以上のビア) で単一の電源面に接続する必要があります。これにより、IR ドロップを改善できます。
- HyperBus の VCC/VCC を他のノイズの多い電源から分離します。HyperBus および非 HyperBus バスの電源を同じ平板層に共に配置する必要がある場合、40 ミリインチ以上のギャップを維持してください。また、可能であれば、更なる分離のために平板層の間にシールド VSS 保護トレースを差し込みます。
- 推奨として、電源トレースは長さが 400 ミリインチ以下であり、トレース幅が 20 ミリインチ以上です。これは、HyperBus メモリ、MCU および電圧レギュレータの配線に適用されます。
- 電圧レギュレータから HyperBus 電源ピンまで、および電圧レギュレータからコントローラー HyperBus I/F の電源ピンまでは、低インピーダンス配線 (トレース > 20 ミリインチ) を維持します。
VCC/VSS テスト ポイントを HyperBus メモリ パッケージの近くに、および電圧レギュレータの隣に差し込むことを推奨します。これにより、VRM と HyperBus メモリ パッケージの両方で VCC-VSS 波形を測定できます。

マイクロコントローラーおよび VRM ベンダーによって提供されるデカップリング ガイドラインに従ってください。

5.1.1 デカップリング コンデンサの推奨事項

- できるだけ HyperBus メモリ パッケージの近くに以下の PCB デカップリング コンデンサを配置します。
 - 少なくとも 2 つの 1 μ F 0402 セラミック コンデンサ
 - 少なくとも 4 つの 0.1 μ F 0402 のセラミック コンデンサ
 - 1 μ F のコンデンサを D1(VCCQ)の近くに 1 つ、E4 の近くにもう 1 つを配置。同様に、D1 の近くに 2 つの 0.1 μ F コンデンサと E4 の近くにもう 2 つのコンデンサを配置。
 - VCC と VCCCQ が短絡している場合は、短絡ができるだけ低インピーダンスであることを確認してください。短絡が低インピーダンスでない場合は、0.1 μ F と 1 μ F のコンデンサを VCC ピンの近くに追加することを推奨します。
- 選択したコンデンサは低 ESL と ESR を持つ必要があります。
- 誘導性 / 抵抗性の影響を避けるために、コンデンサからの VCC と VSS トレース経路指定をできるだけ広げます。
- 定格電圧 6.3V 以上の X7R または X5R コンデンサを推奨します。
- コンデンサが DQ ルーティングおよび VCCQ/VSSQ ピンと電氣的に近くなる限り、コンデンサを最上層または最下層に配置できます (例えば、非常に厚い基板の場合、コンデンサを最下層に配置しないでください)。

6 テスト ポイントおよびオシロスコープの測定

信号品質、タイミング、および電源供給の特性化を業界標準の高速デジタル信号の評価技術に基づいて行ってください。それらの一部は以下のとおりです。

- テスト ポイントを、DQ0-7/RWDS に対してコントローラーの近くに、すべての信号に対して HyperBus メモリ パッケージの近くに配置します。
- コントローラーの駆動中は、測定のために最適な信号はできる限り HyperBus メモリの近くで測定し、HyperBus メモリの駆動中はその逆です。
- テスト パッドの作成時に、そのパッドによるスタブ (余分なインダクタンスと静電容量) を最小限にする必要があります。しかし、ブレイクアウト ビアでプローブすることはテスト パッド スタブを作成することよりも優れています。また、スルー ホール ビアのある 4 層の PCB の場合、可能な限り信号を PCB の最下層のビアでプローブします。
- 測定時、6GHz 以上の帯域幅および高インピーダンス プローブを使用します。これにより、波形の遷移 (例えば波形の立ち上がりエッジと立ち下がりエッジ) が正確に見られます。
- VCC-VSS を常にコントローラー、電圧レギュレータ、コネクタの近く (両側)、および HyperBus メモリで測定します。電源にノイズがないことを保証するために、信号測定の前にこれらを実施する必要があります。ノイズが多い電源は信号タイミングに影響を与えます。また、これらの測定はレギュレータからコントローラー/HyperBus メモリまでの IR ドロップを発生させます。
- 信号測定の時、クロックや RWDS などの最も一般的なスイッチング信号にトリガーをセットすることを推奨します。

改訂履歴

文書名: AN211622 - HyperFlash™および HyperRAM™のレイアウト ガイド

文書番号: 002-12552

版	ECN	変更者	発行日	変更内容
**	5282275	HZEN	05/25/2016	これは英語版 002-11622 Rev. **を翻訳した日本語版 002-12552 Rev. **です。
*A	6508776	YSAT	03/15/2019	これは英語版 002-11622 Rev. *Bを翻訳した日本語版 002-12552 Rev. *Aです。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT(モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmuc
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC®ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#)
| [Components](#)

テクニカル サポート

cypress.com/support



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2016-2019. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関して、明示又は黙示とわず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSOC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。