



请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

将 SPI nvSRAM 替换为 SPI F-RAM™

作者：Shivendra Singh

相关器件系列：SPI nvSRAM、SPI F-RAM

相关代码示例：无

相关应用笔记：AN304、AN89659

AN202493 提供了用于将 SPI nvSRAM 替换为 SPI F-RAM™ 的指导信息。本文档推荐了等效的 SPI F-RAM 器件，介绍了封装和特性方面的差异，并且描述了成功移植所需的硬件和固件修改内容。

目录

1	简介	1	4	固件兼容性	14
2	SPI nvSRAM 和 SPI F-RAM 的兼容性	3	4.1	睡眠模式 (SLEEP) 命令	14
2.1	引脚兼容性	3	4.2	读取器件 ID (RDID) 命令	15
2.2	封装兼容性	3	4.3	读取序列号 (RDSN、SNR) 命令	15
2.3	命令 (操作码) 兼容性	6	4.4	nvSRAM 特殊功能	16
2.4	状态寄存器的兼容性	8	5	总结	16
2.5	器件规范的兼容性	9		文档修订记录	17
3	硬件兼容性	12		全球销售和 design 支持	18
3.1	支持 WP 的 SPI nvSRAM (CY14xxxxQ1 和 CY14xxxxQ1A) 引脚分布	12		产品	18
3.2	支持 V _{CAP} (自动存储) 的 SPI nvSRAM (CY14xxxxQ2 和 CY14xxxxQ2A) 引脚分布	13		PSoC® 解决方案	18
3.3	SPI F-RAM 引脚分布	13		赛普拉斯开发者社区	18
				技术支持	18

1 简介

F-RAM (铁电随机存取存储器) 是一款使用铁电电容来存储数据的非易失性存储器。被写入到 F-RAM 内的数据会瞬时变为非易失性数据。与 EEPROM 和 Flash 不同，F-RAM 按照总线速度将数据写入到非易失性存储器内。

nvSRAM 是一种 SRAM 存储器，其中每个存储单元都包含了非易失性元件。嵌入式非易失性元件采用了硅-氧化物-氮化物-氧化物-硅 (SONOS) 的 Quantum Trap 技术。SRAM 能够实现无限次读写周期，而 Quantum Trap 单元则能够提供高可靠性的非易失性数据存储空间。断电时，数据会从 SRAM 中自动转移到非易失性元件内 (存储操作)。上电时，数据会从非易失性存储器回读到 SRAM 内 (回读操作)。

赛普拉斯支持某些 NRND 状态 (不建议用于新的设计) 的 SPI nvSRAM 器件，并且可以使用自己的 SPI-F-RAM 产品替代这些器件。本应用笔记详细描述了将 SPI nvSRAM 替换为 SPI F-RAM 的有关信息。另外，还说明了封装、特性和时序等方面的差异，并且讨论了成功完成移植过程中所需要的硬件和固件修改。对于 SPI nvSRAM 器件，表 1 列出了所建议的 SPI F-RAM 替换器件。

请参考应用笔记 AN304 — SPI F-RAM™ 系列指南和 AN89659 — SPI F-RAM 与 PSoC® 4 的连接，了解 SPI F-RAM 设计指南和固件示例。

本应用笔记使用了通用的器件编号 CY14xxxxQ1x 和 CY14xxxxQ2x 来代表包含初版 SPI nvSRAM 芯片（版本**）的 SPI nvSRAM 器件选项，该器件系列支持 8-DFN 封装。同样，CY14xxxxQ1xA 和 CY14xxxxQ2xA 器件编号代表包含新 SPI nvSRAM 芯片（版本*A）的 SPI nvSRAM 器件系列，该系列支持 8-SOIC 封装。

表 1. 将 SPI nvSRAM 替换为 SPI F-RAM 的选项

容量	封装类型	nvSRAM 器件				建议的 F-RAM（替换）器件			
		器件型号	SPI 频率	电压	温度	器件型号	SPI 频率	电压	温度
64 Kb	8-SOIC	CY14MB064Q2B	40 MHz	2.7 V 到 3.6 V	-40 °C 到 +85 °C	FM25CL64B	20 MHz	2.7 V 到 3.65 V	-40 °C 到 +85 °C
	8-SOIC	CY14MB064Q2A	40 MHz	2.7 V 到 3.6 V	-40 °C 到 +105 °C	FM25CL64B	16 MHz	3.0 V 到 3.6 V	-40 °C 到 +125 °C
	8-SOIC	CY14ME064Q2A	40 MHz	4.5 V 到 5.5 V	-40 °C 到 +105 °C	FM25640B	4 MHz	4.5 V 到 5.5 V	-40 °C 到 +125 °C
256 Kb	8-DFN	CY14B256Q2	40 MHz	2.7 V 到 3.6 V	-40 °C 到 +85 °C	FM25V02A	40 MHz	2.0 V 到 3.6 V	-40 °C 到 +85 °C
	8-SOIC	CY14B256Q2A	40 MHz	2.7 V 到 3.6 V	-40 °C 到 +85 °C	FM25V02A	40 MHz	2.0 V 到 3.6 V	-40 °C 到 +85 °C
	8-SOIC	CY14E256Q5A	40 MHz	4.5 V 到 5.5 V	-40 °C 到 +105 °C	无建议的替换器件			
512 Kb	8-SOIC	CY14B512Q2A	40 MHz	2.7 V 到 3.6 V	-40 °C 到 +85 °C	FM25V05	40 MHz	2.0 V 到 3.6 V	-40 °C 到 +85 °C
1024 Kb	8-DFN	CY14B101Q2	40 MHz	2.7 V 到 3.6 V	-40 °C 到 +85 °C	FM25V20A	40 MHz	2.0 V 到 3.6 V	-40 °C 到 +85 °C
	8-SOIC	CY14B101Q2A	40 MHz	2.7 V 到 3.6 V	-40 °C 到 +85 °C	FM25VN10 FM25V10	40 MHz	2.0 V 到 3.6 V	-40 °C 到 +85 °C
	16-SOIC	CY14V101Q3	40 MHz	V _{CC} = 2.7 V 到 3.6 V V _{CCQ} = 1.65 V 到 1.95 V	-40 °C 到 +85 °C	无建议的替换器件			

所建议的 SPI F-RAM 器件的特性、访问协议、工作条件、容量和封装类型都同 SPI nvSRAM 器件的类似，但这两种器件不完全一样，并且它们的引脚也不是完全兼容的。因此，将 SPI nvSRAM 替换为 SPI F-RAM 时，请注意它们的差别。为了方便您的移植工作，本应用笔记详细介绍了 SPI F-RAM 和 SPI nvSRAM 器件的异同点。

2 SPI nvSRAM 和 SPI F-RAM 的兼容性

本节详描述了 SPI nvSRAM 和 SPI F-RAM 器件各个方面的异同，包括：引脚和封装、命令（操作码）、特性和规格、硬件以及固件。请查看这些属性并进行更改（若需要），使之符合您的设计。

2.1 引脚兼容性

SPI nvSRAM 和 SPI F-RAM 间的所有 I/O 引脚（引脚 3 除外）都匹配，如表 2 所示。引脚 3 是 SPI F-RAM 器件的写保护（WP）引脚，而在 CY14xxxQ2x/CY14xxxQ2xA 封装的 SPI nvSRAM 器件中却为 V_{CAP} 引脚。CY14xxxQ1x/CY14xxxQ1xA 封装中的 SPI nvSRAM 引脚分配与 SPI F-RAM 8 引脚封装中引脚分配相同。

表 2. 引脚比较

引脚编号	nvSRAM 引脚 (CY14xxxQ1x/ CY14xxxQ1xA)	nvSRAM 引脚 (CY14xxxQ2x/ CY14xxxQ2xA)	F-RAM 引脚 (FM25xxx)	引脚说明
1	$\overline{\text{CS}}$	$\overline{\text{CS}}$	$\overline{\text{CS}}$	芯片选择：当将该引脚下拉为低电平时，将激活该器件。通过将该引脚置于高电平，可以使器件进入低功耗待机模式。
2	SO	SO	SO	串行输出：用于通过 SPI 输出数据的引脚。
3	$\overline{\text{WP}}$	V _{CAP}	$\overline{\text{WP}}$	写保护：在 SPI 中实现硬件写入保护。
				自动存储电容：断电期间为 nvSRAM 提供电源，以便将 SRAM 中的数据存储到非易失性元件中。如果不需要自动存储，那么必须将 V _{CAP} 引脚置于“NC”（无连接）状态。绝对不能使其接地。
4	V _{SS}	V _{SS}	V _{SS}	接地
5	SI	SI	SI	串行输入：用于输入所有 SPI 命令和数据的引脚。
6	SCK	SCK	SCK	串行时钟：以 SCK 的最大速度（f _{SCK} ）运行。在该时钟的上升沿上锁存串行输入。在该时钟的下降沿上驱动串行输出。
7	HOLD	$\overline{\text{HOLD}}$	HOLD	HOLD 引脚：用于暂停串行操作。
8	V _{CC}	V _{CC}	V _{DD}	供电电源

2.2 封装兼容性

本节描述了 SPI nvSRAM 和 SPI F-RAM 间可用于移植操作的封装兼容性。表 3 列出了各种封装类型、封装尺寸及其针对 SPI nvSRAM 和 SPI F-RAM 的可用性。

表 3. 封装比较

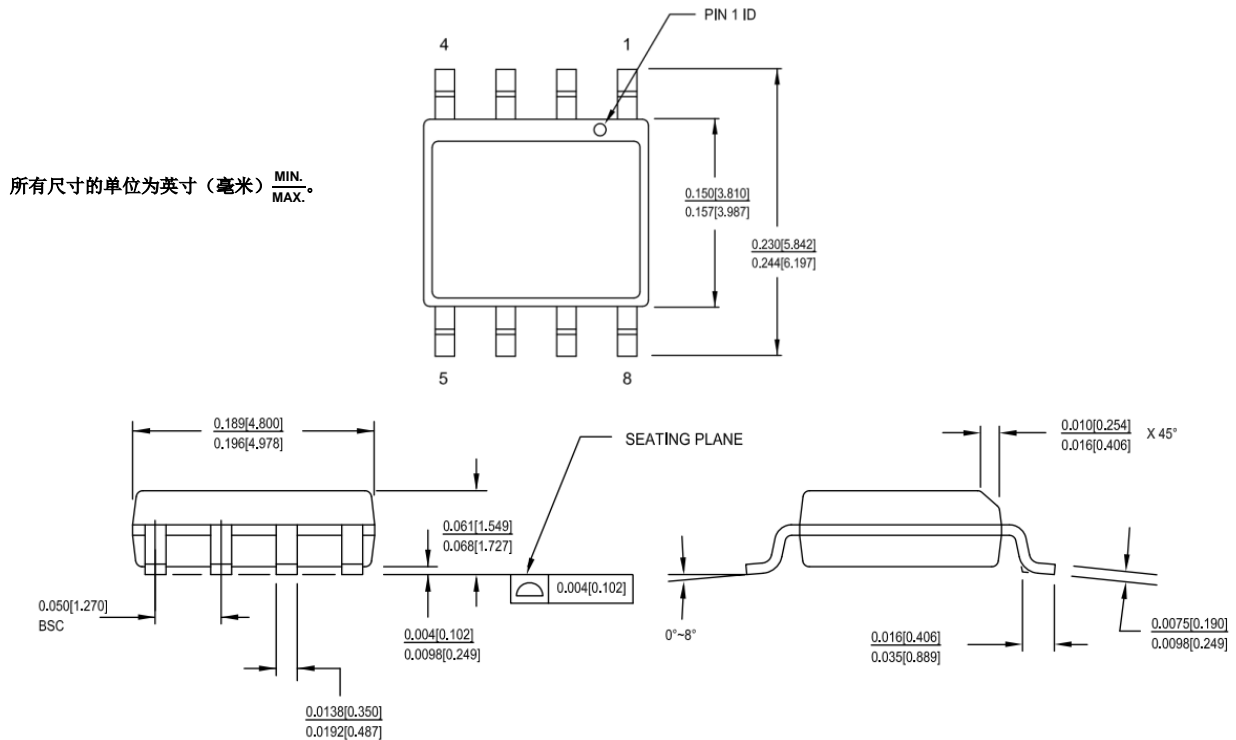
封装，规格编号	长度 (mm)	宽度 (mm)	高度 (mm)	引脚间距 (mm)	裸露焊盘 (mm)	SPI nvSRAM	SPI F-RAM
8-SOIC, 51-85066	4.89 ± 0.09	6.02 ± 0.18	1.64 ± 0.09	1.27	不支持	√	√
8-DFN, 001-85260	4.5 ± 0.10	4.0 ± 0.10	0.75 ± 0.05	0.95	L = 3.6 ± 0.10 W = 2.6 ± 0.10	不支持	√

封装, 规格编号	长度 (mm)	宽度 (mm)	高度 (mm)	引脚间距 (mm)	裸露焊盘 (mm)	SPI nvSRAM	SPI F-RAM
8-DFN, 001-85579	5.0 ± 0.10	6.0 ± 0.10	0.75 ± 0.05	1.27	L = 4.0 ± 0.10 W = 2.3 ± 0.10	不支持	√
8-DFN, 001-50671	5.0 ± 0.10	6.0 ± 0.10	0.75 ± 0.05	1.27	L = 4.0 ± 0.10 W = 3.0 ± 0.10	√	不支持

2.2.1 8-SOIC 封装

所有 SPI nvSRAM 8-SOIC 封装的尺寸 (如图 1 所示) 都同 SPI F-RAM 8 引脚封装的尺寸一样。因此, 当将 SPI nvSRAM 替换为 SPI F-RAM 时, 不需要更新 PCB 布局的封装尺寸。

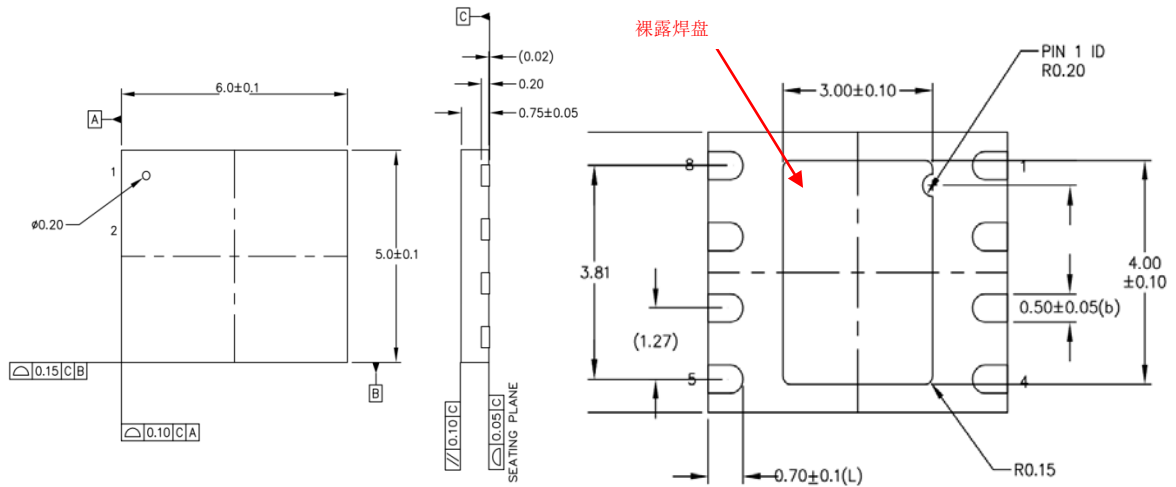
图 1. 8-SOIC (150 Mils) 封装外形, 51-85066



2.2.2 8-DFN 封装

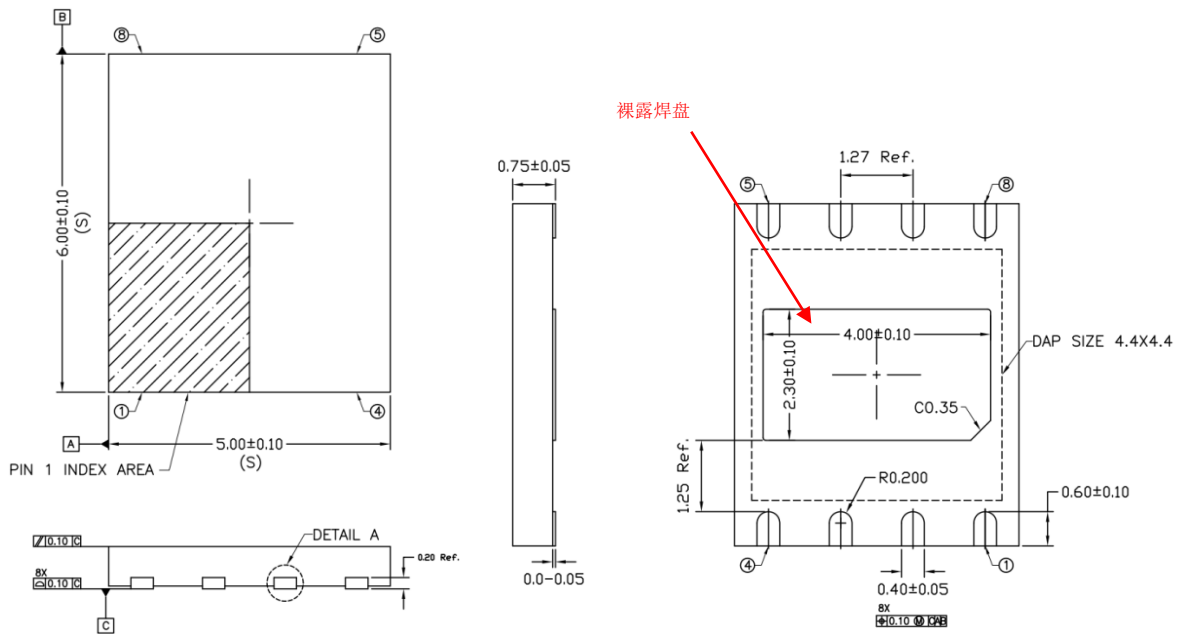
SPI nvSRAM 8-DFN 封装 (如图 2 所示) 的尺寸与 SPI F-RAM 8-DFN 封装的尺寸 (如图 3 和图 4 所示) 会因容量选项不同而异。因此, 当将 SPI nvSRAM 替换为 SPI F-RAM 时, 您可能需要更改 PCB 布局的封装尺寸。请参考表 3, 了解 SPI nvSRAM 和所建议的 SPI F-RAM 替换器件之间在 DFN 封装尺寸上的区别。

图 2. SPI nvSRAM 8-DFN (5 × 6 × 0.85 mm) 封装外形, 001-50671



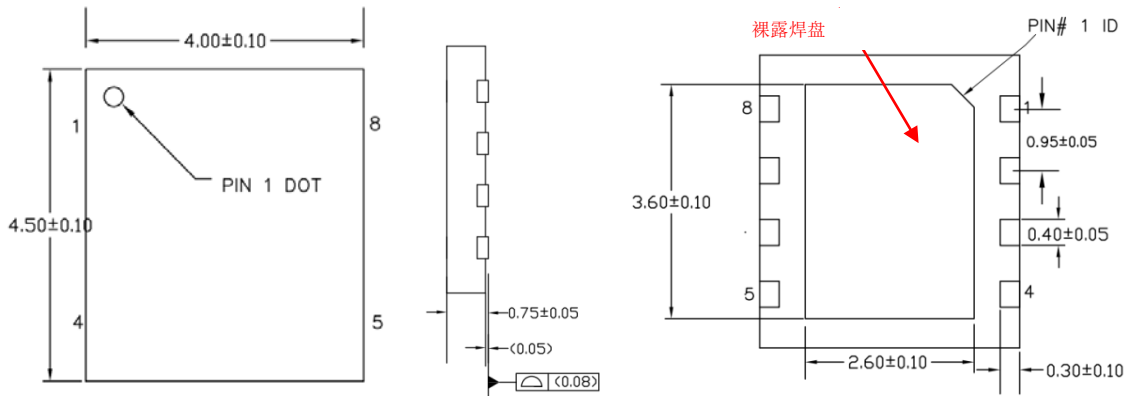
所有尺寸的单位为毫米。

图 3. SPI F-RAM 8-DFN (5 × 6 × 0.75 mm) 封装外形, 001-85579



所有外形尺寸的单位为毫米。

图 4. F-RAM 8-DFN (4.0 × 4.5 × 0.8 mm) 封装外形, 001-85260



所有尺寸的单位为毫米。

注意： 由于 SPI F-RAM 裸露焊盘未连接芯片 (die)，因此它处于悬空状态。进行移植时，请确保不要将 SPI F-RAM DFN 封装的裸露焊盘焊接在 PCB 上。否则会使 SPI F-RAM 的裸片暴露在过高的温度中，从而导致比特故障和容量损失。

2.3 命令（操作码）兼容性

表 4 对 SPI nvSRAM 和 SPI F-RAM 的操作码进行了比较。

表 4. 命令（操作码）比较情况

命令	操作码 (十六进制)	命令说明	SPI nvSRAM	SPI F-RAM	说明
WREN	06h	置位写使能锁存	√	√	这些特性在 SPI nvSRAM 和 SPI F-RAM 中都一样。
WRDI	04h	复位写入使能锁存	√	√	
RDSR	05h	读取状态寄存器	√	√	
WRSR	01h	写状态寄存器	√	√	
READ	03h	读取存储器数据	√	√	
WRITE	02h	写入存储器数据	√	√	
FSTRD	0Bh	快速读取存储器数据	√	√	可用于所有 128 Kb 或容量更大的 F-RAM 器件。 可用于 SPI nvSRAM CY14xxxxQxA 芯片的修订版本“A”，其中 SPI 访问是通过 40 MHz 的 SPI 模块进行的。
SLEEP	B9h	进入睡眠模式	√	√	可用于所有 128 Kb 或容量更大的 F-RAM 器件。 可用于 SPI nvSRAM CY14xxxxQxA 芯片版本“A”。 请参考睡眠模式（SLEEP）命令一节，了解 SPI nvSRAM 和 SPI F-RAM 间 SLEEP 命令的区别。

命令	操作码 (十六进制)	命令说明	SPI nvSRAM	SPI F-RAM	说明
RDID	9Fh	读取器件 ID	√	√	可用于所有 128 Kb 或容量更大的 F-RAM 器件。 可用于 SPI nvSRAM CY14xxxxQxA 芯片版本 “A”。 请参考读取器件 ID (RDID) 命令一节，了解 SPI nvSRAM 和 SPI F-RAM 间 RDID 命令的区别。
RDSN/ SNR	C3h	读取序列号	√	√	仅适用于带有唯一序列号特性的 F-RAM 器件 (FM25VN10)。 可用于 SPI nvSRAM CY14xxxxQxA 芯片版本 “A”。 请参考读取序列号 (RDSN、SNR) 命令一节，了解 SPI nvSRAM 和 SPI F-RAM 间 RDSN 命令的区别。
WRSN	C2h	写入序列号	√	X	可用于 SPI nvSRAM CY14xxxxQxA 芯片版本 “A”。不适用于 SPI F-RAM 器件。 不能将使用 SPI nvSRAM 中写序列号 (WRSN) 功能的各种应用移植到 SPI F-RAM 上。 通过保留主存储器阵列中 8 字节的空间，您可以执行序列号写入操作。但不能将该保留空间设置为 “只读”。对于 SPI nvSRAM 器件，通过设置状态寄存器中的 SNL 位便可以将序列号设置为 “只读”。
STORE	3CH	软件存储	√	X	这些是 SPI nvSRAM 的特殊命令。它们是 SPI F-RAM 的未定义操作码，并在执行过程中被忽略。 请参考 nvSRAM 特殊功能一节，了解这些命令的详细信息以及移植到 SPI F-RAM 时需要注意的事项。
RECALL	60h	软件回读	√	X	
ASENB	59h	自动存储使能	√	X	
ASDISB	19h	自动存储禁用	√	X	
FAST_RDSR	09h	状态寄存器快速 读取操作	√	X	可用于 SPI nvSRAM CY14xxxxQxA 芯片的修订版本 “A”，其中 SPI 访问是通过 40 MHz 的 SPI 模块进行的。 它们是 SPI F-RAM 的未定义操作码，并在执行过程中被忽略。
FAST_RDID	99H	快速读取器件 ID	√	X	
FAST_RDSN	C9h	快速读取序列号	√	X	

2.4 状态寄存器的兼容性

SPI nvSRAM 和 SPI F-RAM 器件的状态寄存器访问特性是相同的。但 SPI nvSRAM 中有某些“无需关注”位是可写的，而它们在 SPI F-RAM 器件中则为只读。表 5 显示的是这两种器件的状态寄存器位定义以及它们的兼容性。

表 5. 状态寄存器比较

状态寄存器	SPI nvSRAM	SPI F-RAM	说明
位 0	RDY#	无需关注	只读位表示器件执行存储器访问的就绪状态。器件在执行存储或软件回读周期期间应将该位设置为‘1’。 该位在 SPI F-RAM 中是无需关注的。
位 1	WEN	WEL	在 SPI nvSRAM 和 SPI F-RAM 中的状态完全相同
位 2	BP0	BP0	
位 3	BP1	BP1	
位 4	无需关注	无需关注	在 SPI nvSRAM (版本“A”的芯片) 和 SPI F-RAM 中的状态完全相同。这些位都是只读的，并在读取时始终返回“0”。
位 5	无需关注	无需关注	在初版 SPI nvSRAM (CY14xxxxQx) 中，这些位是可写的易失性位。上电时，向这些位内写入“0”。
位 6	SNL	无需关注	在 SPI nvSRAM 芯片版本“A” (CY14xxxxQxA) 中，如果该位的值被设置为‘1’，将禁止使用特殊的 WRSN 命令进行序列号写入操作。 在初版 SPI nvSRAM (CY14xxxxQx) 中，该位是可写的易失性位。上电时，向这些位内写入“0”。 该位在 256 Kb SPI F-RAM 中是只读位，读取时始终返回 0。而在 512 Kb 和容量更大的 SPI F-RAM 中，读取该位时返回 1。
位 7	WPEN	WPEN	在 SPI nvSRAM 和 SPI F-RAM 中的状态完全相同

注意： 对于 SPI F-RAM，位 4 到位 6 是无需关注位。将 SPI nvSRAM 替换为 SPI F-RAM 时，可以忽略这三位的默认值。

2.5 器件规范的兼容性

表 6、表 7 和表 8 列出了这两种器件规格的差异。然而，将 SPI nvSRAM 替换为 SPI F-RAM 前，有些数据是用于担保系统级分析的。它们包括：输出负载、启动时间和电源变化（供电和断电）。图 5 和图 6 分别描述了 SPI nvSRAM 和 SPI F-RAM 的电源周期时序。

表 6. 直流参数比较

参数	说明	SPI nvSRAM	SPI F-RAM	说明
V_{DD}	供电电压	2.7 V 到 3.6 V 4.5 V 到 5.5 V	2.0 V 到 3.60 V 2.7 V 到 3.65 V 4.5 V 到 5.5 V	SPI F-RAM 的工作电压范围比 SPI nvSRAM 的更宽。因此，将 SPI nvSRAM 替换为 SPI F-RAM 时，不需要更改电源电压。
V_{IH}	输入高电平电压	2.0 V 到 $V_{CC} + 0.5 V$	$0.7 \times V_{DD}$ 到 $V_{DD} + 0.3 V$	SPI F-RAM 的 $V_{IH}(\min)$ 跟从 CMOS 逻辑电平，并与输入电压 (V_{DD}) 成正比。SPI nvSRAM 的 $V_{IH}(\min)$ 最低电压固定在 2.0 V。因此，当替换为 SPI F-RAM 时，必须保证 $V_{IH}(\min)$ 的兼容性。 SPI F-RAM 的 $V_{IH}(\max)$ 为 $V_{DD} + 0.3 V$ ，而该值在 SPI nvSRAM 中为 $V_{CC} + 0.5 V$ 。这样会限制 SPI F-RAM 输入引脚上的过冲电压，建议在进行移植前调整该值。
V_{IL}	输入低电平电压	-0.5 V 到 0.8 V	-0.3 V 到 $0.3 \times V_{DD}$	SPI F-RAM 的 $V_{IL}(\max)$ 跟从 CMOS 逻辑电平，并与输入电压 (V_{DD}) 成正比。SPI nvSRAM 的 $V_{IL}(\max)$ 最高电压固定在 0.8 V。因此，当替换为 SPI F-RAM 时，必须保证 $V_{IL}(\max)$ 的兼容性。 SPI F-RAM 的 $V_{IL}(\min)$ 为 -0.3 V，而该值在 SPI nvSRAM 中为 -0.5 V。这样会限制 SPI F-RAM 输入引脚上的下冲电压，建议在进行移植前调整该值。
V_{OH}	输出高电平电压	CY14xxxxQ1/ CY14xxxxQ2: 2.0 V (最小值) $I_{OUT} = -2 \text{ mA}$ CY14xxxxQ1A/ CY14xxxxQ2A: 2.4 V (最小值) ($V_{CC} = 3 \text{ V}$ (典型值) 时) $I_{OUT} = -2 \text{ mA}$ $V_{CC} - 0.4 \text{ V}$ (最小值) ($V_{CC} = 5 \text{ V}$ (典型值) 时) $I_{OUT} = -2 \text{ mA}$	2.4 V (最小值) $I_{OH} = -1 \text{ mA}$ $V_{DD} - 0.8 \text{ V}$ (最小值) $I_{OH} = -2 \text{ mA}$ $V_{DD} - 0.2 \text{ V}$ (最小值) $I_{OH} = -100 \mu\text{A}$	将 SPI nvSRAM 替换为 SPI F-RAM 时，不需要更改任何典型系统配置。 但是，重新加载的系统总线必须确保 V_{OH} 保持在输入的逻辑电平范围内。
V_{OL}	输出低电平电压	0.4 V (最大值) $I_{OUT} = 4.0 \text{ mA}$	0.4 V (最大值) $I_{OL} = +2 \text{ mA}$ 0.2 V (最大值) $I_{OL} = +150 \mu\text{A}$	将 SPI nvSRAM 替换为 SPI F-RAM 时，不需要更改任何典型系统配置。 但是，重新加载的系统总线必须确保 V_{OL} 值保持在输入的逻辑电平范围内。

参数	说明	SPI nvSRAM	SPI F-RAM	说明
V_{VCAP}	存储电容	42 μ F 到 180 μ F	不支持	这是 nvSRAM 的一个特殊引脚，用于实现自动存储操作。该引脚/功能和相关的参数不适用于 SPI F-RAM 器件。
V_{VCAP}	器件在 V_{VCAP} 引脚上驱动的最高大电压	最大值 = V_{CC} ($V_{CC} = 3\text{ V}$ (典型值) 时) 最大值 = $V_{CC} - 0.5\text{ V}$ ($V_{CC} = 5\text{ V}$ (典型值) 时)	不支持	

注意： 表 6 中不显示的所有其他直流参数（电流参数除外）都是等效的。由于 F-RAM 是一种节能的非易失性存储器工艺，因此 SPI F-RAM 的所有直流电流规格都比 SPI nvSRAM 的优越。

表 7. 交流参数比较

参数说明	SPI nvSRAM			SPI F-RAM			单位	说明
	参数	最小值	最大值	参数	最小值	最大值		
时钟频率, SCK	f_{SCK}		40	f_{SCK}		40	MHz	相同
时钟高电平时间	t_{CH}	11		t_{CH}	11		ns	
时钟低电平时间	t_{CL}	11		t_{CL}	11		ns	
芯片选择建立时间	t_{CSS}	10		t_{CSU}	10		ns	
芯片选择保持时间	t_{CSH}	10		t_{CH}	10		ns	
输出禁用时间	t_{HZCS}		20	t_{OD}		12	ns	SPI F-RAM 输出禁用速度比 SPI nvSRAM 的更快。该特性不会影响替换为 SPI F-RAM 的过程。
输出数据有效时间	t_{CO}		9	t_{ODV}		9	ns	相同
输出保持时间	t_{OH}	0		t_{OH}	0		ns	相同
\overline{CS} 高电平时间	t_{CS}	20		t_D	40		ns	对于 SPI F-RAM, 该时序更长。建议在替换为 SPI F-RAM 时进行评估并调整该参数。
数据的上升时间	未指定			t_R		50	ns	在 SPI nvSRAM 中未指定。建议在替换为 SPI F-RAM 时进行评估并调整该参数。
数据的下降时间				t_F		50	ns	
数据建立时间	t_{SD}	5		t_{SU}	5		ns	相同
数据保持时间	t_{HD}	5		t_H	5		ns	相同
\overline{HOLD} 建立时间	t_{SH}	5		t_{HS}	10		ns	对于 SPI F-RAM, 该时序更长。建议在替换为 SPI F-RAM 时进行评估并调整该参数。
\overline{HOLD} 时间	t_{HH}	5		t_{HH}	10		ns	
\overline{HOLD} 从低电平到高阻态时间	t_{HHZ}		15	t_{HZ}		20	ns	
\overline{HOLD} 从高电平到数据有效时间	t_{HLZ}		15	t_{LZ}		20	ns	

表 8. 电源参数比较

参数说明	SPI nvSRAM			SPI F-RAM			单位	说明
	参数	最小值	最大值	参数	最小值	最大值		
加电回读期间	t_{FA}		20	t_{PU}		1	ms	不会影响替换为 SPI F-RAM 的过程。系统可以优化固件以提高系统性能。
存储周期时间	t_{STORE}		8				ms	它们是 nvSRAM 特定参数，并不适用于 SPI F-RAM。 不会影响替换为 SPI F-RAM 的过程。系统可以优化固件以提高系统性能。
完成 SRAM 写入周期所允许的时间	t_{DELAY}		25				ms	
低电压触发电平	V_{SWITCH} (3 V)		2.65				V	
	V_{SWITCH} (5 V)		4.4				V	
V_{CC} 上升时间	$t_{VCCRISE}$	150		未指定			μs	本规格间接与 SPI F-RAM t_{VR} 规格有关。
V_{DD} 上电升降斜率	未指定			t_{VR}		50	$\mu s/V$	SPI nvSRAM 对 V_{CC} 升降斜率不受任何限制。 替换为 SPI F-RAM 时，必须确保 SPI F-RAM V_{DD} 电源升降斜率位于其特定范围内。
V_{DD} 下电升降斜率				t_{VF}		100	$\mu s/V$	
从最后一次访问 (\overline{CS} 为高电平) 到下降至 $V_{DD(min)}$ 的时间				t_{PD}		0	$\mu s/V$	不会影响替换为 SPI F-RAM 的过程
nvSRAM 从睡眠模式唤醒的时间	t_{WAKE}		20	t_{REC} (t_{RDP})		0.45	ms	不会影响替换为 SPI F-RAM 的过程。系统可以优化固件以提高系统性能。
从发出 SLEEP 指令到进入睡眠模式的时间	t_{SLEEP}		8	不支持			ms	发出 SLEEP 指令后，当 \overline{CS} 从低电平切换为高电平时，SPI F-RAM 立即进入睡眠模式。
从 \overline{CS} 变为高电平到进入待机模式的时间	t_{SB}		100	未指定			μs	不会影响替换为 SPI F-RAM 的过程

图 5. SPI nvSRAM 电源周期时序

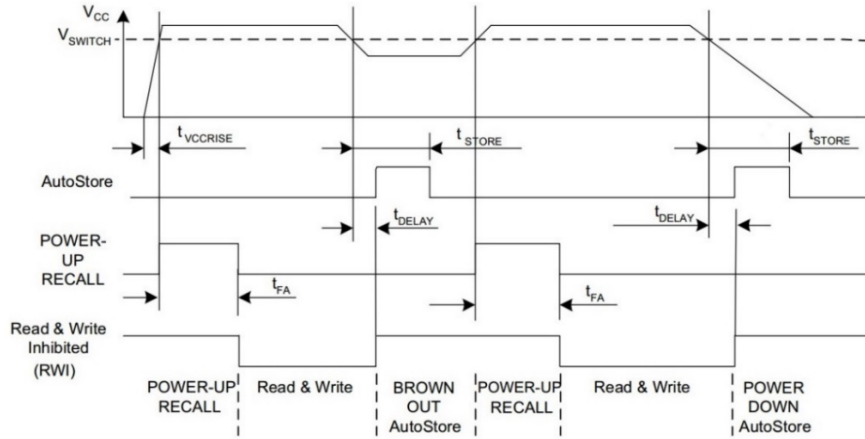
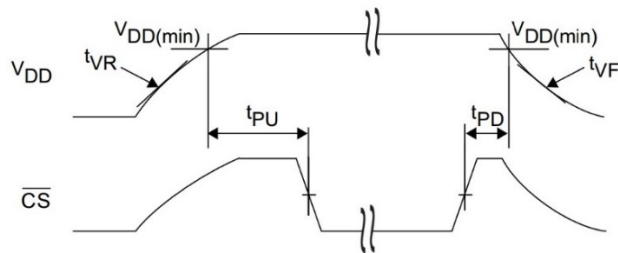


图 6. SPI F-RAM 电源周期时序



3 硬件兼容性

SPI nvSRAM 为 8-SOIC 和 8-DFN 封装提供了两种引脚配置，如图 7 和图 8 所示。

3.1 支持 WP 的 SPI nvSRAM (CY14xxxxQ1 和 CY14xxxxQ1A) 引脚分布

图 7 中所示的两种 SPI nvSRAM 封装的引脚分布与 SPI F-RAM 的引脚分布相同。图 9 所示的是将 SPI nvSRAM 替换为 SPI F-RAM 时可用的 SPI F-RAM 引脚分布，它们是引脚兼容的替换选项。

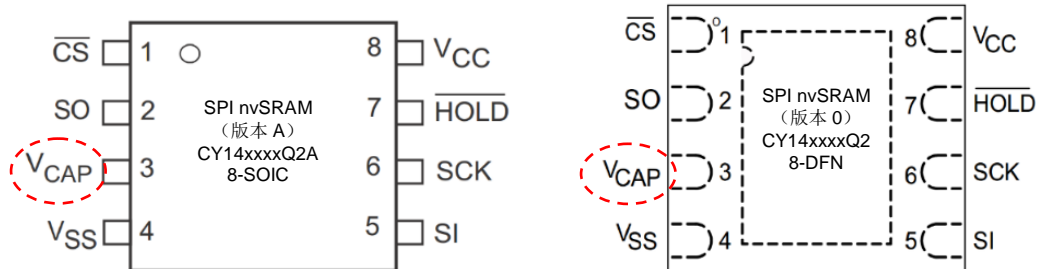
图 7. 支持 WP 的 SPI nvSRAM (CY14xxxxQ1 和 CY14xxxxQ1A)



3.2 支持 V_{CAP}（自动存储）的 SPI nvSRAM（CY14xxxxQ2 和 CY14xxxxQ2A）引脚分布

图 8 中所示的两种 SPI nvSRAM 封装的引脚分布与 SPI F-RAM 的引脚分布相同（V_{CAP} 除外）。图 9 显示的是 SPI F-RAM 的引脚分布。

图 8. 支持自动存储功能的 SPI nvSRAM（CY14xxxxQ1 和 CY14xxxxQ1A）

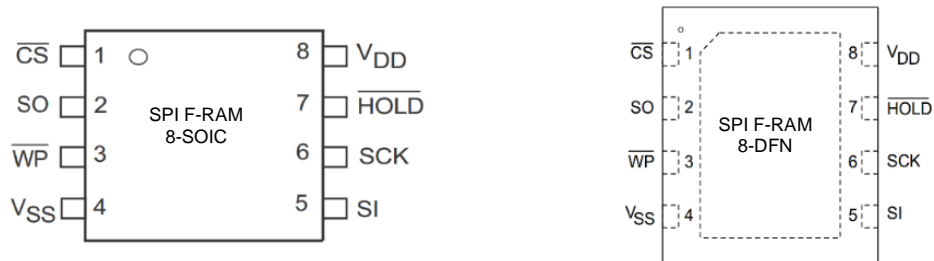


该图是将 SPI nvSRAM 替换为 SPI F-RAM 时可用的引脚兼容替换选项（V_{CAP} 引脚除外）。SPI nvSRAM 封装上的 V_{CAP} 引脚即为 SPI F-RAM 封装上的硬件写保护（WP）引脚。WP 引脚是一个输入引脚，不被内部偏置；因此没有将其使用到该引脚时，需要保持它的悬空状态。要想替换为封装尺寸相同的 SPI F-RAM，必须确保 WP 引脚的正确设置，这样系统才能正常操作。当 WP 引脚被设置为逻辑高电平时，它会使得能状态寄存器写入操作。WP 引脚被设置为逻辑低时，如果状态寄存器中的 WPEN 位也被设置为“1”，那么将禁用状态寄存器的写入操作（写入保护）。

3.3 SPI F-RAM 引脚分布

SPI F-RAM 的 8-SOIC 和 8-DFN 封装只有一种引脚分布，如图 9 所示。

图 9. SPI F-RAM 引脚分布



SPI F-RAM 的 8-SOIC 封装脚印与 SPI nvSRAM 的相同。因此，替换为 SPI F-RAM 时将不需要更改 PCB 封装中的脚印。

SPI F-RAM 的 8-DFN 封装尺寸与 SPI nvSRAM 的 8-DFN 封装尺寸不完全一样，请参考[封装兼容性](#)一节的内容。因此，将 SPI nvSRAM 8-DFN 封装替换为 SPI F-RAM 8-DFN 封装时，不能直接替换。另外如果封装尺寸存在差异，则需要更改 PCB 布局。

注意： 将带有 V_{CAP} 选项的 SPI nvSRAM 替换为 SPI F-RAM 时，需要更新硬件原理图和布局，这样才能连接至控制器 I/O（用于控制 SPI F-RAM 的 WP 引脚），或者连接至 WP 引脚上的一个外部上拉电阻，从而使该引脚保持为高电平状态，以禁用写保护（如果不需使用此功能）。

4 固件兼容性

SPI nvSRAM 和 SPI F-RAM 的 SPI 主机控制器固件同样工作，但特殊的 nvSRAM 功能除外。nvSRAM 的特殊功能（如自动存储、自动存储使能、自动存储禁用、软件存储和软件回读）不适用于 SPI F-RAM。对于 nvSRAM，数据先被写入到 SRAM 内，然后在自动存储或软件存储期间将被传输到非易失性单元中。在 F-RAM 中，数据是瞬态非易失性的；所以并不适用这些功能。

4.1 睡眠模式（SLEEP）命令

对于低容量 SPI F-RAM（64 Kb 和更小），待机电流不大于 SPI nvSRAM 睡眠模式的电流（ I_{ZZ} ）。因此，容量更小的 SPI F-RAM 器件不支持睡眠模式。睡眠模式仅适用于容量大于 128 Kb 的 SPI F-RAM，而且其睡眠模式（SLEEP）命令与 SPI nvSRAM 的 SLEEP 命令的执行相同。但是，这两种器件的睡眠模式进入时序和唤醒时序却存在差异，如图 10 和图 11 所示。

图 10. SPI nvSRAM SLEEP 命令

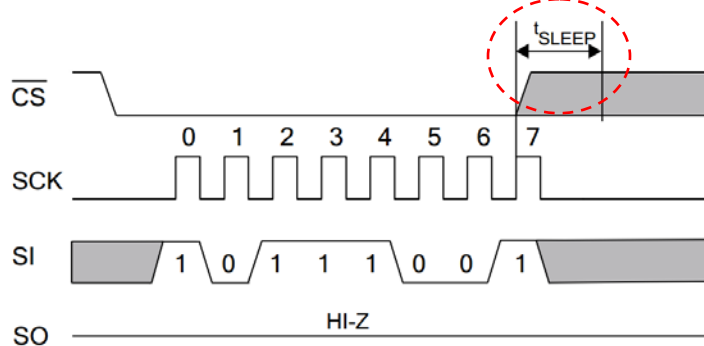
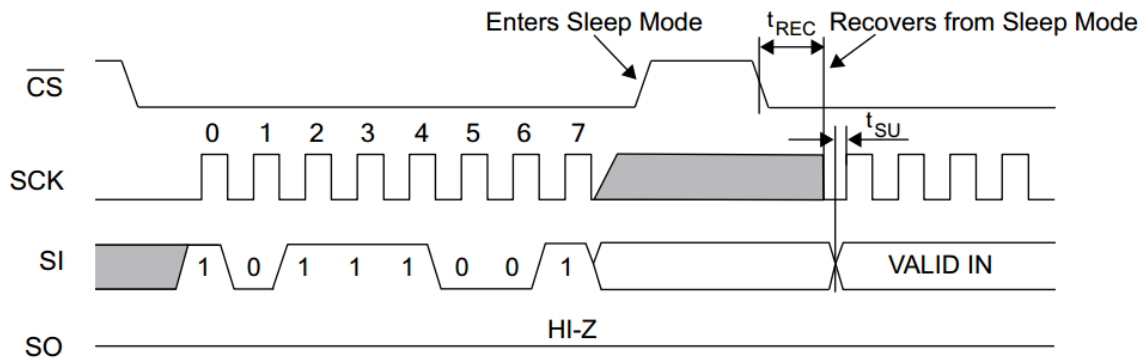


图 11. SPI F-RAM SLEEP 命令



注意：

- 发出 SLEEP 命令后，SPI nvSRAM 需要经过 8 ms（ t_{SLEEP} ，最大值）才能进入睡眠模式。SPI F-RAM 将在 \overline{CS} 的上升沿上进入睡眠模式。换句话说，SPI F-RAM 不需等待 8 ms（ t_{SLEEP} ）便可进入睡眠模式。可将其作为将 SPI nvSRAM 替换为 SPI F-RAM 的一个优点。
- \overline{CS} 被切换成低电平后，SPI nvSRAM 需要等待 20 ms（ t_{WAKE} ，最大值）才能从睡眠模式唤醒。 \overline{CS} 被切换为低电平后，SPI F-RAM 只需等待 450 μ s（ t_{REC} ，最大值）才能从睡眠模式唤醒。而 SPI F-RAM 唤醒特性比 SPI nvSRAM 的更为优越，这也被视为将 SPI nvSRAM 替换为 SPI F-RAM 的另一个优点。

4.2 读取器件 ID (RDID) 命令

读取器件 ID 特性不适用于所有 64 Kb 以及容量更小的 SPI F-RAM。这些器件将忽略读取器件 ID (RDID) 命令，如所有其他不受支持的 SPI 命令一样。与 SPI nvSRAM 相同，所有容量为 128 Kb 和更大的 SPI F-RAM 都支持读取器件 ID 命令。但它们的 RDID 输出却不一样。SPI nvSRAM 返回一个 4 字节的 ID，而 SPI F-RAM 返回一个 9 字节的 ID。因此，将 SPI nvSRAM 替换为 SPI F-RAM 时，需要更新固件来读取 SPI F-RAM 中的 9 字节 ID。更多信息，请参考图 12 和图 13。

图 12. 读取 SPI nvSRAM 中的器件 ID

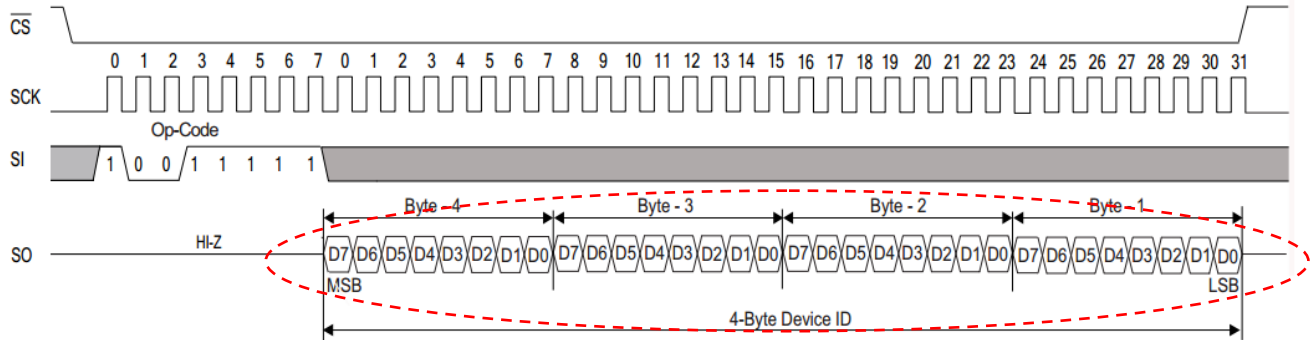
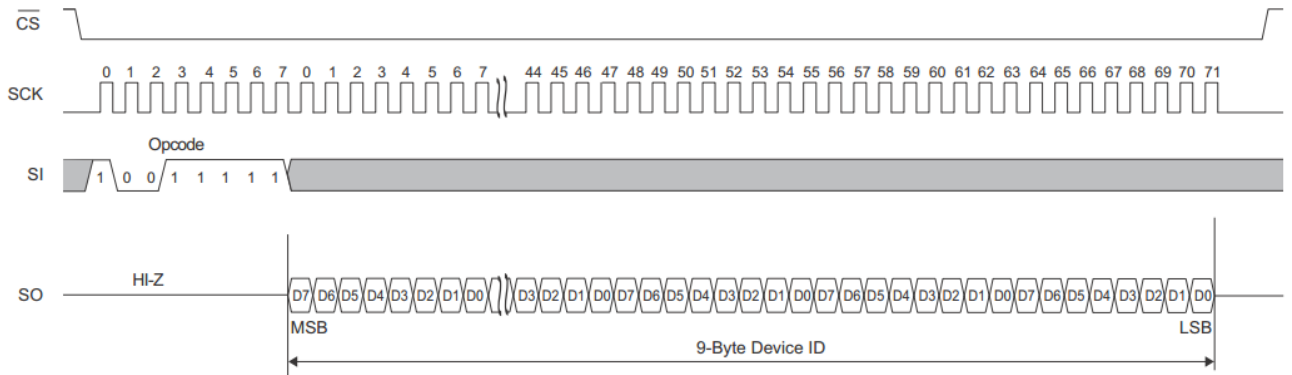


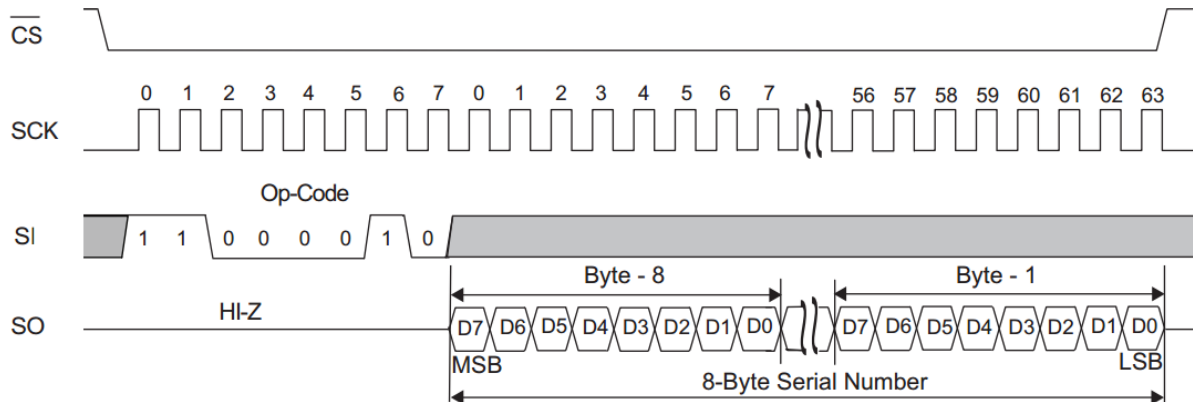
图 13. 读取 SPI F-RAM 中的器件 ID



4.3 读取序列号 (RDSN、SNR) 命令

读取序列号 (SNR) 特性只适用于 1 Mb、3 V 的 SPI F-RAM (FM25VN10)。对于其他 F-RAM，读取 SNR 命令和其他所有不受支持的 SPI 命令一样被忽略的。用户可以通过写入序列号 (WRSN) 命令来编写 nvSRAM 的序列号，但 SPI F-RAM 的序列号是一个工厂编程的只读值。这两种器件使用了同一个读取序列号指令，如图 14 所示。将 SPI nvSRAM 替换为 SPI F-RAM 时，不需进行任何固件更新操作。

图 14. 读取序列号 (SPI nvSRAM 和 SPI F-RAM)



4.4 nvSRAM 特殊功能

SPI nvSRAM 的固件可能包含特定于 nvSRAM 功能（如自动存储、软件存储、软件回读、自动存储使能和自动存储禁用）的额外逻辑。替换为 SPI F-RAM 时，可删除该额外逻辑。

4.4.1 自动存储

自动存储是 nvSRAM 的一个独有特性，可在断电期间自动将 SRAM 数据存储到 SONOS 单元中。该存储操作采用外部电容 (V_{CAP})，并在断电时可允许器件将数据安全存储到非易失性存储器中。替换为 SPI F-RAM 时， V_{CAP} 引脚上的电容将被替换为 SPI F-RAM 的 \overline{WP} 引脚。因此，替换为 SPI F-RAM 时不需要更新固件。

4.4.2 软件存储

软件存储是 nvSRAM 的独有特性，可通过特定的 SPI 指令来触发存储操作。通过执行某个存储指令，可以启用非易失性存储操作。当 nvSRAM 自动存储由特定的 ASDISB 命令禁用时，您可以采用该特性。这时，系统将按照要求通过软件存储命令将 SRAM 数据保存到非易失性存储器中。使用这种 nvSRAM 特性的系统不能替换为 SPI F-RAM。但大部分应用都使用了 nvSRAM 的自动存储特性进行数据记录。

4.4.3 软件回读

软件回读是 nvSRAM 独有的特性，因此您能够启用回读操作，从而将非易失性存储器中的数据重新存储到 SRAM 中。您可以通过发出回读指令来实现该操作。该特性可用于软失效率较高的应用，这时系统会通过回读命令使用正确的数据覆盖掉受影响的 SRAM 内容。由于 SPI F-RAM 软失效率 (SER) 低于 SPI nvSRAM，因此替换为 SPI F-RAM 时，系统可获得一样的 SER 比例，而不需更新固件。SPI F-RAM 将忽略软件回读命令。

4.4.4 自动存储使能和禁用

自动存储使能 (ASENB) 和自动存储禁用 (ASDISB) 都是 SPI 命令，用于使能/禁用 SPI nvSRAM 中的自动存储操作。由于 SPI F-RAM 不支持自动存储功能，因此，这两种命令在 SPI F-RAM 中都为无需关注命令，并被忽略。将 SPI nvSRAM 替换为 SPI F-RAM 时，不需进行任何有关这两个功能的固件更新。

5 总结

本应用笔记描述了将 SPI nvSRAM 替换为 SPI F-RAM 器件所涉及的所有选项。替换前，需要了解这两种器件之间的差异，如：封装参数、特性、操作码以及各种电气参数。虽然大部分应用都使用了特定的 SPI nvSRAM 器件，但只需对它们进行微小的硬件和软件更改便可替换为 SPI F-RAM。

文档修订记录

文档标题: AN202493 — 将 SPI nvSRAM 替换为 SPI F-RAM™

文档编号: 002-11743

版本	ECN	变更者	提交日期	变更说明
**	5217075	RZZH	04/13/2016	本档版本号为 Rev**, 译自英文版 002-02493 Rev**。

全球销售和 design 支持

赛普拉斯公司具有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想查找离您最近的办事处，请访问赛普拉斯所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC®解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

PSoC 是赛普拉斯半导体公司的注册商标，且 F-RAM 是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

	赛普拉斯半导体公司 198 Champion Court San Jose, CA 95134-1709	电话 : 408-943-2600 传真 : 408-943-4730 网址 : www.cypress.com
---	--	---

© 赛普拉斯半导体公司，2015-2016。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会根据专利权或其他权利以明示或暗示方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于发生故障（包括运转异常）或失效可能会对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品使用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受限于赛普拉斯软件许可协议。