



CY9A420L/120L/CY9B120J シリーズ

FM3 Flash Programming Specifications

Document Number: 002-04848 Rev. *C

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

www.cypress.com

© Cypress Semiconductor Corporation, 2013-2019. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア（Cypress により提供され、修正がなされていないもの）が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示をとわず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分という。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。

Arm and Cortex are registered trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

はじめに



■ 本書の目的と対象読者

本書は、実際に本シリーズを使用して製品を開発される技術者を対象に、フラッシュメモリの機能や動作や、フラッシュメモリのシリアル書込みについて解説しています。

■ 本書の全体構成

本書は、以下に示す3つの章から構成されます。

第1章 フラッシュメモリ

フラッシュメモリの概要、構成、動作およびレジスタについて説明します。

第2章 フラッシュセキュリティ

フラッシュセキュリティ機能によりフラッシュメモリの内容を保護できます。
フラッシュセキュリティの概要、動作について説明します。

第3章 シリアル書込み接続

フラッシュメモリのシリアル書込みについて、サイプレス製シリアルプログラマを用いた場合の基本構成を説明します。

■ サンプルプログラムおよび開発環境

FM3 ファミリの周辺機能を動作させるためのサンプルプログラムを無償で提供しております。また、本シリーズで使用する開発環境も掲載しています。当社マイコンの動作仕様や使用方法の確認などにお役立てください。

マイコンサポート情報

<https://community.cypress.com/community/MCU>

*: サンプルプログラムは、予告なしに変更することがあります。また、サンプルプログラムは標準的な動作や使い方を示したものですので、お客様のシステム上でご使用の際は十分評価された上でご使用ください。
また、サンプルプログラムの使用に起因し生じた損害については、当社は一切その責任を負いません。

本書の使い方



■ 機能の探し方

本書では次の方法で、使いたい機能の説明を探することができます。

■ 目次から探す

本書の内容を記載順に示します。

■ レジスタから探す

本文中では各レジスタの配置アドレスを記載しておりません。各レジスタのアドレスを確認するときは『FM3 ファミリペリフェラルマニュアル』の『A.レジスタマップ』を参照してください。

■ 用語について

本書で使用している用語について示します。

用語	説明
ワード	32 ビット単位でのアクセスを指します。
ハーフワード	16 ビット単位でのアクセスを指します。
バイト	8 ビット単位でのアクセスを指します。

■ 表記について

本書のレジスタ説明中のビット構成図では以下のように表記しています。

- bit : ビット番号
- Field : ビットフィールド名
- 属性 : 各ビットのリード、ライト属性
 - R : リードオンリ
 - W : ライトオンリ
 - R/W : リード・ライト可能
 - : 未定義
- 初期値 : リセット直後のレジスタ初期値
 - 0 : 初期値"0"
 - 1 : 初期値"1"
 - X : 初期値不定

本書では、複数のビットを以下のように表記しています。

例 : bit7 から bit0 の場合は bit7:0

本書では、アドレスなどの数値を以下のように表記しています。

- 16進数 : プレフィックス (接頭辞) として"0x"を付けて表記しています (例 : 0xFFFF)。
- 2進数 : プレフィックス (接頭辞) として"0b"を付けて表記しています (例 : 0b1111)。
- 10進数 : 数値だけで表記しています (例 : 1000)。

表 1-1 対象型格一覧

タイプ名*	フラッシュメモリサイズ
	64 Kbyte
TYPE10	CY9BF121J
	MB9BF121J
TYPE11	CY9AF421K
	CY9AF421L
	MB9AF421K
	MB9AF421L
	CY9AF121K
	CY9AF121L
	MB9AF121K
	MB9AF121L

*: 『FM3 ファミリ ペリフェラルマニュアル』において製品を分類するために使用している表記です。

Contents



1	フラッシュメモリ	7
1.1	概要.....	7
1.2	構成.....	8
1.3	動作説明.....	10
1.3.1	自動アルゴリズム	10
1.3.2	フラッシュメモリの動作説明	16
1.3.3	フラッシュメモリの使用上の注意.....	21
1.4	レジスタ.....	22
1.4.1	FRWTR (Flash Read Wait Register) フラッシュ・リードウェイト・レジスタ	22
1.4.2	FSTR (Flash Status Register) フラッシュ・ステータス・レジスタ	24
1.4.3	FICR (Flash Interrupt Control Register) フラッシュ・割込み制御・レジスタ	26
1.4.4	FISR (Flash Interrupt Status Register) フラッシュ・割込みステータス・レジスタ	27
1.4.5	FICLR (Flash Interrupt Clear Register) フラッシュ・割込みクリア・レジスタ	28
1.4.6	CRTRMM (CR Trimming Data Mirror Register) CR トリミングデータ・ミラー・レジスタ	29
2	フラッシュセキュリティ	30
2.1	概要.....	30
2.2	動作説明.....	31
3	シリアル書込み接続	32
3.1	シリアルプログラマ	32
3.1.1	基本構成.....	33
3.1.2	使用端子	36
4	改訂履歴	37
	Document Revision History	37

1 フラッシュメモリ



フラッシュメモリの概要、構成、動作およびレジスタについて説明します。本シリーズは 64K バイトの容量で、フラッシュ消去 (全セクター括データ消去) およびセクタ単位でのデータ消去と CPU によるデータ書込みが可能なフラッシュメモリを内蔵しています。

- 1.1 概要
- 1.2 構成
- 1.3 動作説明
- 1.4 レジスタ

1.1 概要

本シリーズには 64K バイトのフラッシュメモリが内蔵されています。
内蔵フラッシュメモリは、Cortex-M3 CPU によるセクタ単位でのデータ消去、フラッシュ消去 (全セクター括データ消去) およびバイト (8 ビット)、ハーフワード (16 ビット) 単位でのデータ書込みが可能です。

■ フラッシュメモリの特長

- 使用可能容量: 64K バイト
- CPU 割込みによる書込み / 消去完了の検出が可能
- 高速フラッシュ
 - ～40MHz 時 0 ウェイト
 - ～72MHz 時 プリフェッチバッファ機能を有効にすることによって 0 ウェイトを実現 (TYPE10 製品のみ)

■ 動作モード

- 1. CPU モード
 - CPU からフラッシュメモリのデータ読出し、書込みまたは消去ができるモードです (自動アルゴリズム*)。
 - バイト (8 ビット)、ハーフワード (16 ビット) 単位でのデータ書込みが可能です。
 - データの書換えは RAM 上でのプログラム実行から可能です。
- 2. ROM ライタモード
 - ROM ライタからフラッシュメモリのデータ読出し、書込みおよび消去ができます (自動アルゴリズム*)。

■ フラッシュセキュリティ機能搭載

(第三者によるフラッシュメモリ内容読出し阻止)
フラッシュセキュリティ機能については『フラッシュセキュリティ』の章を参照してください。

<注意事項>

本書では、フラッシュメモリを CPU モードで利用する場合について記載します。
ROM ライタからフラッシュメモリにアクセスする場合は、ご利用の ROM ライタの取扱い説明書を参照してください。

*: 自動アルゴリズム=Embedded Algorithm

1.2 構成

本シリーズは 64K バイトのフラッシュメモリ領域、セキュリティコード領域、CR トリミングデータ領域で構成されます。

本シリーズに搭載されているフラッシュメモリの容量と製品型格の対応を表 1.2-1、アドレス、セクタ構成とセキュリティ/CR トリミングデータのアドレスを図 1.2-1、図 1.2-2 に示します。

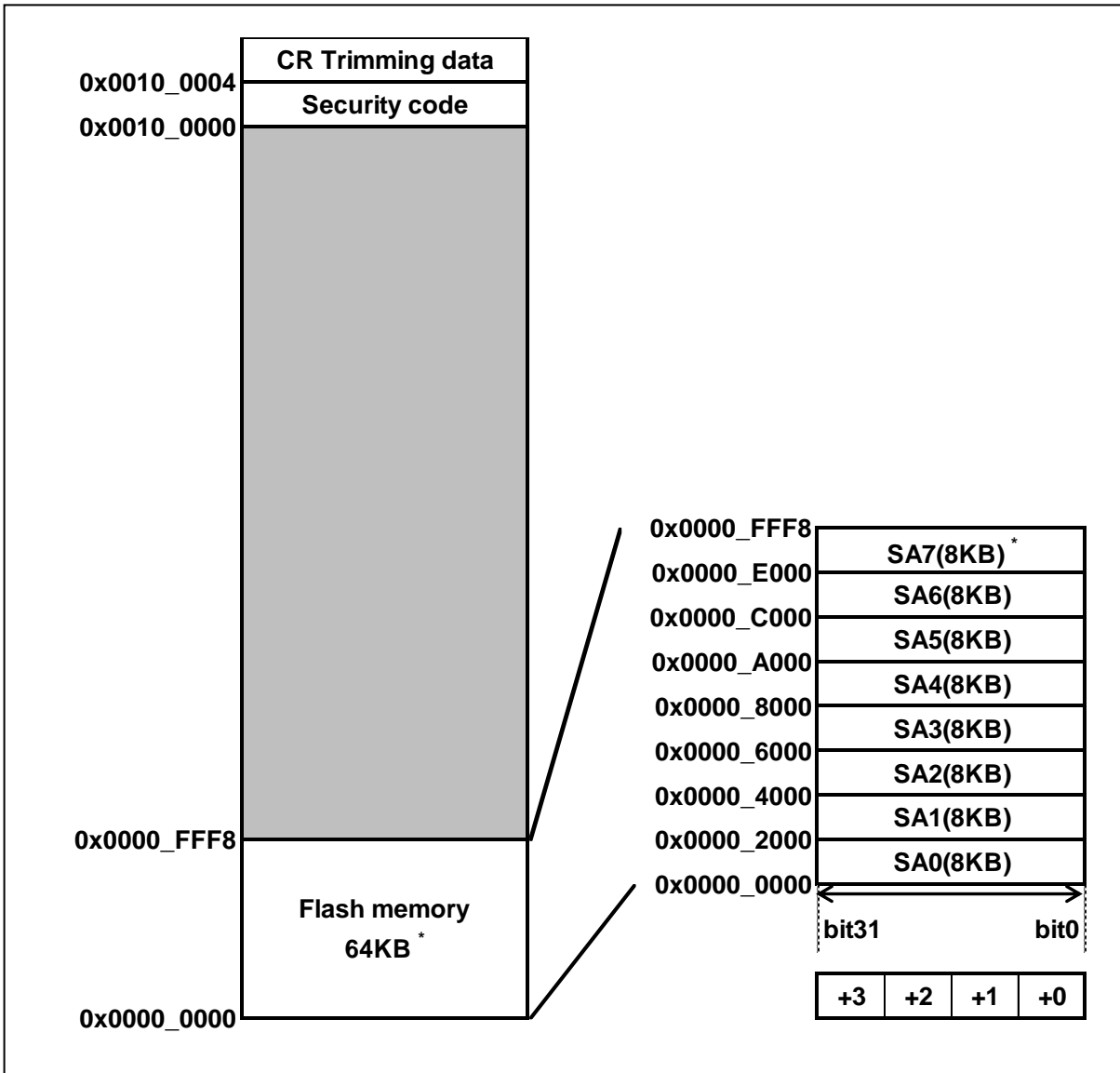
セキュリティについての詳細は、『フラッシュセキュリティ』の章を参照してください。

高速 CR トリミングデータの詳細は、「1.4.6 CRTRMM (CR Trimming Data Mirror Register) CR トリミングデータ・ミラー・レジスタ」と『FM3 ファミリー パリフェラルマニュアル』の『高速 CR トリミング機能』の章を参照してください。

表 1.2-1 各製品型格のフラッシュメモリ容量

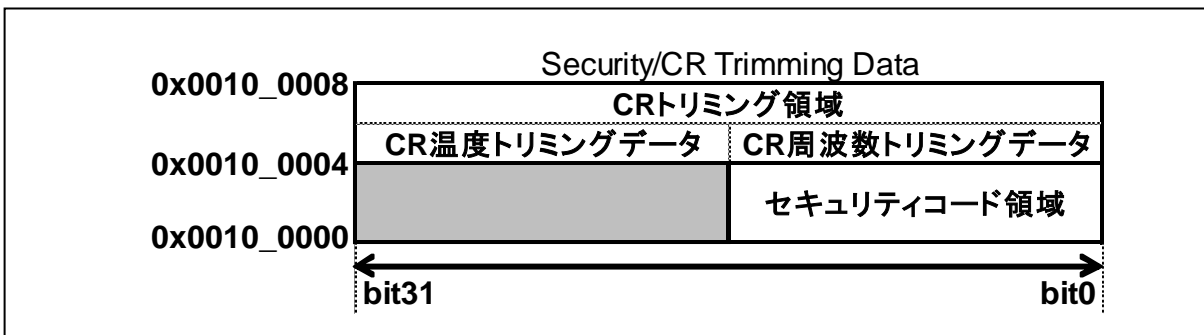
本書での表記	フラッシュメモリサイズ
	64 Kbyte
TYPE10	CY9BF121J
	MB9BF121J
TYPE11	CY9AF421K
	CY9AF421L
	MB9AF421K
	MB9AF421L
	CY9AF121K
	CY9AF121L
	MB9AF121K
	MB9AF121L

図 1.2-1 フラッシュ 64K バイトのアドレス, セクタ構成



*: SA7 (8KB) の 8 バイトをフラッシュセキュリティコードと CR トリミングデータ (0x0010_0000~0x0010_0007) に割り当てています。そのため、セクタ消去時はフラッシュセキュリティコードと CR トリミングデータも消去されます。

図 1.2-2 セキュリティ/CR トリミングデータのアドレス



1.3 動作説明

動作について説明します。

1.3.1 自動アルゴリズム

1.3.2 フラッシュメモリの動作説明

1.3.3 フラッシュメモリの使用上の注意

1.3.1 自動アルゴリズム

フラッシュメモリへの書込み/消去は自動アルゴリズムを起動して行います。
自動アルゴリズムについて説明します。

1.3.1.1 コマンドシーケンス

1.3.1.2 コマンド動作説明

1.3.1.3 自動アルゴリズムの実行状態

1.3.1.1 コマンドシーケンス

フラッシュメモリへ決められたフォーマットにてデータを書き込むと自動アルゴリズムが起動します。これをコマンドとよびます。コマンドシーケンスを表 1.3-1 に示します。

表 1.3-1 コマンドシーケンス表

コマンド	書き込み回数	1回目		2回目		3回目		4回目		5回目		6回目					
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ				
読出し/ リセット	1	0xXXX	0xF0	-	-	-	-	-	-	-	-	-	-				
書き込み	4	0x554	0xAA	0xAA8	0x55	0x554	0xA0	PA	PD	-	-	-	-				
フラッシュ 消去	6						-	-	-	-	-	-	-	0x554	0x10		
セクタ 消去(セクタ追加なし)	6						-	-	-	-	0x80	0x554	0xAA	0xAA8	0x55	SA	0x30
セクタ 消去(セクタ追加あり)	6~						-	-	-	-	-	-	-	-	-		0xE0
セクタ 消去 一時停止	1	0xXXX	0xB0	-	-	-	-	-	-	-	-	-	-				
セクタ 消去再開	1	0xXXX	0x30	-	-	-	-	-	-	-	-	-	-				

X: 任意

PA: 書き込みアドレス

SA: セクタアドレス (消去対象となるセクタのアドレス範囲内の任意のアドレスを指定してください)

PD: 書き込みデータ

*: 消去するセクタを追加する場合は6回目を繰り返してください。最後のセクタアドレスに0x30を書き込むと消去が開始されます。

<注意事項>

- 表 1.3-1 のデータ表記は下位 8 ビット分のみを表記しています。上位 8 ビットは任意です。
- コマンドはバイト (8 ビット) またはハーフワード (16 ビット) で書き込んでください。
- 表 1.3-1 のアドレス表記は下位 12 ビット分のみを表記しています。上位 20 ビット分は、対象となるフラッシュメモリのアドレス範囲内の任意のアドレスを必ず指定してください。
フラッシュアドレス範囲外のアドレスを指定した場合、フラッシュメモリはコマンドを認識できないため、コマンドシーケンスは正常に動作しません。
- フラッシュセキュリティコードを設定する場合、アドレスには 0x0010_0000 を指定してください。
- CR トリミングデータの設定をする場合、アドレスには 0x0010_0004 (CR 周波数トリミングデータ) または、0x0010_0006 (CR 温度トリミングデータ) を指定してください。
- 「アドレス範囲内の任意のアドレス」に SA7, 0x0010_0000~0x0010_0007 のいずれかを指定すると SA7, フラッシュセキュリティコード, CR トリミングデータ共に消去されます。いずれかのみを消去することはできません。

1.3.1.2 コマンド動作説明

コマンド動作を説明します。
コマンド動作プログラムは RAM に配置して実行してください。

■ 読出し/リセットコマンド

読出し/リセットコマンドを発行すると、フラッシュメモリを読出し/リセット状態にでき、ほかのコマンドが発行されるまで読出し状態を保持します。

自動アルゴリズムの実行がタイミングリミットを超過 (HANG) した場合は、読出し/リセットコマンドを発行するとフラッシュメモリが読出し/リセット状態へ復帰します。

読出し/リセットコマンドは各実行コマンドの途中で発行しても有効です。この場合にはそれ以前に入力したコマンドはクリアされるため、再度最初からコマンドを入力しなおす必要があります。

実際の動作については、「1.3.2.1 読出し/リセット動作」を参照してください。

■ プログラム (書込み) コマンド

書込みコマンドを 4 回連続で発行すると、4 回目に指定したアドレスにデータを書き込むことができます。4 回目に指定したデータ幅によりバイト (8 ビット) またはハーフワード (16 ビット) 単位の書込みが可能です。1~3 回目のコマンドについてはデータ幅の判定は行いません。

4 回目のコマンド発行が終了すると、自動アルゴリズムが起動し、フラッシュメモリへの自動書込みが開始されます。自動書込みアルゴリズムコマンドシーケンス実行後は、外部からフラッシュメモリを制御する必要はありません。

実際の動作については、「1.3.2.2 書込み動作」を参照してください。

<注意事項>

1 回の書込みコマンドシーケンスではバイトまたはハーフワードのデータ 1 つしか書き込めません。複数のデータを書き込みたい場合は、1 データに 1 度書込みコマンドシーケンスを発行してください。

■ フラッシュ消去 (全セクター一括消去) コマンド

フラッシュ消去コマンドを 6 回連続して送るとフラッシュメモリの全セクターを一括でデータの消去ができます。6 回目の書込みが終了すると、自動アルゴリズムが起動しフラッシュ消去動作が開始されます。

<注意事項>

フラッシュ消去コマンドにより、セキュリティ/CR トリミングデータの値も消去されます。

■ セクタ消去コマンド

セクタ消去コマンドを6回連続して送ると6回目に指定したセクタのデータを消去できます。6回目の書込みデータが0x30の場合、自動アルゴリズムが起動しセクタ消去動作が開始されます。

6回目の書込みデータであるセクタ消去コードに0xE0を発行することによりデータ消去するセクタを追加することができます。7回目以降は追加するセクタアドレスにセクタ消去コード0xE0を書き込むことでさらに消去するセクタを追加することができます。最後にセクタ消去コード0x30を書き込むことで自動アルゴリズムが起動し、指定した複数セクタの消去動作が開始されます。

追加するセクタ数には制限はなく、全セクタを追加して一括消去することもできます。

<注意事項>

- セクタ消去は、セクタ消去コードに0x30を書き込むことで消去動作が開始されます。0xE0では消去動作は開始されません。
- SA7, フラッシュセキュリティコード, CR トリミングデータは同じセクタのため、これらのいずれかを指定してセクタ消去を行うと共に消去されます。いずれかのみを消去することはできません。

■ セクタ消去一時停止コマンド

セクタ消去中に、セクタ消去一時停止コマンドを発行することによって、セクタ消去を一時停止できます。セクタ消去一時停止状態では、消去対象以外のセクタのメモリセルについて読出しおよび書込み動作が可能です。

実際の動作については、「1.3.2.5 セクタ消去一時停止動作」を参照してください。

<注意事項>

- このコマンドはセクタ消去中のみ有効です。フラッシュ消去中や書込み中に、このコマンドを発行しても無視されます。
- セクタ消去一時停止状態でのフラッシュ消去および消去対象以外のセクタ消去はできません。

■ セクタ消去再開コマンド

セクタ消去一時停止状態から、中断していた消去動作を再開するためにはセクタ消去再開コマンドを発行してください。セクタ消去再開コマンドを発行すると、セクタ消去状態に戻り消去動作が再開されます。

実際の動作については、「1.3.2.6 セクタ消去再開動作」を参照してください。

<注意事項>

本コマンドはセクタ消去一時停止中のみ有効です。セクタ消去中に本コマンドを発行しても無視されます。

1.3.1.3 自動アルゴリズムの実行状態

フラッシュメモリでは、書込みや消去を自動アルゴリズムで行います。自動アルゴリズムの各状態をフラッシュ・ステータス・レジスタ (FSTR) にて確認できます。

■ フラッシュ・ステータス・レジスタ

自動アルゴリズムの各状態を示すレジスタです。フラッシュ・ステータス・レジスタのビット構成を図 1.3-1 に示します。

図 1.3-1 フラッシュ・ステータス・レジスタのビット構成

bit	7	6	5	4	3	2	1	0
Field	予約	予約	PGMS	SERS	ESPS	CERS	HNG	RDY

<注意事項>

コマンド発行直後は正しい値を読み出せない場合があるため、コマンド発行後 1 回目のフラッシュ・ステータス・レジスタの読出し値は無視してください。

□ 各ビットとフラッシュメモリの状態

フラッシュ・ステータス・レジスタの各ビットの状態とフラッシュメモリ状態の対応を表 1.3-2 に示します。

表 1.3-2 フラッシュ・ステータス・レジスタの各ビット状態一覧

状態		PGMS	SERS	ESPS	CERS	HNG	RDY	
実行中	プログラム(書込み)	1	0	0	0	0	0	
	フラッシュ	0	0	0	0	0	0	
	消去							
	セクタ消去	0	1	0	0	0	0	
	セクタ消去 一時停止中	プログラム(書込み) (消去対象外セクタ)	1	1	1	0	0	0
		上記以外	0	1	1	0	0	1
タイム リミッ ト超過	プログラム(書込み)	1	0	0	0	1	0	
	フラッシュ	0	0	0	0	1	0	
	消去							
	セクタ消去	0	1	0	0	1	0	
	セクタ消去 一時停止中	プログラム(書込み) (消去対象外セクタ)	1	1	1	0	1	0

(注意事項) 読み出される値については、「□ ビット説明」を参照してください。

□ ビット説明

[bit7:6] 予約ビット

[bit5] PGMS : プログラム (書込み) 状態フラグビット

プログラム (書込み) コマンド発行後、RDY=0 となり本ビットが"1"にセットされます。
本ビットが"1"の間はプログラム (書込み) 状態を示します。
プログラム (書込み) 終了後、本ビットは"0"にクリアされ、RDY=1 となります。

[bit4] SERS : セクタ消去状態フラグビット

セクタ消去コマンド発行後、RDY=0 となり本ビットが"1"にセットされます。
本ビットが"1"の間はセクタ消去状態を示します。
セクタ消去終了後、本ビットは"0"にクリアされ、RDY=1 となります。
セクタ消去中にセクター一時停止コマンドを発行すると消去動作を一時的に停止します。この消去停止状態中も本ビットは"1"のままです。

[bit3] ESPS : セクタ消去一時停止状態フラグビット

セクタ消去中にセクター一時停止コマンドを発行すると消去動作を一時的に停止し、RDY=1 となり、本ビットが"1"にセットされます。本ビットが"1"の間はセクタ消去一時停止状態を示します。

セクタ消去再開コマンドを発行することで本ビットは"0"にクリアされ、セクタ消去動作が再開されます。

セクタ消去一時停止状態では消去対象外セクタに対しプログラム (書込み) コマンドを発行することが可能となります。コマンドを発行すると RDY ビットが"0"、PGMS ビットが"1"にセットされプログラム (書込み) 状態となります。

[bit2] CERS : フラッシュ消去状態フラグビット

フラッシュ消去コマンド発行後、RDY ビットが"0"となり、消去前内部動作状態となります。本状態ではまだ本ビットは"1"にセットされません。消去前内部動作完了後、フラッシュ消去が開始され本ビットが"1"にセットされます。

本ビットが"1"の間はフラッシュ消去状態を示します。

フラッシュ消去終了後、本ビットは"0"にクリアされ、RDY=1 となります。

[bit1] HNG : HANG 状態フラグビット

フラッシュメモリには自動アルゴリズムの実行タイムリミットを定める内部タイマを搭載しています。自動アルゴリズムが内部タイマの示す実行タイムリミットに達しても未だ完了しない場合に HANG 状態となり本ビットが"1"にセットされます。

本ビットを"0"にクリアし、通常状態へ復帰するためにはリセットを発生させるか、またはリセットコマンドの発行が必要です。

[bit0] RDY : RDY 状態フラグビット

自動アルゴリズム実行中であるかどうかを示すビットです。フラッシュが書込み/消去中である場合に"0"になり、この状態では実行コマンドは受け付けられません。本ビットが"1"の場合に実行コマンドを受け付けることができます (セクタ消去中のセクター一時停止コマンドを除く)。

1.3.2 フラッシュメモリの動作説明

フラッシュメモリの動作について、コマンドごとに説明します。

1.3.2.1 読出し/リセット動作

1.3.2.2 書込み動作

1.3.2.3 フラッシュ消去動作

1.3.2.4 セクタ消去動作

1.3.2.5 セクタ消去一時停止動作

1.3.2.6 セクタ消去再開動作

1.3.2.1 読出し/リセット動作

読出し/リセット動作を説明します。

読出し/リセットコマンドをフラッシュメモリのアドレス範囲内の任意のアドレスに送るとフラッシュメモリを読出し/リセット状態にできます。

この状態はフラッシュメモリの初期状態のため、電源を投入したときやコマンドが正常終了すると、フラッシュメモリは常に読出し/リセット状態に戻ります。電源投入時はデータ読出しコマンドを発行する必要はありません。また、読出し/リセット状態では通常の読出しアクセスでデータを読み出したり、CPU からプログラムアクセスしたりできます。このため、データを読み出すときに読出し/リセットコマンドを発行する必要はありません。

1.3.2.2 書込み動作

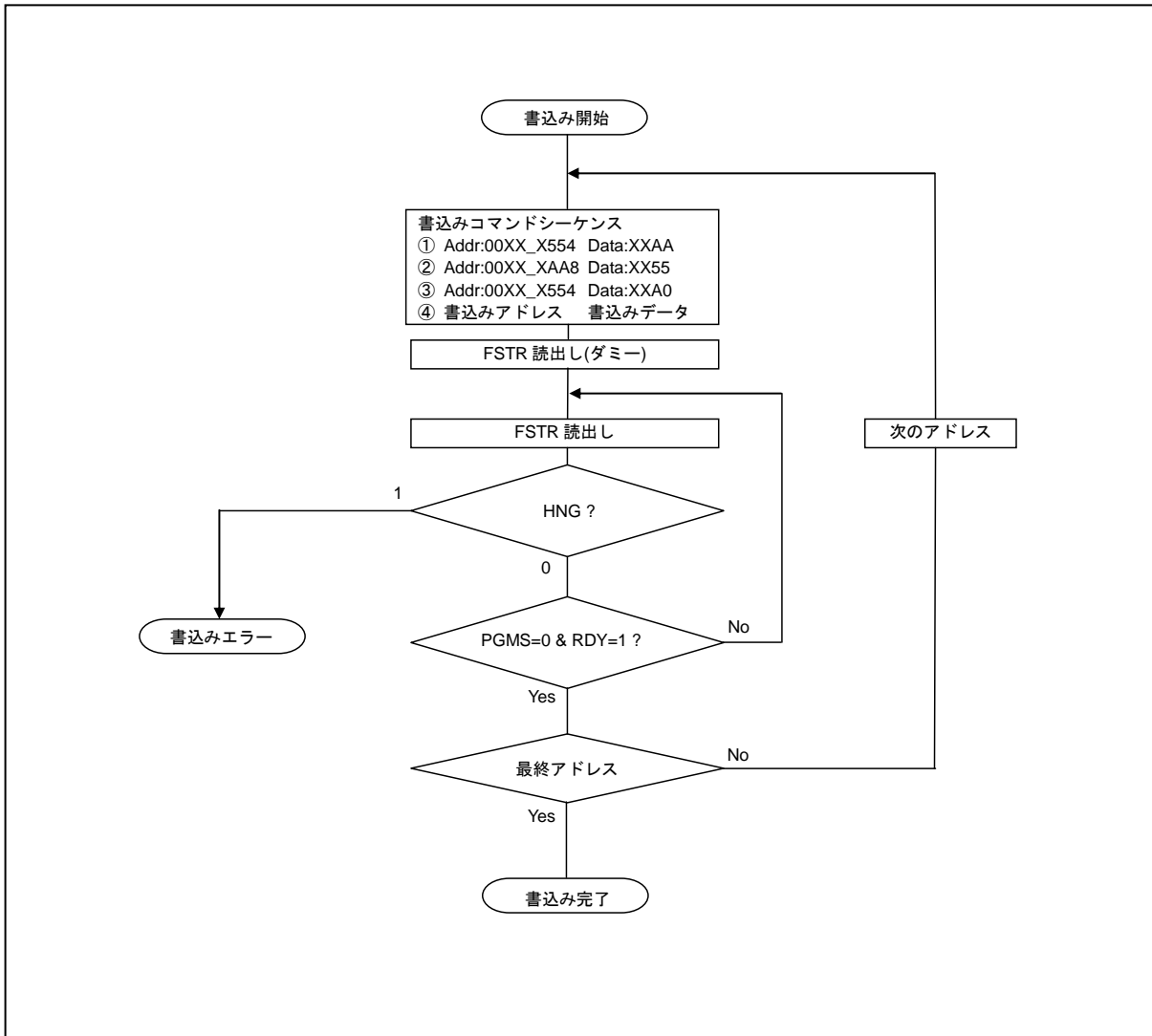
書込み動作を説明します。

以下の手順で、書込みを行ってください。

1. プログラム (書込み) コマンドを連続して発行する。
自動アルゴリズムが起動されフラッシュメモリへデータが書き込まれます。
書込みコマンド発行後は外部からフラッシュメモリを制御する必要はありません。
2. フラッシュ・ステータス・レジスタ(FSTR)を確認する。
プログラム (書込み) コマンド発行後、フラッシュ・ステータス・レジスタの RDY ビットが"0"、PGMS ビットが"1"になります。その後書込みが終了すると、RDY ビットが"1"、PGMS ビットが"0"になります。

フラッシュメモリへの書込み手順例を図 1.3-2 に示します。

図 1.3-2 書き込み手順例



<注意事項>

- 書き込みコマンドについては、「1.3.1 自動アルゴリズム」を参照してください。
- コマンドシーケンスのアドレス表記は下位 12 ビット分のみ表記しています。上位 20 ビット分は、対象となるフラッシュメモリアドレスのアドレス範囲内の任意のアドレスを必ず指定してください。フラッシュアドレス範囲外のアドレスを指定した場合、フラッシュメモリはコマンドを認識できないため、コマンドシーケンスは正しく動きません。
- コマンド発行直後は正しい値を読み出せない場合があるため、コマンド発行後 1 回目のフラッシュ・ステータス・レジスタ (FSTR) の読出し値は無視してください。
- フラッシュメモリへは、どのようなアドレスの順番でも、またセクタの境界を越えても書き込めます。しかし 1 回の書き込みコマンドシーケンスではバイトまたはハーフワードのデータ 1 つしか書き込めません。複数のデータを書き込みたい場合は、1 データに 1 度書き込みコマンドシーケンスを発行してください。
- 書き込み動作中はフラッシュメモリへ発行されたすべてのコマンドが無視されます。
- 書き込み中に本デバイスがリセットされた場合は、書き込んでいるデータは保証されません。

1.3.2.3 フラッシュ消去動作

フラッシュ消去動作を説明します。

フラッシュメモリの全セクタを一括してデータを消去できます。これをフラッシュ消去とよびます。

フラッシュ消去コマンドを対象セクタに連続して送ると自動アルゴリズムを起動して、全セクタを一括でデータ消去できます。

フラッシュ消去コマンドについては、「1.3.1 自動アルゴリズム」を参照してください。

1. フラッシュ消去コマンドを連続して発行する。
自動アルゴリズムが起動されフラッシュメモリのフラッシュ消去動作が開始されます。
2. フラッシュ・ステータス・レジスタ (FSTR) を確認する。
フラッシュ消去コマンド発行後、フラッシュ・ステータス・レジスタの RDY ビットが"0"になります。この時フラッシュは消去前内部動作状態となり CERS ビットは"0"の状態で保持されています。その後消去が開始されると CERS ビットが"1"にセットされます。
フラッシュ消去が完了すると RDY ビットが"1"、CERS ビットは"0"にクリアされます。

1.3.2.4 セクタ消去動作

セクタ消去動作を説明します。

フラッシュメモリ内のセクタを選択して、選択したセクタのデータのみを消去できます。複数のセクタも同時に指定できます。

以下の手順で、セクタ消去を行ってください。

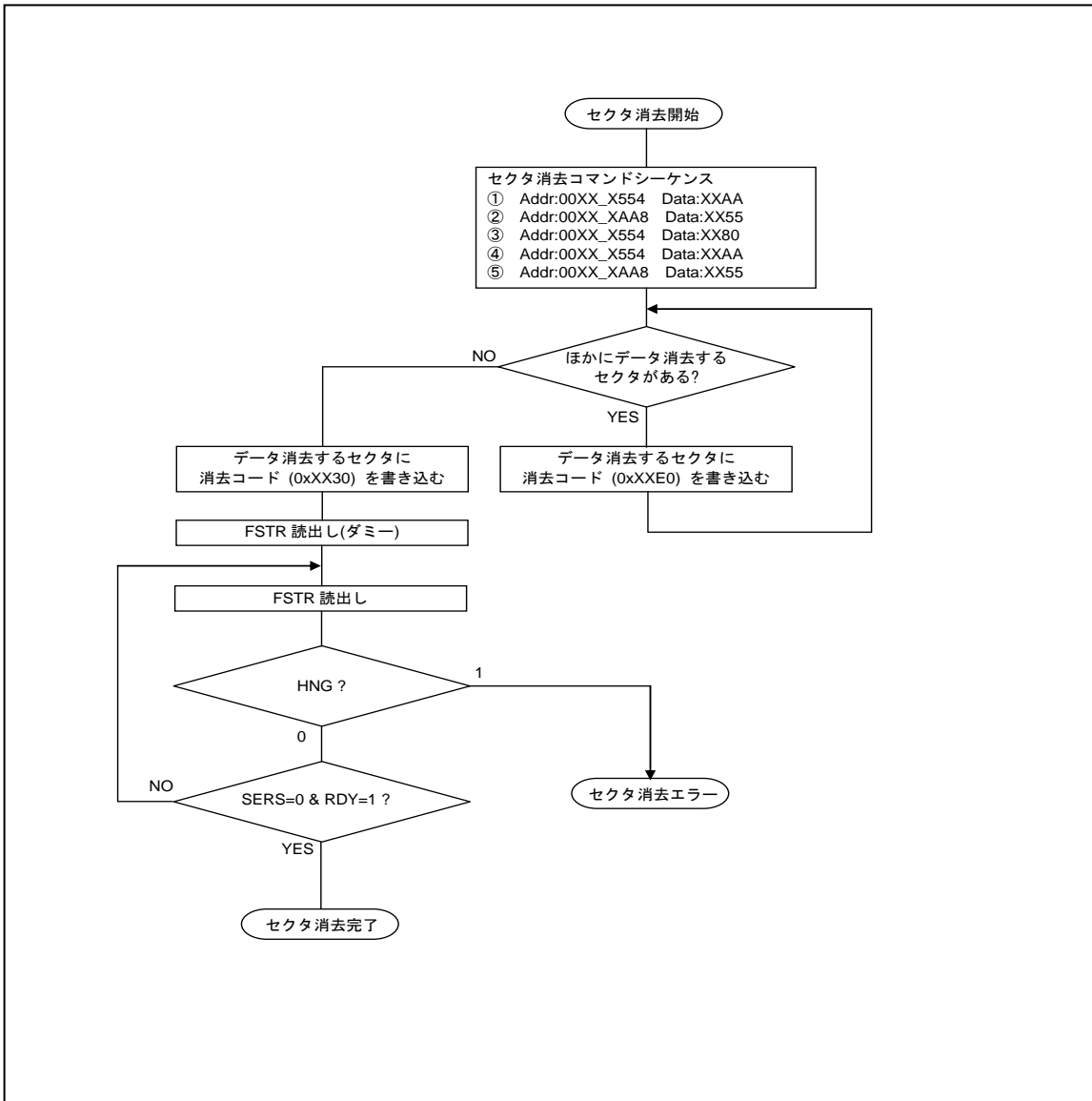
1. セクタ消去コマンドを対象セクタに連続して発行する。
自動アルゴリズムが起動され指定したセクタの消去が開始します。

複数のセクタを消去したい場合は、6回目の書込みデータ (コマンドデータ) として 0xE0 を書き込んでください。7回目以降も追加するセクタアドレスに 0xE0 を書き込むことでさらに消去するセクタを追加できます。最後のセクタアドレスに 0x30 を書き込むことで自動アルゴリズムが起動され指定した複数のセクタのデータ消去が開始します。

追加するセクタ数には制限はなく、全セクタを追加して一括消去することもできます。
2. フラッシュ・ステータス・レジスタ (FSTR) を確認する。
セクタ消去コマンド発行後、フラッシュ・ステータス・レジスタの RDY ビットが"0"、SERS ビットが"1"になります。その後、指定したすべてのセクタ消去が終了すると、RDY ビットが"1"、SERS ビットが"0"になります。

セクタ消去手順例を図 1.3-3 に示します。

図 1.3-3 セクタ消去手順例



セクタ消去動作が終了すると、フラッシュメモリは読出し/リセットモードに戻ります。

<注意事項>

- セクタ消去コマンドについては、「1.3.1 自動アルゴリズム」を参照してください。
- コマンドシーケンスのアドレス表記は下位 12 ビット分のみ表記しています。上位 20 ビット分は、対象となるフラッシュメモリアドレスのアドレス範囲内の任意のアドレスを必ず指定してください。フラッシュアドレス範囲外のアドレスを指定した場合、フラッシュメモリはコマンドを認識できないため、コマンドシーケンスは正しく動きません。
- コマンド発行直後は正しい値を読み出せないことがあるため、コマンド発行後 1 回目のフラッシュ・ステータス・レジスタ(FSTR)の読出し値は無視してください。
- SA7, フラッシュセキュリティコード, CR トリミングデータは同じセクタのため、これらのいずれかを指定してセクタ消去を行うと共に消去されます。いずれかのみを消去することはできません。

1.3.2.5 セクタ消去一時停止動作

セクタ消去一時停止動作を説明します。

セクタ消去中にセクタ消去一時停止コマンドを発行すると、セクタ消去一時停止状態に遷移し、消去動作を一時的に中断します。

消去再開コマンドを発行することによってセクタ消去状態に戻り、中断していた消去動作を再開できます。

■ セクタ消去一時停止動作

以下の手順でセクタ消去が一時停止されます。

1. セクタ消去中に、セクタ消去一時停止コマンドをフラッシュメモリのアドレス範囲内の任意のアドレスへ書き込みます。
2. フラッシュ・ステータス・レジスタ (FSTR) を確認する。
セクタ消去一時停止コマンド発行後、フラッシュ・ステータス・レジスタの RDY ビットが"0"、ESPS ビットが"1"になります。この状態で消去対象以外のセクタのメモリセルについて読出しおよび書込み動作が可能になります。

<注意事項>

- セクタ消去一時停止コマンドについては、「1.3.1 自動アルゴリズム」を参照してください。
- セクタ消去一時停止後に消去対象のセクタを読み出した場合、読出し値は不定です。

1.3.2.6 セクタ消去再開動作

セクタ消去一時停止中にセクタ消去を再開する動作を説明します。

セクタ消去を一時停止中に、フラッシュメモリのアドレス範囲内の任意のアドレスにセクタ消去再開コマンドを発行することで、セクタ消去を再開できます。

セクタ消去再開コマンドが発行されると、セクタ消去一時停止中のセクタ消去動作が再開されます。

セクタ消去再開コマンドについては、「1.3.1 自動アルゴリズム」を参照してください。

<注意事項>

セクタ消去再開コマンドは、セクタ消去一時停止中のみ有効です。セクタ消去中にセクタ消去再開コマンドを発行しても無視されます。

1.3.3 フラッシュメモリの使用上の注意

フラッシュメモリの使用上の注意について説明します。

- 書き込み中に本デバイスがリセットされた場合は、書き込んでいるデータは保証されません。
また、書き込み・消去中には、ウォッチドッグタイマなどの予期しないリセットがかからないようにする必要があります。
- 自動アルゴリズムのコマンド発行直後にフラッシュ・ステータス・レジスタを読み出す場合は、必ずダミーの読出しを行ってください。
- 本デバイスを低消費電力モードへ遷移させる場合は、フラッシュメモリ自動アルゴリズムの動作が終了していることを必ず確認してください。
低消費電力モードについては、『FM3 ファミリ ペリフェラルマニュアル』の『低消費電力モード』の章を参照してください。
- SA7, フラッシュセキュリティコード, CR トリミングデータは同じセクタのため、これらのいずれかを指定してセクタ消去を行うと共に消去されます。いずれかのみを消去することはできません。

1.4 レジスタ

レジスタについて説明します。

■ レジスタ一覧

レジスタ略称	レジスタ名	参照先
FRWTR	フラッシュ・リードウェイト・レジスタ	1.4.1
FSTR	フラッシュ・ステータス・レジスタ	1.4.2
FICR	フラッシュ・割込み制御・レジスタ	1.4.3
FISR	フラッシュ・割込みステータス・レジスタ	1.4.4
FICLR	フラッシュ・割込みクリア・レジスタ	1.4.5
CRTRMM	CR トリミングデータ・ミラー・レジスタ	1.4.6

1.4.1 FRWTR (Flash Read Wait Register) フラッシュ・リードウェイト・レジスタ

FRWTR レジスタは、フラッシュメモリに対するウェイトサイクルを設定します。

■ TYPE10 製品

bit	7	6	5	4	3	2	1	0
Field	予約						RWT	
属性							R/W	R/W
初期値							1	0

[bit7:2] 予約ビット

読出し値は不定です。書込み時は無視されます。

[bit1:0] RWT: Read Wait Cycle

フラッシュメモリのリードウェイトサイクルを指定します。

名称	bit	説明
RWT	1:0	00:0 サイクルウェイト HCLK が 20MHz 以下の場合に設定可能です。
		01:0~1 サイクルウェイト HCLK が 20MHz を超え、40MHz 以下の場合に設定可能です。
		10: プリフェッチモード(初期値) HCLK が 40MHz を超える場合には必ず設定してください。
		11: 設定禁止

<注意事項>

- HCLK が 20MHz を超える場合は RWT=00 での使用は禁止です。RWT=00 のとき、HCLK が一瞬でも 20MHz を超えないようにしてください。
- HCLK が 40MHz を超える場合は RWT=00 および RWT=01 での使用は禁止です。RWT=00 または RWT=01 のとき、HCLK が一瞬でも 40MHz を超えないようにしてください。
- 本レジスタを変更後、必ず本レジスタに対してダミーリードを行ってください。

■ TYPE11 製品

bit	7	6	5	4	3	2	1	0
Field	予約						RWT	
属性							R/W	R/W
初期値							0	1

[bit7:2] 予約ビット

読出し値は不定です。書込み時は無視されます。

[bit1:0] RWT: Read Wait Cycle

フラッシュメモリのリードウェイトサイクルを指定します。

名称	bit	説明
RWT	1:0	00: 0 サイクルウェイト HCLK が 20MHz 以下の場合に設定可能です。
		01: 0~1 サイクルウェイト (初期値) HCLK が 20MHz を超える場合には必ず設定してください。
		10: 設定禁止
		11: 設定禁止

<注意事項>

- HCLK が 20MHz を超える場合は RWT=00 での使用は禁止です。RWT=00 のとき、HCLK が一瞬でも 20MHz を超えないようにしてください。
- 本レジスタを変更後、必ず本レジスタに対してダミーリードを行ってください。

1.4.2 FSTR (Flash Status Register) フラッシュ・ステータス・レジスタ

FSTR レジスタは、フラッシュメモリのステータスを示すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約		PGMS	SERS	ESPS	CERS	HNG	RDY
属性			R	R	R	R	R	R
初期値			0	0	0	0	0	X

[bit7:6] 予約ビット

読出し値は不定です。書込み時は無視されます。

[bit5] PGMS : Flash Program Status

フラッシュメモリのプログラム (書込み動作) 状態を示します。

名称	bit	説明
PGMS	5	0: フラッシュへのプログラム (書込み動作) 中ではない (初期値)。 1: フラッシュへのプログラム (書込み動作) 中。

[bit4] SERS : Flash Sector Erase Status

フラッシュメモリのセクタ消去状態を示します。

名称	bit	説明
SERS	4	0: セクタ消去中ではない (初期値)。 1: セクタ消去中またはセクタ消去一時停止中。

[bit3] ESPS : Flash Erase Suspend Status

フラッシュメモリのセクタ消去一時停止状態を示します。

名称	bit	説明
ESPS	3	0: セクタ消去一時停止中ではない (初期値)。 1: セクタ消去一時停止中。

[bit2] CERS : Flash Chip Erase Status

フラッシュメモリの全セクタ消去状態を示します。

名称	bit	説明
CERS	2	0: フラッシュメモリのデータ消去中ではない (初期値)。 1: フラッシュメモリのデータ消去中。

[bit1] HNG : Flash Hang Status

フラッシュメモリの HANG 状態を示します。タイミング超過すると HANG 状態になります。
 本ビットが"1"になった場合はリセットコマンド (「1.3.1.1 コマンドシーケンス」参照) を発行してください。

名称	bit	説明
HNG	1	0 : フラッシュメモリの HANG 状態を検出していない (初期値)。 1 : フラッシュメモリの HANG 状態を検出。

[bit0] RDY : Flash Ready Status

自動アルゴリズムでフラッシュメモリの書込み/消去動作が実行中か完了しているかを示します。実行中の場合、フラッシュメモリへのデータ書込み/消去はできません。

名称	bit	説明
RDY	0	0 : 書込み/消去動作実行中 (書込み/消去コマンド受付不可) 1 : 書込み/消去動作完了 (書込み/消去コマンド受付可能)

1.4.3 FICR (Flash Interrupt Control Register) フラッシュ・割込み制御・レジスタ

FICR レジスタは、フラッシュメモリの割込み許可の設定を行うレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約						HANGIE	RDYIE
属性							R/W	R/W
初期値							0	0

[bit7:2] 予約ビット

読出し値は不定です。書込み時は無視されます。

[bit1] HANGIE : HANG Interrupt Enable

フラッシュ HANG 状態割込みを許可するビットです。FISR レジスタの HANGIF ビットが"1"で本ビットが"1"の時、CPU に対して割込みを発生します。

名称	bit	説明
HANGIE	1	0: フラッシュ HANG 割込み禁止 (初期値) 1: フラッシュ HANG 割込み許可

[bit0] RDYIE : RDY Interrupt Enable

フラッシュ RDY 割込みを許可するビットです。FISR レジスタの RDYIF ビットが"1"で本ビットが"1"の時、CPU に対して割込みを発生します。

名称	bit	説明
RDYIE	0	0: フラッシュ RDY 割込み禁止 (初期値) 1: フラッシュ RDY 割込み許可

<注意事項>

本レジスタのビットを"1"に設定し、割込みを許可する前には必ず FISR レジスタの該当ビットをクリアしてください。

1.4.4 FISR (Flash Interrupt Status Register) フラッシュ・割込みステータス・レジスタ

FISR レジスタは、フラッシュメモリの割込み状態を示すレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約						HANGIF	RDYIF
属性							R/W	R/W
初期値							0	0

[bit7:2] 予約ビット

読出し値は不定です。書込み時は無視されます。

[bit1] HANGIF : HANG Interrupt Flag

フラッシュ HANG 状態を検出した場合"1"にセットされます。HANG 信号の立上りエッジで"1"にセットされます。FICLR レジスタの HANGC ビットへの"1"書込みで"0"にクリアされます。

名称	bit	説明
HANGIF	1	0: フラッシュ HANG 状態を検出していない(初期値)。 1: フラッシュ HANG 状態を検出。

[bit0] RDYIF : RDY Interrupt Flag

フラッシュ RDY 状態を検出した場合"1"にセットされます。RDY 信号の立上りエッジで"1"にセットされます。FICLR レジスタの RDYC ビットへの"1"書込みで"0"にクリアされます。

名称	bit	説明
RDYIF	0	0: フラッシュ RDY 状態を検出していない(初期値)。 1: フラッシュ RDY 状態を検出。

1.4.5 FICLR (Flash Interrupt Clear Register) フラッシュ・割込みクリア・レジスタ

FICLR レジスタは、フラッシュメモリの割込みフラグをクリアするレジスタです。

bit	7	6	5	4	3	2	1	0
Field	予約						HANGC	RDYC
属性							W	W
初期値							0	0

[bit7:2] 予約ビット

読出し値は不定です。書込み時は無視されます。

[bit1] HANGC : HANG Interrupt Clear

HANG 割込みフラグのクリアビットです。本ビットへ"1"を書き込むことで FISR レジスタの HANGIF ビットを"0"にクリアします。

名称	bit	説明
HANGC	1	ライト時 0 : フラッシュ HANG 割込みフラグ (HANGIF) は変化しない (初期値)。 1 : フラッシュ HANG 割込みフラグ (HANGIF) を"0"にクリア。 リード時 "0"が読み出されます。

[bit0] RDYC : RDY Interrupt Clear

RDY 割込みフラグのクリアビットです。本ビットへ"1"を書き込むことで FISR レジスタの RDYIF ビットを"0"にクリアします。

名称	bit	説明
RDYC	0	ライト時 0 : フラッシュ RDY 割込みフラグ (RDYIF) は変化しない (初期値)。 1 : フラッシュ RDY 割込みフラグ (RDYIF) を"0"にクリア。 リード時 "0"が読み出されます。

1.4.6 CRTRMM (CR Trimming Data Mirror Register) CR トリミングデータ・ミラー・レジスタ

CRTRMM レジスタは、CR トリミングデータのミラーレジスタです。
ユーザモード、シリアルライターモードで本レジスタの値を使用できます。

bit	31	21	20	16	15	10	9	0
Field	予約			TTRMM		予約		TRMM
属性				R				R
初期値				*				*

[bit31:21] 予約ビット

読出し値は不定です。書込み時は無視されます。

[bit20:16] TTRMM : CR Temperature Trimming Data Mirror Bit

リセット解除後、フラッシュメモリ領域のアドレス 0x0010_1006 番地の bit[4:0] (CR 温度トリミングデータ) が本ビットに格納されます。

高速 CR トリミングデータの詳細は、『FM3 ファミリ ペリフェラルマニュアル』の『高速 CR トリミング機能』の章を参照してください。

名称	bit	説明
TTRMM	20:16	*:アドレス 0x0010_1006 番地の bit [4:0] が読み出されます。

[bit15:10] 予約ビット

読出し値は不定です。書込み時は無視されます。

[bit9:0] TRMM : CR Trimming Data Mirror Bit

リセット解除後、フラッシュメモリ領域のアドレス 0x0010_1004 番地の bit[9:0] (CR 周波数トリミングデータ) が本ビットに格納されます。

高速 CR トリミングデータの詳細は、『FM3 ファミリ ペリフェラルマニュアル』の『高速 CR トリミング機能』の章を参照してください。

名称	bit	説明
TRMM	9:0	*:アドレス 0x0010_1004 番地の bit [9:0] が読み出されます。

<注意事項>

フラッシュメモリを消去した後、チップ内部にリセットが発行されると本レジスタはクリアされます。このとき、格納されている CR トリミングデータは消失します。そのため、本レジスタがクリアされる前にレジスタに格納されている CR トリミングデータを RAM などに退避してください。

2 フラッシュセキュリティ



フラッシュセキュリティ機能によりフラッシュメモリの内容を保護できます。

フラッシュセキュリティの概要、動作について説明します。

- 2.1 概要
- 2.2 動作説明

2.1 概要

フラッシュセキュリティの概要を説明します。

フラッシュメモリのセキュリティコード領域に保護コード"0x0001"を書き込むと、フラッシュメモリへのアクセスを制限できます。フラッシュメモリを一度保護すると、フラッシュ消去を行うまで保護された状態は解除できません。保護された状態を解除しない限り、外部端子からフラッシュメモリのデータを読み出し/書き込みをすることはできません。

この機能はフラッシュメモリに格納される自己完結型プログラムやデータのセキュリティを必要とするアプリケーションに適しています。

表 2.1-1 にセキュリティコードのアドレスと保護コードを示します。

表 2.1-1 セキュリティコードのアドレスと保護コード

アドレス	保護コード
0x0010 0000	0x0001

2.2 動作説明

フラッシュセキュリティの動作を説明します。

■ セキュリティのかけ方

セキュリティコードのアドレスに保護コード"0x0001"を書き込みます。すべてのリセット要因または電源再投入後に有効となりセキュリティがかかります。

■ セキュリティの解除

フラッシュ消去実行後のすべてのリセット要因または電源再投入で、セキュリティは解除されます。

■ セキュリティ有効時の動作

セキュリティ有効時の動作は、各モードにより動作が異なります。

表 2.2-1 に各モードにおけるセキュリティ動作について示します。

表 2.2-1 セキュリティ有効時のフラッシュ動作

モード	モード端子		フラッシュへのアクセス			デバッグ端子からのアクセス
	MD1	MD0	フラッシュ消去	その他のコマンド	読出し	
ユーザモード	-	0	可能	可能	有効データ	不可能
シリアルライターモード	0	1	可能	不可能	無効データ	不可能

<注意事項>

- 保護コードは、フラッシュプログラミングの最後に書き込むことを推奨します。これは、プログラミング中、不意に保護されてしまうことを防ぐためです。
- ユーザモード時は、セキュリティ有効時でもフラッシュメモリに対して制限はありません。しかし、セキュリティ有効時はデバッグ端子から内部へアクセスできないようにデバッグ端子は固定されます。セキュリティ解除はデバッグ端子を通して行えないため、解除を行う場合はシリアルライターを使用してフラッシュ消去を行ってください。
- セキュリティをかけた状態でのフラッシュメモリ障害解析は一切行えません。

3 シリアル書込み接続



本シリーズは、フラッシュメモリのシリアルオンボード書込み (サイプレス標準) に対応しています。本章では、フラッシュメモリのシリアル書込みについて、サイプレス製シリアルプログラマを用いた場合の基本構成を説明します。

3.1 シリアルプログラマ

3.1 シリアルプログラマ

サイプレス製シリアルプログラマ (ソフトウェア) は、フラッシュメモリ内蔵マイコン全製品を対象にしたオンボードプログラミングツールです。

本シリアルプログラマは、RS-232C に対応しています。

3.1.1 基本構成

3.1.2 使用端子

3.1.1 基本構成

基本構成について説明します。

■ FLASH MCU Programmer (クロック非同期シリアル書込み) の基本構成

FLASH MCU Programmer は、パソコンとユーザシステムを RS-232C ケーブルで接続することで、クロック非同期シリアル通信によりユーザシステム上のマイコンに内蔵されているフラッシュメモリヘータを書き込みます。

本シリーズでは原発振に水晶振動子、外部クロック、内蔵高速 CR 発振器を使用してシリアル書込み (UART 通信モード) が可能です。

なお、外部に水晶振動子を接続せずに内蔵 CR で動作している状態でフラッシュセキュリティ機能が有効になっているフラッシュメモリの消去を行うと、消去後に通信ができなくなり内蔵 CR トリミングデータが消失します。フラッシュセキュリティ機能が有効になっている場合には、外部に水晶振動子を接続してください。

FLASH MCU Programmer の基本構成を図 3.1-1、システム構成を表 3.1-1 に示します。

図 3.1-1 FLASH MCU Programmer の基本構成

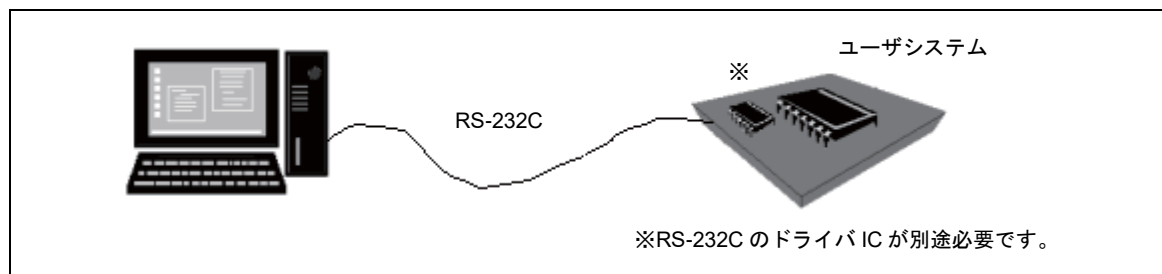


表 3.1-1 FLASH MCU Programmer のシステム構成

名称	仕様
FLASH MCU Programmer	ソフトウェア (入手方法は弊社営業部門までお問い合わせください。)
RS-232C ケーブル	市販品

■ FLASH MCU Programmer の接続例

FLASH MCU Programmer の接続例について説明します。

□ 原発振に水晶振動子を使用する場合

原発振に水晶振動子を使用する場合の FLASH MCU Programmer 接続例を図 3.1-2 に、入力可能な周波数と対応する通信ボーレートを表 3.1-2 に示します。

図 3.1-2 水晶振動子を使用する場合の接続例

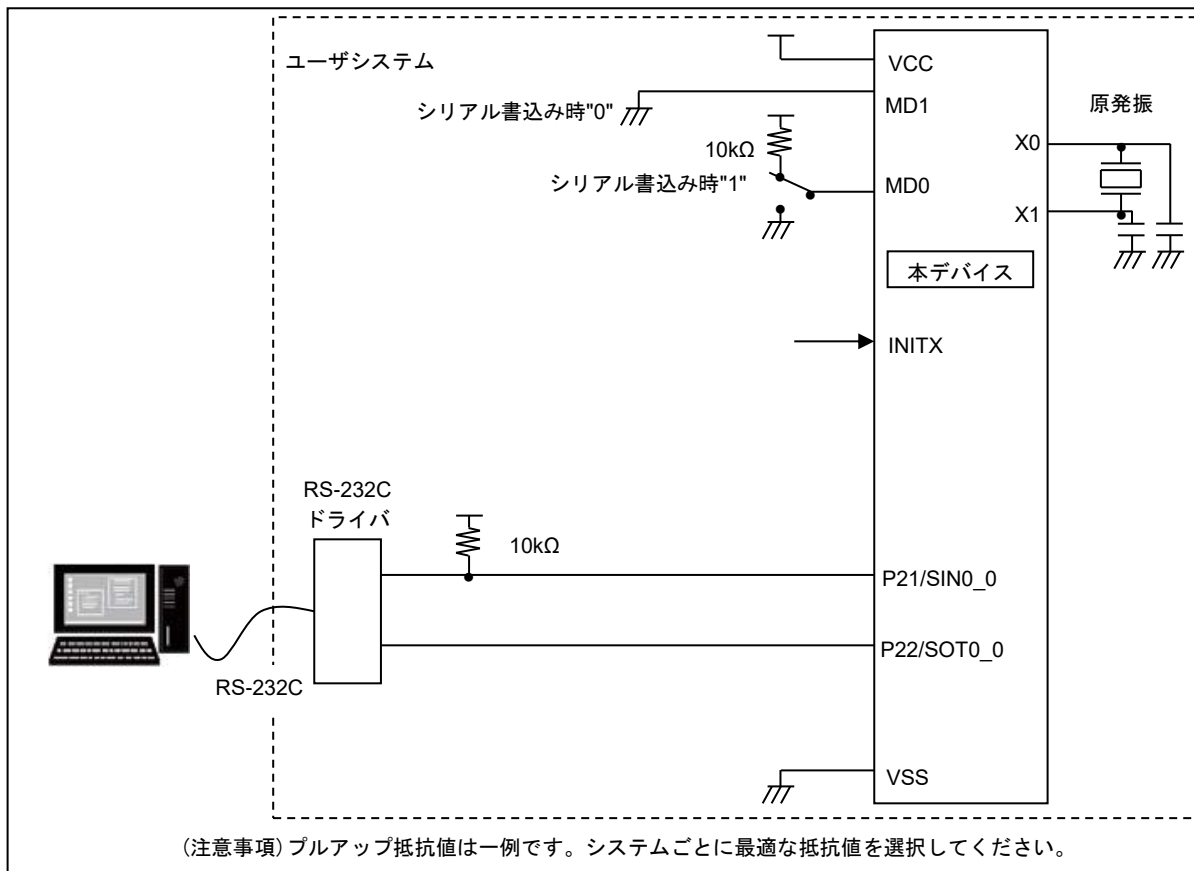


表 3.1-2 クロック非同期シリアル通信時の入力可能な発振周波数と通信ボーレート

原発振周波数	通信ボーレート
4MHz	9600bps
8MHz	19200bps
16MHz	38400bps
24MHz	57600bps
48MHz*	115200bps

*:TYPE10 製品のみ

□ 原発振に内蔵高速 CR 発振器を使用する場合

原発振に内蔵高速 CR 発振器を使用する場合の FLASH MCU Programmer 接続例を図 3.1-3 に示します。

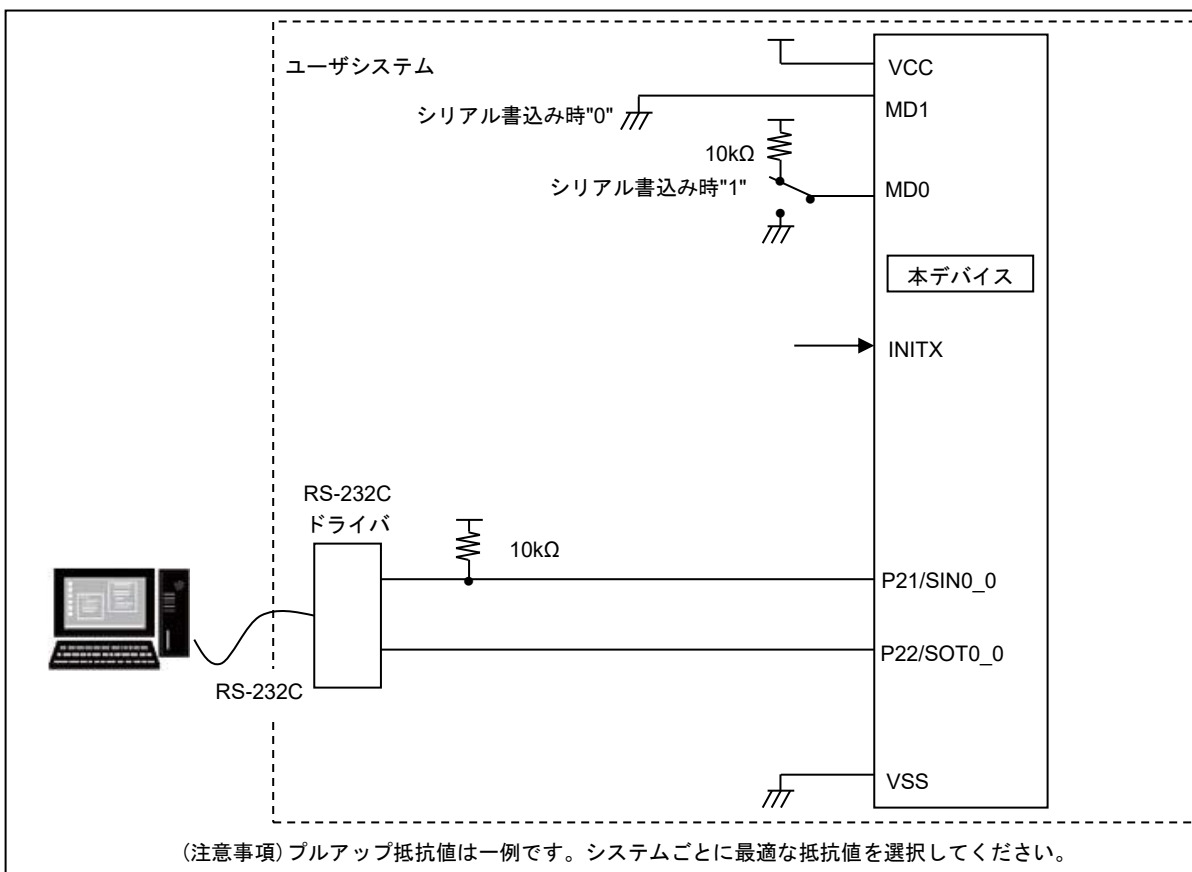
X0/X1 端子に水晶振動子、または外部クロックを接続しない場合に内蔵高速 CR 発振器を使用して通信を行います。

内蔵高速 CR 発振器を使用した場合の通信ボーレートは 9600[bps]になります。

また、内蔵高速 CR 発振器を使用する場合、以下の制限があります。

- 内蔵高速 CR 発振器の発振周波数は温度/電圧により変動するため、許容ボーレート誤差範囲を超える場合があります。
- 内蔵高速 CR 発振器を使用する場合は、ご使用する製品の『データシート』の『内蔵 CR 発振規格』を確認してください。

図 3.1-3 内蔵高速 CR 発振器を使用する場合の接続例



3.1.2 使用端子

使用端子について説明します。

表 3.1-3 シリアル書込みに使用する端子

端子	機能	補足説明
MD0, MD1	モード端子	MD0=H, MD1=L に設定した状態で外部リセットまたは電源投入するとシリアル書込みモードとなります。 なお、プルアップ/プルダウン抵抗を付ける場合は、配線を引き回さないでください。
X0, X1	発振用端子	シリアル書込みモード時に使用可能な原発振クロック (メインクロック) 周波数はご使用する製品の『データシート』を参照してください。 (クロック非同期通信の場合は制限があります。詳細は表 3.1-2 を確認してください。) UART 通信モード時は、メインクロックが存在しない場合でも書込みが可能です。
P22/SOT0_0	UART シリアルデータ出力端子	通信モードを UART とした場合、シリアル書込みモードが起動し、通信が開始された時点でシリアルデータ出力端子となります。
P21/SIN0_0	クロック同期・非同期選択端子/ UART シリアルデータ入力端子	通信を開始するまでの本端子の入力レベルを"H"にするとクロック非同期通信モードとなり、"L"にするとクロック同期通信モードとなります。 通信モードを UART とした場合、シリアル書込みモードが起動し、通信が開始された時点で UART シリアルデータ入力端子として使用できます。
INITX	リセット端子	-
VCC	電源供給端子	書込み時、マイコンの電源はユーザシステムから供給してください。
VSS	GND 端子	-

<注意事項>

- シリアルライターモードで使用しないピンの初期状態は、ユーザモードの初期状態と同じです。ご使用する製品の『データシート』の『各 CPU ステートにおける端子状態』および『FM3 ファミリペリフェラルマニュアル』の関連する章を確認してください。

4 改訂履歴



Document Revision History

ドキュメント名: CY9A420L/120L/CY9B120J シリーズ FM3 Flash Programming Specifications			
ドキュメント番号: 002-04848			
版	発行日	変更者	変更内容
**	04/18/2013	NNAK	サイプレスとしてスパンション MN706-00029-1v0-J をドキュメントコード 002-04848 に登録しました。 本版の内容およびフォーマットに変更はありません。
*A	06/14/2017	NNAK	本版は、英語版 002-04847 Rev. *A の日本語版です。
*B	03/29/2018	NOSU	本版は、英語版 002-04847 Rev. *B の日本語版です。 マイコンサポート情報のリンクを更新 コマンドシーケンス内のアドレス表記に関する注意書きを追加 セキュリティが有効なフラッシュの消去を行うとトリミングデータが消失する旨の注意書きを追加 シリアルライターモードで使用しないピンについての注意書きを追加
*C	01/28/2019	NNAK	本版は、英語版 002-04847 Rev. *C の日本語版です。 シリーズ名を変更 MB9A420L/120L/MB9B120J -> CY9A420L/120L/CY9B120J タイトルとカテゴリを変更