

**誤り訂正符号 (ECC) 内蔵の 4M ビット (512K
ワード × 8 ビット) スタティック RAM**

特長

- 高速
 - $t_{AA} = 10\text{ns}$
- シングルビット エラー訂正用の内蔵 ECC^[1]
- LOW アクティブおよび待機時電流
 - アクティブ電流: $I_{CC} = 38\text{mA (typ)}$
 - 待機時電流: $I_{SB2} = 6\text{mA (typ)}$
- 動作電圧範囲: 1.65V ~ 2.2V, 2.2V ~ 3.6V、および 4.5V ~ 5.5V
- 1.0V データ保持
- TTL 互換の入出力
- 1 ビット誤り検出と訂正を示す誤り表示 (ERR) ピン
- 鉛フリー 36 ピン SOJ および 44 ピン TSOP II パッケージ

機能説明

CY7C1049G と CY7C1049GE は内蔵 ECC を備えた高性能 CMOS 高速スタティック RAM デバイスです。両方のデバイスともシングルとデュアル チップ イネーブル オプション、およ

び複数ピンコンフィギュレーションで提供されます。CY7C1049GE デバイスは読み出しサイクル中の誤り検出と訂正の発生を知らせる ERR ピンを備えています。

チップ イネーブル (\overline{CE}) と書き込みイネーブル (\overline{WE}) 入力を LOW にアサートし、データを I/O₀ ~ I/O₇ ピンに入力し、アドレスを A₀ ~ A₁₈ ピンに入力することでデータ書き込みが行われます。

データ読み出しはチップ イネーブル (\overline{CE}) と出カイネーブル (\overline{OE}) 入力を LOW にアサートして、必要なアドレスをアドレスラインに入力することで行われます。読み出しデータは I/O ライン (I/O₀ ~ I/O₇) 上でアクセスします。

全ての I/O (I/O₀ ~ I/O₇) は以下のイベント中に高インピーダンス状態です:

- デバイスが選択解除される ($\overline{CE} = \text{HIGH}$)
- 制御信号 \overline{OE} がアサート解除される

CY7C1049GE デバイスではアクセスされた位置のシングルビット誤りの検出および訂正は、ERR 出力 (ERR = HIGH)^[1] のアサートによって示されます。読み出しと書き込みモードの詳細については、14 ページの真理値表をご参照ください。

ロジック ブロック図は 2 ページに示します。

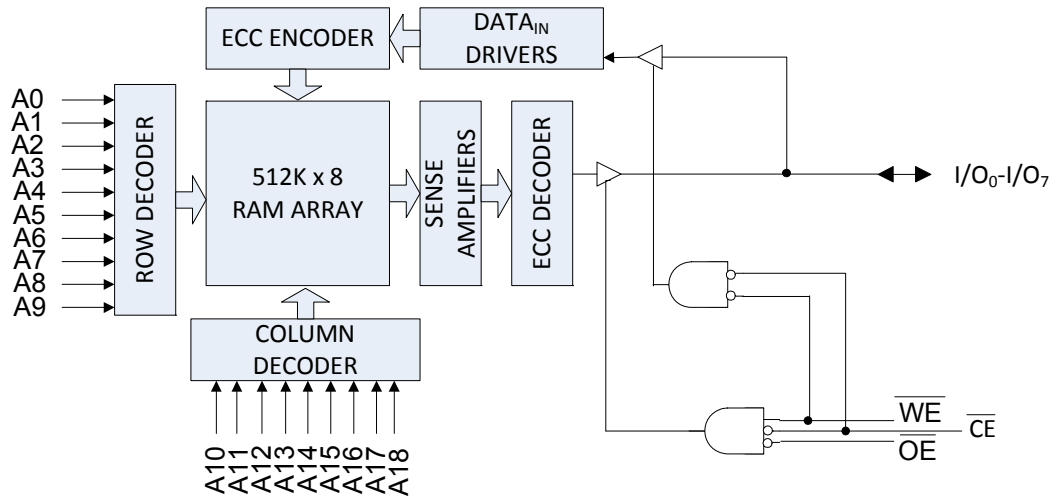
製品ポートフォリオ

製品 ^[2]	特長およびオプション (4 ページのピンコンフィギュレーションをご参照ください)	範囲	V _{CC} の範囲 (V)	速度 (ns) 10/15	電力損失			
					動作時の I _{CC} (mA)		待機時、I _{SB2} (mA)	
					f = f _{max}			
					Typ ^[3]	Max	Typ ^[3]	Max
CY7C1049G(E)18	シングルまたはデュアル チップ イネーブル	産業用	1.65V ~ 2.2V	15	-	40	6	8
CY7C1049G(E)30			2.2V ~ 3.6V	10	38	45		
CY7C1049G(E)	オプション ERR ピン		4.5V ~ 5.5V	10	38	45		

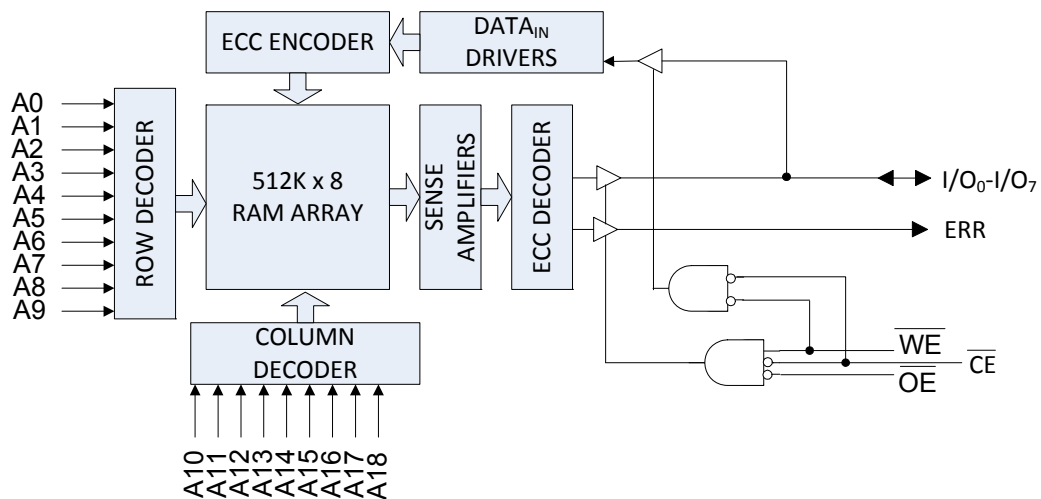
注:

- このデバイスは誤り検出時に自動ライトバックに対応しません。
- ERR ピンは注文コードに ERR オプション「E」があるデバイスにのみ備えています。詳細は、15 ページの注文情報をご参照ください。
- 標準値は単なる参照値であり、保証または試験されていません。標準値は V_{CC} = 1.8V (V_{CC} が 1.65V ~ 2.2V の場合)、V_{CC} = 3V (V_{CC} が 2.2V ~ 3.6V の場合)、および V_{CC} = 5V (V_{CC} が 4.5V ~ 5.5V の場合)、T_A = 25°C で測定しています。

ロジックブロック図— CY7C1049G



ロジックブロック図— CY7C1049GE

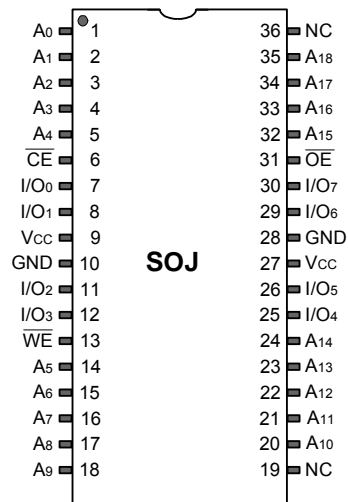


目次

ピン コンフィギュレーション	4	注文情報	15
最大定格	6	注文コードの定義	15
動作範囲	6	パッケージ図面	16
DC 電気的特性	6	略語	17
静電容量	7	本書の表記法	17
熱抵抗	7	測定単位	17
AC テストの負荷および波形	7	改訂履歴	18
データ保持特性	8	セールス、ソリューションおよび法律情報	19
データ保持波形	8	ワールドワイド販売と設計サポート	19
AC スイッチング特性	9	製品	19
スイッチング 波形	10	PSoC® ソリューション	19
真理値表	14	サイプレス開発者コミュニティ	19
ERR 出力 – CY7C1049GE	14	テクニカル サポート	19

ピン コンフィギュレーション

図 1. 36 ピン SOJ の ERR 無しのシングルチップ イネーブル CY7C1049G [4]



注:

4. NC ピンはパッケージ内のダイに接続されていません。

ピン コンフィギュレーション (続き)

図 2. 44 ピン TSOP II の ERR 無しのシングルチップ イネーブル CY7C1049G [5]

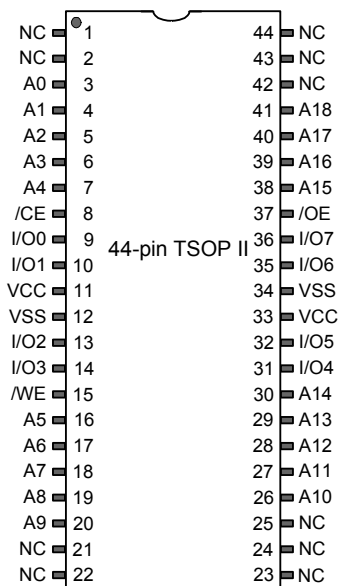
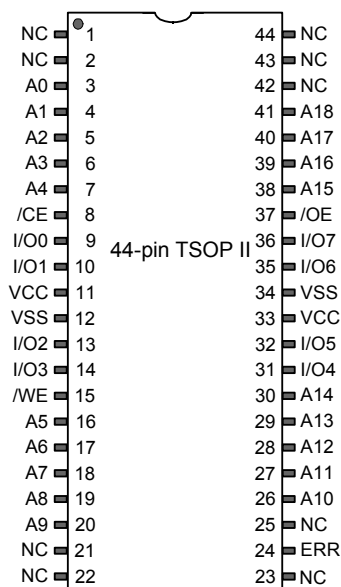


図 3. 44 ピン TSOP II の ERR 有りのシングルチップ イネーブル CY7C1049GE [5、6]



注:

- 5. NC ピンはパッケージ内部のダイに接続されていません。
- 6. ERR は出力ピンです。

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされていません。

保存温度 -65°C ~ +150°C

通電時の周囲温度 -55°C ~ +125°C

GND を基準にした

V_{CC} 電源電圧^[7] -0.5 ~ V_{CC} + 0.5V

HI-Z 状態の出力に

印加される DC 電圧^[7] -0.5V ~ V_{CC}+0.5V

DC 入力電圧^[7] -0.5V ~ V_{CC}+0.5V

出力への電流 (LOW 状態時) 20mA

静電気放電電圧

(MIL-STD-883、Method 3015) > 2001V

ラッチアップ電流 > 140mA

動作範囲

グレード	周囲温度	V _{CC}
産業用	-40°C ~ +85°C	1.65V ~ 2.2V、 2.2V ~ 3.6V、 4.5V ~ 5.5V

DC 電気的特性

動作範囲は -40°C ~ 85°C

パラメーター	説明	テスト条件	10ns / 15ns			単位	
			Min	Typ ^[8]	Max		
V _{OH}	出力 HIGH 電圧	1.65V ~ 2.2V	V _{CC} = Min、I _{OH} = -0.1mA	1.4	-	-	V
		2.2V ~ 2.7V	V _{CC} = Min、I _{OH} = -1.0mA	2	-	-	
		2.7V ~ 3.6V	V _{CC} = Min、I _{OH} = -4.0mA	2.2	-	-	
		4.5V ~ 5.5V	V _{CC} = Min、I _{OH} = -4.0mA	2.4	-	-	
		4.5V ~ 5.5V	V _{CC} = Min、I _{OH} = -0.1mA	V _{CC} - 0.5 ^[9]	-	-	
V _{OL}	出力 LOW 電圧	1.65V ~ 2.2V	V _{CC} = Min、I _{OL} = 0.1mA	-	-	0.2	V
		2.2V ~ 2.7V	V _{CC} = Min、I _{OL} = 2mA	-	-	0.4	
		2.7V ~ 3.6V	V _{CC} = Min、I _{OL} = 8mA	-	-	0.4	
		4.5V ~ 5.5V	V _{CC} = Min、I _{OL} = 8mA	-	-	0.4	
V _{IH}	入力 HIGH 電圧	1.65V ~ 2.2V	-	1.4	-	V _{CC} + 0.2 ^[7]	V
		2.2V ~ 2.7V	-	2	-	V _{CC} + 0.3 ^[7]	
		2.7V ~ 3.6V	-	2	-	V _{CC} + 0.3 ^[7]	
		4.5V ~ 5.5V	-	2.2	-	V _{CC} + 0.5 ^[7]	
V _{IL}	入力 LOW 電圧	1.65V ~ 2.2V	-	-0.2 ^[7]	-	0.4	V
		2.2V ~ 2.7V	-	-0.3 ^[7]	-	0.6	
		2.7V ~ 3.6V	-	-0.3 ^[7]	-	0.8	
		4.5V ~ 5.5V	-	-0.5 ^[7]	-	0.8	
I _{Ix}	入力リーク電流	GND ≤ V _{IN} ≤ V _{CC}	-1	-	+1	μA	
I _{OZ}	出力リーク電流	GND ≤ V _{OUT} ≤ V _{CC} 、出力は無効	-1	-	+1	μA	
I _{CC}	動作電源電流	Max V _{CC} 、I _{OUT} = 0mA、 CMOS レベル	f = 100MHz	-	38	45	mA
			f = 66.7MHz	-	-	40	
I _{SB1}	自動 CE 電源断電流 -TTL 入力	Max V _{CC} 、 $\overline{CE} \geq V_{IH}$ 、V _{IN} ≥ V _{IH} または V _{IN} ≤ V _{IL} 、f = f _{MAX}	-	-	15	mA	
I _{SB2}	自動 CE 電源断電流 -CMOS 入力	Max V _{CC} 、 $\overline{CE} \geq V_{CC} - 0.2V$ 、V _{IN} ≥ V _{CC} - 0.2V または V _{IN} ≤ 0.2V、f = 0	-	6	8	mA	

注:

7. 2ns 以下のパルス幅の場合、V_{IL (min)} = -2.0V および V_{IH (max)} = V_{CC} + 2V です。

8. 標準値は単なる参照値であり、保証または試験されていません。標準値は V_{CC} = 1.8V (V_{CC} が 1.65V ~ 2.2V の場合)、V_{CC} = 3V (V_{CC} が 2.2V ~ 3.6V の場合) および V_{CC} = 5V (V_{CC} が 4.5V ~ 5.5V の場合)、T_A = 25°C で測定しています。

9. このパラメーターは設計保証であり、試験されていません。

静電容量

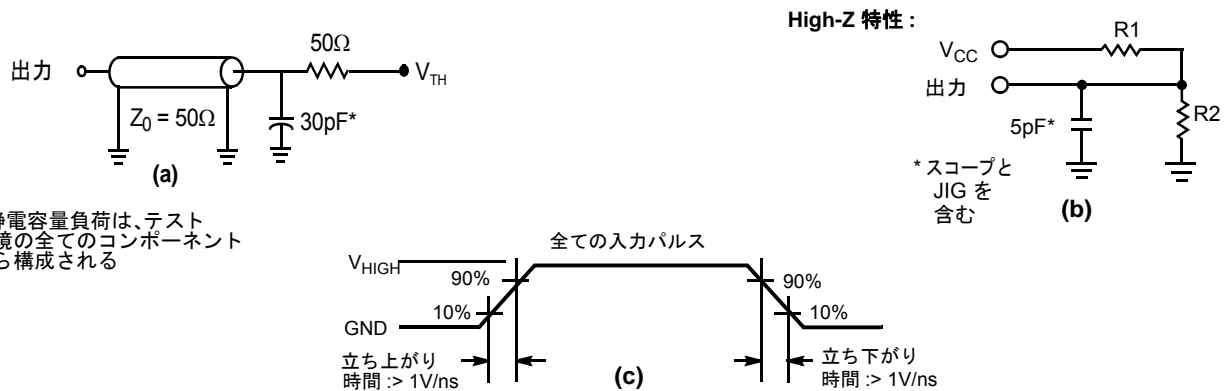
パラメーター ^[10]	説明	テスト条件	36ピン SOJ	44ピン TSOP II	単位
C _{IN}	入力容量	T _A = 25°C、f = 1MHz、 V _{CC} = V _{CC} (typ)	10	10	pF
C _{OUT}	I/O 容量		10	10	pF

熱抵抗

パラメーター ^[10]	説明	テスト条件	36ピン SOJ	44ピン TSOP II	単位
Θ _{JA}	熱抵抗 (ジャンクション～周囲)	無風時、3×4.5 インチの 4 層プリント 回路基板に半田付け	59.52	68.85	°C/W
Θ _{JC}	熱抵抗 (ジャンクション～ケース)		31.48	15.97	°C/W

AC テストの負荷および波形

図 4. AC テストの負荷と波形^[11]



* 静電容量負荷は、テスト環境の全てのコンポーネントから構成される

パラメーター	1.8V	3.0V	5.0V	単位
R1	1667	317	317	Ω
R2	1538	351	351	Ω
V _{TH}	0.9	1.5	1.5	V
V _{HIGH}	1.8	3	3	V

注:

- 開発時およびこれらのパラメーターに影響を与える設計/プロセス変更後にテストされます。
- 完全なデバイスの AC 動作では、0 から V_{CC} (min) までのランプ時間 100μs および V_{CC} が安定した後の待機時間 100μs を前提にします。

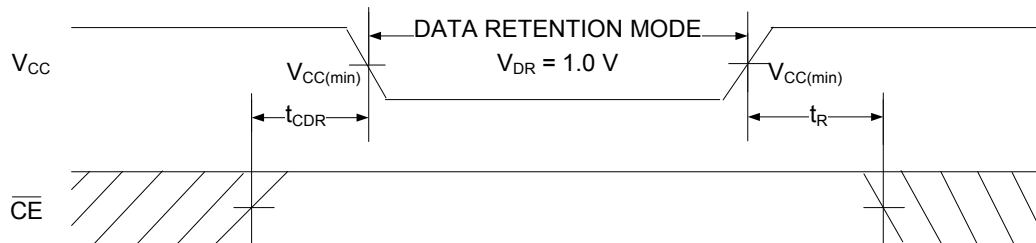
データ保持特性

動作範囲は $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$

パラメーター	説明	条件	Min	Max	単位
V_{DR}	データ保持用の V_{CC}		1	–	V
I_{CCDR}	データ保持電流	$V_{\text{CC}} = 1.2\text{V}$ 、 $\overline{\text{CE}} \geq V_{\text{CC}} - 0.2\text{V}$ ^[13] 、 $V_{\text{IN}} \geq V_{\text{CC}} - 0.2\text{V}$ 、または $V_{\text{IN}} \leq 0.2\text{V}$	–	8	mA
t_{CDR} ^[12]	チップの選択解除からデータ保持までの時間		0	–	ns
t_{R} ^[12, 13]	動作回復時間	$V_{\text{CC}} \geq 2.2\text{V}$	10	–	ns
		$V_{\text{CC}} < 2.2\text{V}$	15	–	ns

データ保持波形

図 5. データ保持波形^[13]



注:

12. これらのパラメーターは設計保証されます。

13. 完全なデバイス動作には、 V_{DR} から $V_{\text{CC}(\text{min})}$ までのリニア V_{CC} ランプ時間が $100\mu\text{s}$ を超えるか、または $V_{\text{CC}(\text{min})}$ で安定した時間が $100\mu\text{s}$ を超える必要があります。

AC スイッチング特性

動作範囲は -40°C ~ 85°C

パラメーター [14]	説明	10ns		15ns		単位
		Min	Max	Min	Max	
読み出しサイクル						
t_{RC}	読み出しサイクル時間	10	-	15	-	ns
t_{AA}	アドレスからデータ/ERR 有効までの時間	-	10	-	15	ns
t_{OHA}	アドレス変更からデータ/ERR ホールド時間	3	-	3	-	ns
t_{ACE}	\overline{CE} LOW からデータ/ERR 有効までの時間	-	10	-	15	ns
t_{DOE}	\overline{OE} LOW からデータ/ERR 有効までの時間	-	4.5	-	8	ns
t_{LZOE}	\overline{OE} LOW から低インピーダンスまでの時間 [15]	0	-	0	-	ns
t_{HZOE}	\overline{OE} HIGH から HI-Z までの時間 [15]	-	5	-	8	ns
t_{LZCE}	\overline{CE} LOW から低インピーダンスまでの時間 [15]	3	-	3	-	ns
t_{HZCE}	\overline{CE} HIGH から HI-Z までの時間 [15]	-	5	-	8	ns
t_{PU}	\overline{CE} LOW から電源投入までの時間 [16, 17]	0	-	0	-	ns
t_{PD}	\overline{CE} HIGH から電源切断までの時間 [16, 17]	-	10	-	15	ns
書き込みサイクル [17, 18]						
t_{WC}	書き込みサイクル期間	10	-	15	-	ns
t_{SCE}	\overline{CE} LOW から書き込み完了までの時間	7	-	12	-	ns
t_{AW}	アドレスセットアップから書き込み終了までの時間	7	-	12	-	ns
t_{HA}	書き込み終了からのアドレス ホールドまでの時間	0	-	0	-	ns
t_{SA}	アドレスセットアップから書き込み開始までの時間	0	-	0	-	ns
t_{PWE}	\overline{WE} パルス幅	7	-	12	-	ns
t_{SD}	データ セットアップから書き込み終了までの時間	5	-	8	-	ns
t_{HD}	書き込み終了からのデータホールドの時間	0	-	0	-	ns
t_{LZWE}	\overline{WE} HIGH から低インピーダンスになるまでの時間 [15]	3	-	3	-	ns
t_{HZWE}	\overline{WE} LOW から HI-Z になるまでの時間 [15]	-	5	-	8	ns

- 注:**
14. テスト条件は信号遷移時間 (立ち上がり/立ち下がり) が 3ns 以下、タイミング基準レベルが 1.5V ($V_{CC} \geq 3V$ の場合) および $V_{CC}/2$ ($V_{CC} < 3V$ の場合)、入力パルスレベルが 0 ~ 3V ($V_{CC} \geq 3V$ の場合) および 0 ~ V_{CC} ($V_{CC} < 3V$ の場合) であることを前提にします。特記されていない限り、読み出しサイクル用のテスト条件は、7 ページの図 4 の (a) に示した出力負荷を使用します。
 15. t_{HZOE} 、 t_{HZCE} 、 t_{LZOE} 、 t_{LZCE} および t_{LZWE} は、7 ページの図 4 の (b) に示した 5pF の負荷容量が付いた状態で規定されます。遷移は定常状態の電圧 $\pm 200mV$ で測定されます。
 16. これらのパラメーターは設計保証であり、テストは行われていません。
 17. メモリの内部書き込み期間は $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ のオーバーラップで定義されます。これらの信号は書き込みを開始するために LOW である必要があり、これら信号のいずれかが HIGH へ遷移すると動作が終了します。入力データのセットアップとホールドのタイミングは書き込みを終了する信号のエッジを基準にする必要があります。
 18. 書き込みサイクル 2 (\overline{WE} 制御、 \overline{OE} LOW) 用の最少の書き込みサイクルパルス幅は、 t_{DS} と t_{HZWE} の合計に等しい必要があります。

スイッチング波形

図 6. CY7C1049G の読み出しサイクル 1 (アドレス遷移制御) [19、20]

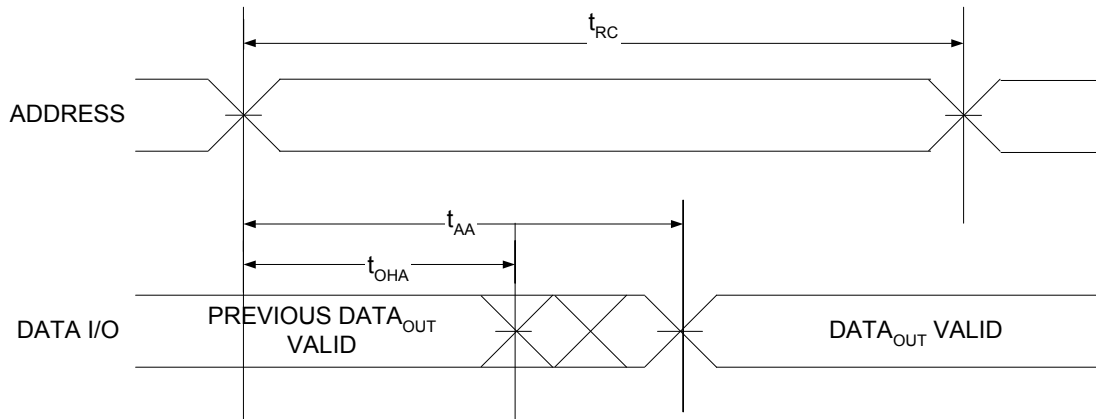
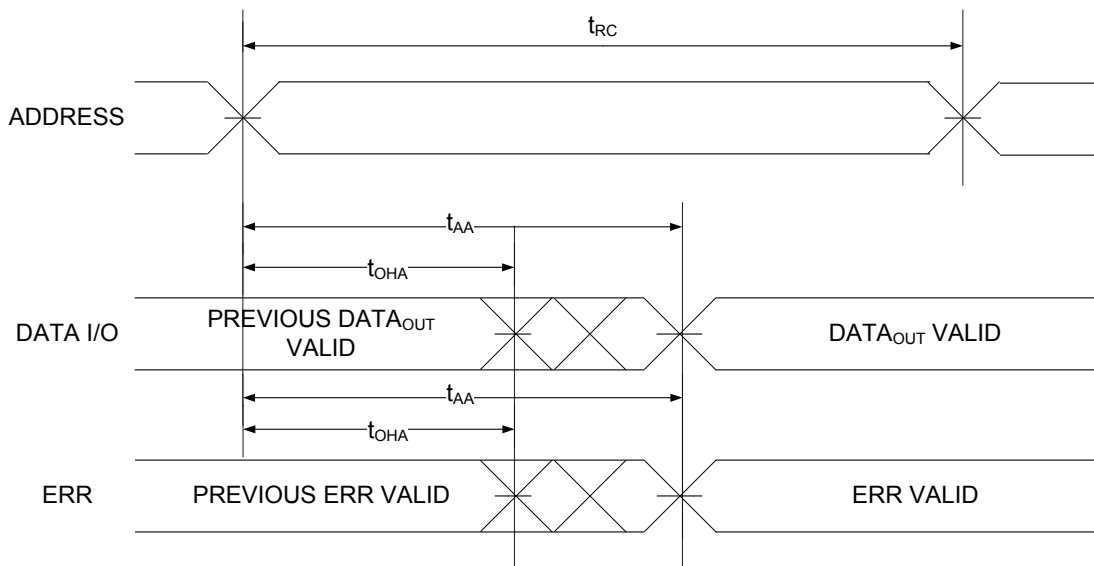


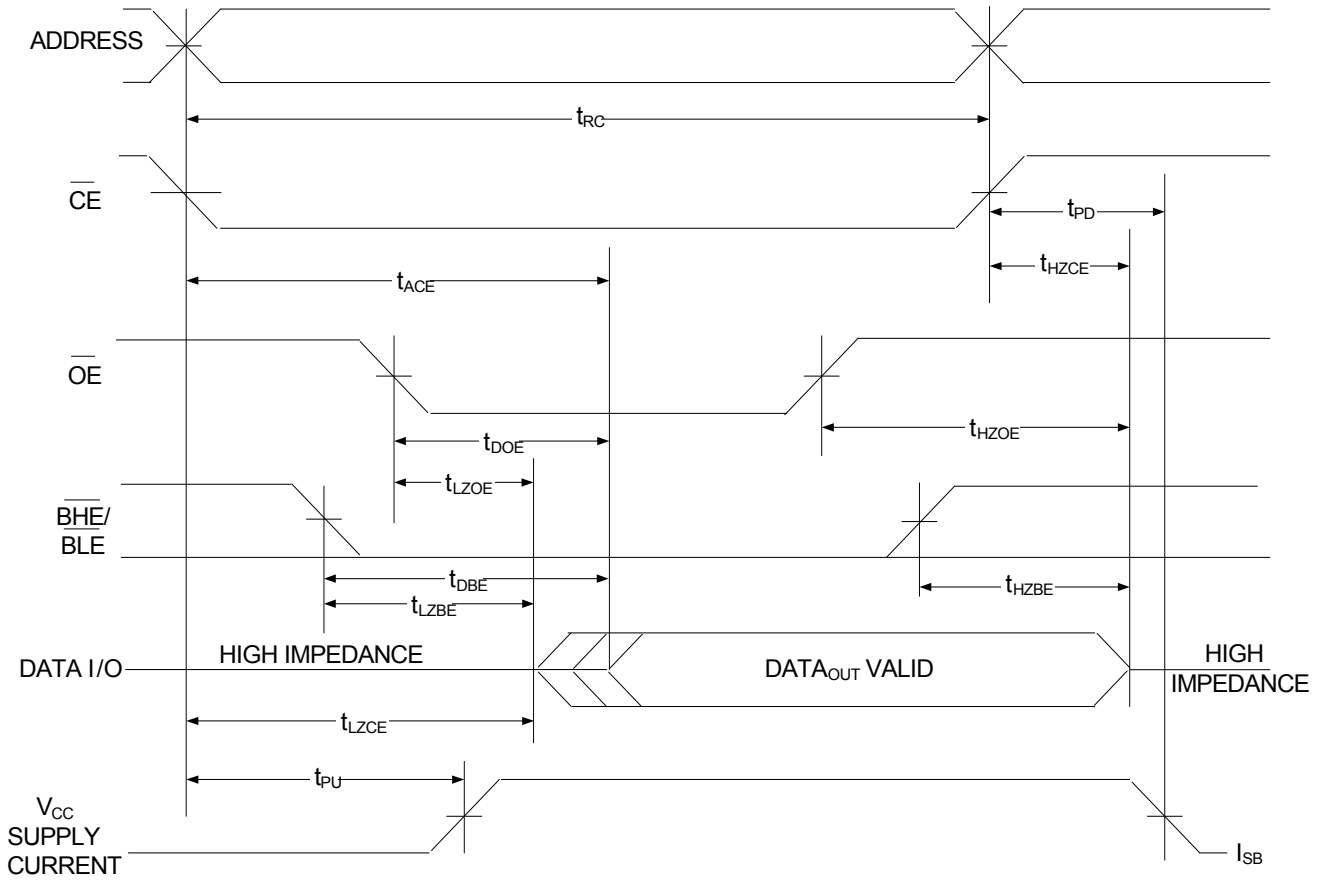
図 7. CY7C1049GE の読み出しサイクル 1 (アドレス遷移制御) [19、20]



注：
19. デバイスは連続的に選択され、 $\overline{OE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ です。
20. 読み出しサイクル中は \overline{WE} は HIGH です。

スイッチング波形 (続き)

図 8. 読み出しサイクル 2 (\overline{OE} 制御) [21, 22]



注:

- 21. 読み出しサイクルの間は \overline{WE} は HIGH です。
- 22. \overline{CE} LOW 遷移の前、またはそれと同時にアドレスが有効になります。

スイッチング波形 (続き)

図 9. 書き込みサイクル 1 (\overline{CE} 制御) [23, 24]

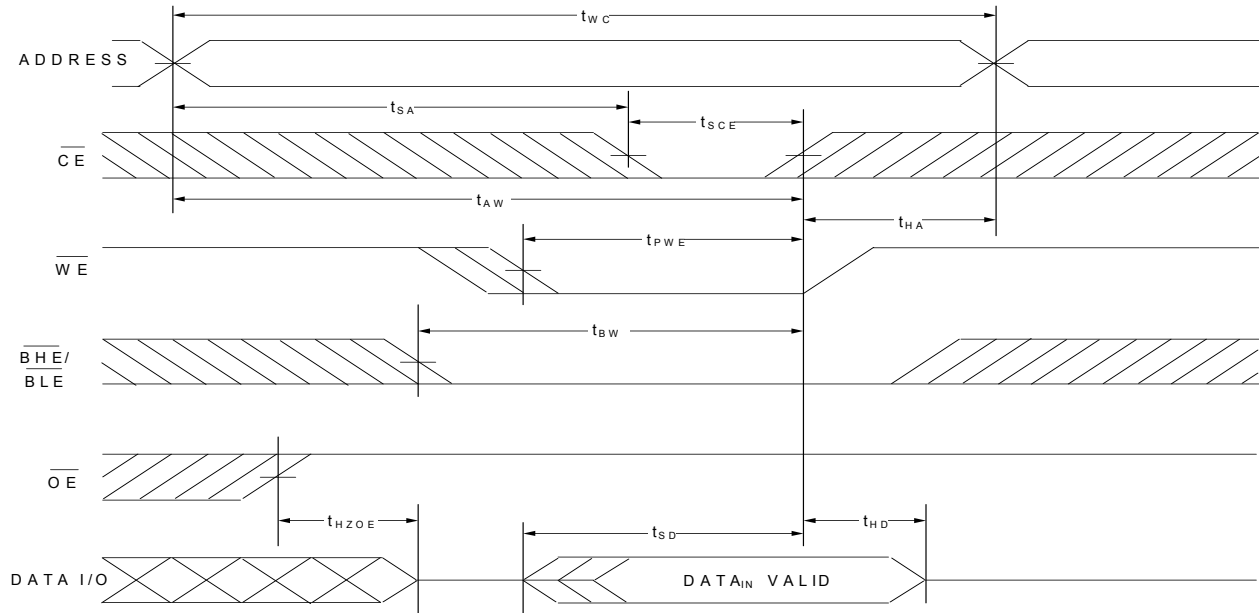
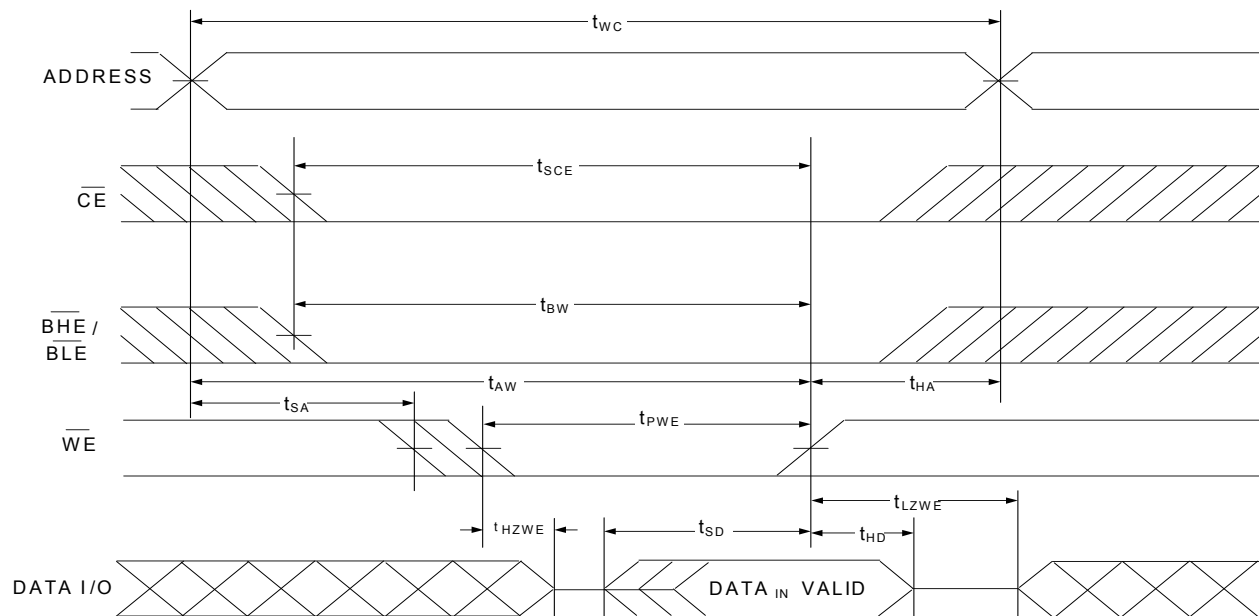


図 10. 書き込みサイクル 2 (\overline{WE} 制御、 \overline{OE} LOW) [23, 24, 25]

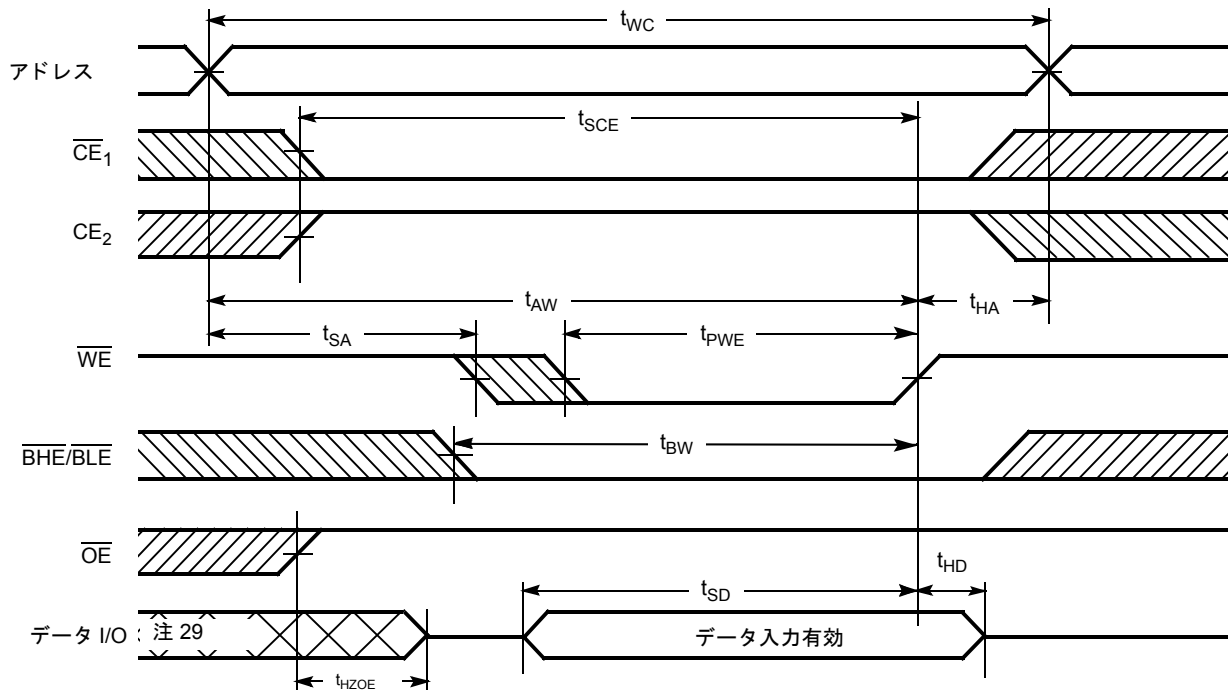


注:

23. メモリの内部書き込み時間は $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ のオーバーラップで定義されます。これらの信号は書き込みを開始するために LOW である必要があり、これら信号のいずれかの HIGH への遷移は動作を終了します。入力データのセットアップとホールドのタイミングは書き込みを終了する信号のエッジを基準にする必要があります。
24. $\overline{CE} = V_{IH}$ 、または $\overline{OE} = V_{IH}$ の場合、データ I/O は HI-Z 状態に入ります。
25. 最小の書き込みサイクルパルス幅は t_{SD} と t_{HZWE} の合計に等しくする必要があります。

スイッチング波形 (続き)

図 11. 書き込みサイクル 3 (\overline{WE} 制御) [26、27、28]



- 注:
- 26. メモリの内部書き込み期間は $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ のオーバーラップで定義されます。これらの信号は書き込みを開始するために LOW である必要があり、これら信号のいずれかが HIGH への遷移は動作を終了します。入力データのセットアップとホールドのタイミングは、書き込みを終了する信号のエッジを基準にする必要があります。
 - 27. $\overline{CE} = V_{IH}$ 、または $\overline{OE} = V_{IH}$ の場合、データ I/O は HI-Z 状態に入ります。
 - 28. $\overline{OE} = V_{IH}$ の場合、データ I/O は高インピーダンス状態です。
 - 29. この期間中、I/O は出力状態にあります。入力信号を適用しないでください。

真理値表

\overline{CE}	\overline{OE}	\overline{WE}	I/O ₀ ~ I/O ₇	モード	電源
H	X ^[30]	X ^[30]	HI-Z	電源切断	待機 (I _{SB})
L	L	H	データ出力	全ビット読み出し	アクティブ (I _{CC})
L	X	L	データ入力	全ビット書き込み	アクティブ (I _{CC})
L	H	H	HI-Z	デバイスが選択され、出力は無効	アクティブ (I _{CC})

ERR 出力 – CY7C1049GE

出力 ^[31]	モード
0	読み出し動作、保存データにはシングルビットエラー無し
1	読み出し動作、シングルビットエラーが検出され、訂正済み
HI-Z	デバイスが選択解除／出力は無効／書き込み動作

注:

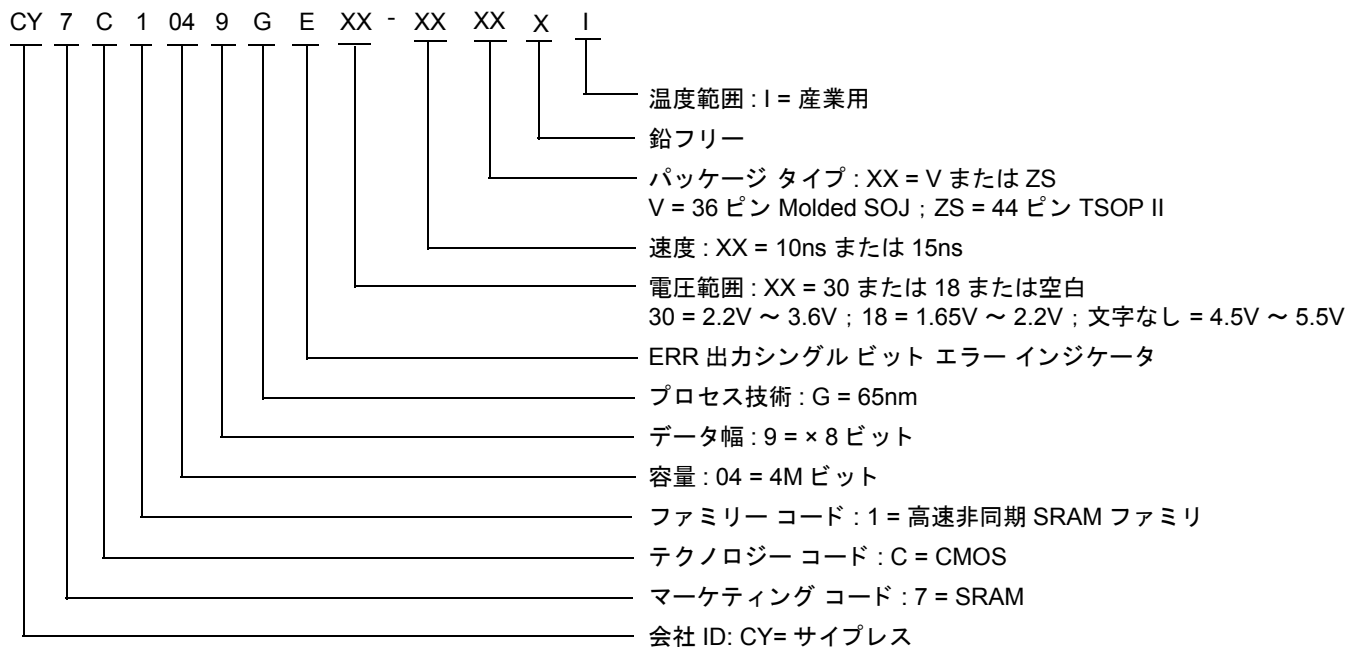
30. これらのピンの入力電圧レベルは V_{IH} または V_{IL} でなければなりません。

31. ERR は出力ピンです。使用しない時に開放 (フローティング) のままにする必要があります。

注文情報

速度 (ns)	電圧範囲	注文コード	パッケージ図面	パッケージタイプ (全て鉛フリー)	動作範囲
10	2.2V ~ 3.6V	CY7C1049G30-10VXI	51-85090	36 ピン Molded SOJ	産業用
		CY7C1049GE30-10ZSXI	51-85087	44 ピン TSOP II、ERR 出力	
		CY7C1049G30-10ZSXI	51-85087	44 ピン TSOP II	
15	1.65V ~ 2.2V	CY7C1049G18-15ZSXI	51-85087	44 ピン TSOP II	
		CY7C1049G-10VXI	51-85090	36 ピン Molded SOJ	
10	4.5V ~ 5.5V	CY7C1049G-10ZSXI	51-85087	44 ピン TSOP II	

注文コードの定義



パッケージ図面

図 12. 44ピン TSOP II パッケージ外形、51-85087

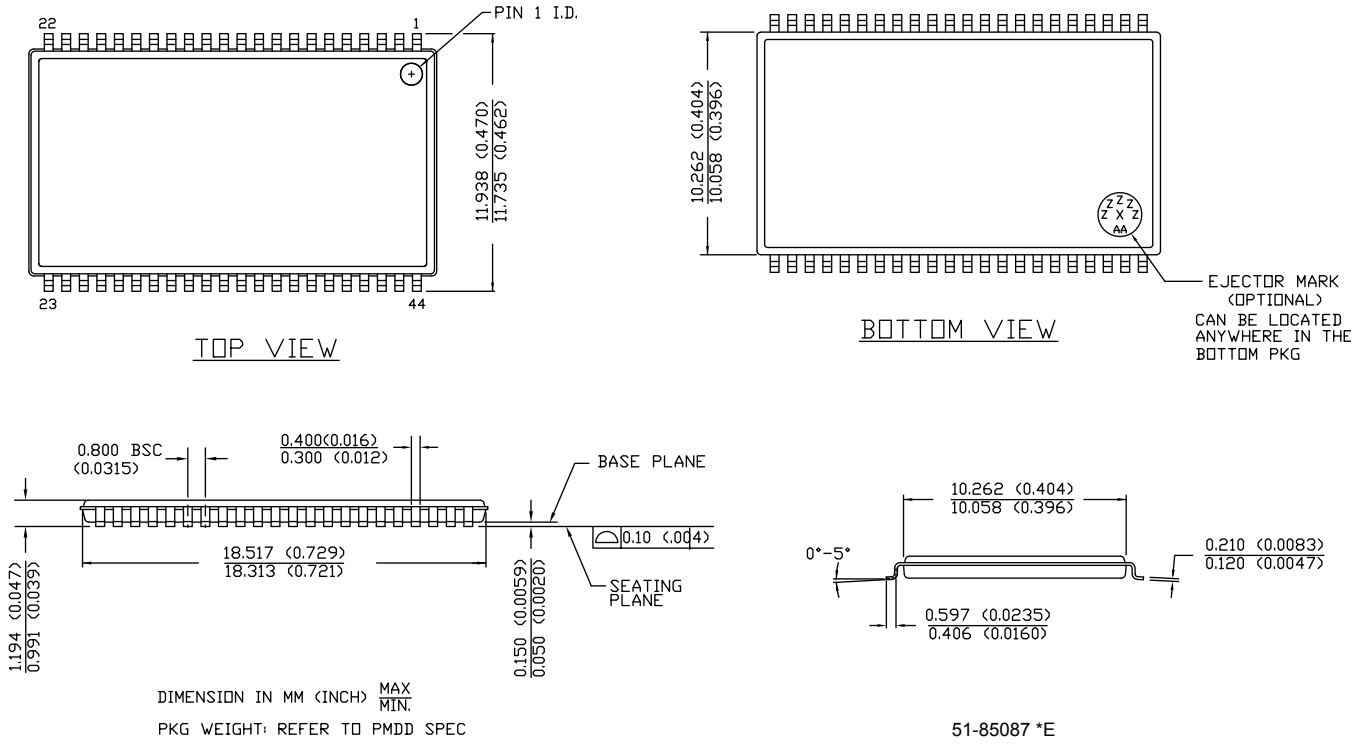
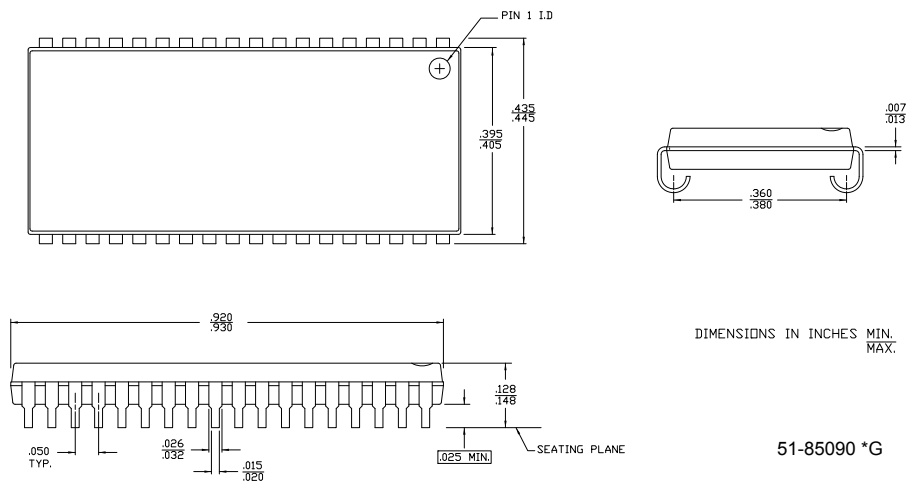


図 13. 36ピン SOJ V36.4 (Molded) パッケージ図、51-85090

36 Lead (400 MIL) Molded SOJ V36



略語

略語	説明
$\overline{\text{BHE}}$	Byte High Enable (バイト HIGH イネーブル)
$\overline{\text{BLE}}$	Byte Low Enable (バイト LOW イネーブル)
$\overline{\text{CE}}$	Chip Enable (チップ イネーブル)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
I/O	Input/Output (入力/出力)
$\overline{\text{OE}}$	Output Enable (出力イネーブル)
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
TSOP	Thin Small Outline Package (小型薄型パッケージ)
TTL	Transistor-Transistor Logic (トランジスタ-トランジスタ ロジック)
VFBGA	Very Fine-Pitch Ball Grid Array (超ファインピッチボールグリッドアレイ)
$\overline{\text{WE}}$	Write Enable (書き込みイネーブル)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
mA	ミリアンペア
mm	ミリメートル
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY7C1049G / CY7C1049GE、誤り訂正符号 (ECC) 内蔵の 4M ビット (512K ワード ×8 ビット) スタティック RAM
文書番号 : 001-97588

版	ECN 番号	変更者	発行日	変更内容
**	4769223	HZEN	06/10/2015	これは英語版 001-95412 Rev. ** を翻訳した日本語版 001-97588 Rev. ** です。
*A	5154145	HZEN	03/01/2016	これは英語版 001-95412 Rev. *C を翻訳した日本語版 001-97588 Rev. *A です。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションのウェブページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス/ RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2015-2016. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。