

将 I²C nvSRAM 替换为 I²C F-RAM™

作者： Harsha Medu

相关器件系列： I²C F-RAM

相关代码示例： 无

相关应用笔记： AN96578

要想获取该应用笔记的最新版本，请访问 <http://www.cypress.com/go/AN200291>。

AN200291 提供了将 I²C nvSRAM 替换为 I²C F-RAM™ 的指导信息。本文档推荐了等效的 F-RAM 器件，介绍了封装和特性方面的差异，并且描述了成功移植所需的硬件和固件修改内容。

目录

1	简介	1	3.7	状态寄存器和模块保护	10
2	概述	2	3.8	时序参数	10
2.1	封装兼容性	2	3.9	V _{CC} 升降斜率	11
2.2	引脚兼容性	2	3.10	固件更改	11
2.3	指令/功能集	3	4	总结	11
2.4	参数	4		文档修订记录	12
3	重点注意事项	8		全球销售和 design 支持	13
3.1	引脚差异	8		产品	13
3.2	I ² C 速度	9		PSoC® 解决方案	13
3.3	nvSRAM 特殊功能	9		赛普拉斯开发者社区	13
3.4	睡眠模式	9		技术支持	13
3.5	器件 ID	9			
3.6	序列号	10			

1 简介

F-RAM（铁电随机存取存储器）是一款使用铁电电容器来存储数据的非易失性存储器。被写入到 F-RAM 内的数据会瞬时变为非易失性数据。与 EEPROM 和 Flash 不同，F-RAM 按照总线速度将数据写入到非易失性存储器内。

nvSRAM 是一种 SRAM 存储器，其中每个存储单元都包含了非易失性元件。被嵌入的非易失性元件采用了 SONOS Quantum Trap 技术。SRAM 能够实现无限次读写周期，而 QuantumTrap 单元则能够提供高可靠性的非易失性数据存储空间。断电时，数据会从 SRAM 中自动转移到非易失性元件内（存储操作）。上电时，数据会从非易失性存储器回读到 SRAM 内（回读操作）。

赛普拉斯提供了三种不推荐用于新设计（NRND）的 nvSRAM 器件：CY14MB064J2A、CY14ME064J2A 和 CY14B101J2。并且提供了 F-RAM 产品，用于替换这些器件。本应用笔记详细描述了将 I²C nvSRAM 替换为 I²C F-RAM 的有关信息。另外，还说明了封装、特性和时序等方面的差异，并且讨论了成功完成移植过程中所需要的硬件和固件修改。

对于 NRND nvSRAM 器件，表 1 列出了所建议的 F-RAM 替换器件。

表 1. 替换选项

序号	nvSRAM (或原始) 器件型号	F-RAM (或替换) 器件型号	说明
1	CY14MB064J2A	FM24CL64B	64 Kb、3.0 V I ² C 器件
2	CY14ME064J2A	FM24C64B	64 Kb、5.0 V I ² C 器件
3	CY14B101J2	FM24V10 / FM24VN10	1 Mb、3.0 V I ² C 器件

这些 F-RAM 器件在读/写协议 (I²C) 和容量方面类似于 nvSRAM 器件, 但并非完全相同。替换 nvSRAM 时, 需要清楚它们间的差异。以下各节将进一步讨论这两款器件间的异同。

2 概述

2.1 封装兼容性

F-RAM 支持所有 nvSRAM 封装选项, 如表 2 所示。另外, 3.0 V、64 Kb F-RAM 器件还支持 8-DFN 封装。

表 2. 封装比较

封装	替换选项					
	1		2		3	
	CY14MB064J2A	FM24CL64B	CY14ME064J2A	FM24C64B	CY14B101J2	FM24V10/ FM24VN10
8-SOIC	支持	支持	支持	支持	支持	支持
8-DFN	不支持	支持	不支持	不支持	不支持	不支持

2.2 引脚兼容性

nvSRAM 和 F-RAM 间的所有 I/O 引脚 (引脚 1 除外) 均匹配, 如表 3 所述。引脚 1 作为 F-RAM 中的器件选择引脚 A0。由于 F-RAM 中的 A0 带有一个内部下拉电阻, 因此替换为 F-RAM 时可以将其悬空。

表 3. 引脚差异

序号	器件型号	引脚说明
1	CY14MB064J2A 与 FM24CL64B	除引脚 1 外, 所有引脚均兼容。在 CY14MB064J2A 中, 引脚 1 是 V _{CAP} , 则在 FM24CL64B 中, 它是 A0。由于 FM24CL64B 不需要 V _{CAP} 引脚, 所以它提供了一个额外的器件选择引脚 A0, 从而最多能将 8 个 F-RAM 器件挂接 (hook) 到同一个 I ² C 总线上。 使用 A0 引脚时, 需要修改现有应用的固件。在 nvSRAM 中, 存储器从 ID 的位 1 为“无需关注”项; 在 F-RAM 中, 需要将它改为 0 (假定 F-RAM 中的 A0 引脚保持不连接状态或被连接到 VSS)。
2	CY14ME064J2A 与 FM24C64B	除引脚 1 外, 其他所有引脚均兼容。在 CY14ME064J2A 中, 引脚 1 是 V _{CAP} , 则在 FM24C64B 中, 它是 A0。由于 FM24C64B 不需要 V _{CAP} 引脚, 所以它提供了一个额外的器件选择引脚 A0, 从而最多能将 8 个 F-RAM 器件挂接 (hook) 到同一个 I ² C 总线上。 使用 A0 引脚时, 需要修改现有应用的固件。在 nvSRAM 中, 存储器从 ID 的位 1 为“无需关注”项; 在 F-RAM 中, 需要将它改为 0 (假定 F-RAM 中的 A0 引脚保持不连接状态或被连接到 VSS)。
3	CY14B101J2 与 FM24V10 / FM24VN10	所有引脚均兼容。由于 F-RAM 不需要 V _{CAP} , 因此引脚 1 被设为 NC (不连接)。

2.3 指令/功能集

表 4 对 nvSRAM 和 F-RAM 的所有功能进行了比较。高亮显示的单元表示 F-RAM 的功能不如 nvSRAM 的好。

表 4. 功能集比较

功能集	替换选项						备注
	1		2		3		
	CY14MB064J2A	FM24CL64B	CY14ME064J2A	FM24C64B	CY14B101J2	FM24V10/ FM24VN10	
单字节写入	支持	支持	支持	支持	支持	支持	
多字节写入	支持	支持	支持	支持	支持	支持	
高速模式下的单字节写入	支持	不支持	支持	不支持	支持	支持	64 Kb F-RAM 不支持 I ² C 高速模式。
高速模式下的多字节写入	支持	不支持	支持	不支持	支持	支持	64 Kb F-RAM 不支持 I ² C 高速模式。
当前地址单字节读取	支持	支持	支持	支持	支持	支持	
当前地址多字节读取	支持	支持	支持	支持	支持	支持	
高速模式下当前地址单字节读取	支持	不支持	支持	不支持	支持	支持	64 Kb F-RAM 不支持 I ² C 高速模式。
高速模式下当前地址多字节读取	支持	不支持	支持	不支持	支持	支持	64 Kb F-RAM 不支持 I ² C 高速模式。
选择性（随机）单字节读取	支持	支持	支持	支持	支持	支持	
选择性（随机）多字节读取	支持	支持	支持	支持	支持	支持	
睡眠模式	支持	不支持	支持	不支持	支持	支持	64 Kb F-RAM 消耗很低的待机电流，因此它不支持睡眠模式。
器件 ID	支持	不支持	支持	不支持	支持	支持	64 Kb F-RAM 不支持器件 ID。
序列号	支持	不支持	支持	不支持	支持	在 FM24VN10 中得到支持	64 Kb F-RAM 不支持序列号。
自动存储	支持	-	支持	-	支持	-	自动存储功能不适用于 F-RAM，这是因为非易失性写入是瞬态的。
软件存储	支持	-	支持	-	支持	-	软件存储功能不适用于 F-RAM，这是因为非易失性写入是瞬态的。
自动存储使能和禁用	支持	-	支持	-	支持	-	自动存储功能不适用于 F-RAM。
软件回读	支持	-	支持	-	支持	-	软件回读功能不适用于 F-RAM，因为它并没有单独的 NV 存储单元。

功能集	替换选项						备注
	1		2		3		
	CY14MB064J2A	FM24CL64B	CY14ME064J2A	FM24C64B	CY14B101J2	FM24V10/ FM24VN10	
状态寄存器/模块保护	支持	不支持	支持	不支持	支持	不支持	状态寄存器或模块保护功能不适用于 F-RAM。
速度	3.4 MHz、1 MHz 400 kHz	1 MHz、 400 kHz	3.4 MHz、1 MHz 400 kHz	1 MHz、 400 kHz	3.4 MHz、 1 MHz、 400 kHz	3.4 MHz、 1 MHz、 400 kHz	64 Kb F-RAM 不支持高速模式。
擦写次数	10 ⁶ 个非易失性周期	10 ¹⁴	10 ⁶ 个非易失性周期	10 ¹⁴	10 ⁶ 个非易失性周期	10 ¹⁴	对于实际使用，nvSRAM 和 F-RAM 的擦写次数几乎是无限的。
数据保持时间 (85 °C 时)	20 年	10 年	20 年	10 年	20 年	10 年	F-RAM 的数据保持时间比 nvSRAM 的短。

2.4 参数

表 5 对 64 Kb nvSRAM 和 F-RAM 的直流和交流参数进行了比较。除了高速模式参数外，所有参数均兼容。高亮显示的单元表示 F-RAM 的特性不如 nvSRAM。

表 5. 64 Kb nvSRAM 与 F-RAM 的参数对比

参数	说明	CY14MB064J2A/ CY14ME064J2A		FM24CL64B / FM24C64B		单位	
		最小值	最大值	最小值	最大值		
直流参数							
V _{CC} /V _{DD}	供电电源	3 V (典型值)	2.7	3.6	2.7	3.65	V
		5 V (典型值)	4.5	5.5	4.5	5.5	
I _{CC1}	V _{CC} 平均电流	f _{SCL} = 3.4 MHz	–	1	不支持		mA
		f _{SCL} = 1 MHz	–	400	–	300 (FM24CL64B) 400 (FM24C64B)	μA
I _{CC2}	存储期间 V _{CC} 平均电流	–	3	N/A		mA	
I _{CC4}	自动存储周期内的 V _{V_{CAP}} 平均电流	–	3	N/A		mA	
I _{SB}	V _{CC} 待机电流	–	120 (CY14MB064J2A)	–	6 (FM24CL64B)	μA	
		–	150 (CY14ME064J2A)	–	10 (FM24C64B)		
I _{ZZ}	睡眠模式电流	–	8	不支持		μA	
I _{Ix}	I/O 引脚的输入电流	–1	+1	–1	+1	μA	
I _{Oz}	输出漏电流	–1	+1	–1	+1	μA	
C _i / C _o	输出引脚电容	–	7	–	8	pF	

参数	说明	CY14MB064J2A/ CY14ME064J2A		FM24CL64B / FM24C64B		单位	
		最小值	最大值	最小值	最大值		
C _i / C _l	输入引脚电容	–	7	–	6	pF	
V _{IH}	输入高电平电压	0.7 × V _{CC}	V _{CC} + 0.5	0.7 × V _{CC}	V _{CC} + 0.3	V	
V _{IL}	输入低电平电压	–0.5	0.3 × V _{CC}	–0.3	0.3 × V _{CC}	V	
V _{OL}	输出低电平电压	I _{OL} = 3 mA	–	0.4	–	0.4	V
		I _{OL} = 6 mA	–	0.6	不支持		V
R _{in}	V _{IN} = V _{IL(Max)}	50	–	40	–	kΩ	
	V _{IN} = V _{IH(Min)}	1	–	1	–	MΩ	
V _{hys}	施密特触发器输入电压迟滞	0.05 × V _{CC}	–	0.05 × V _{CC}	–	V	
V _{CAP}	存储电容	42	180	N/A		μF	
V _{VCAP}	器件在 V _{CAP} 引脚上驱动的最大电压	–	V _{CC}	N/A		V	
时钟频率							
f _{SCL}	SCL 时钟频率	–	3.4	不支持		MHz	
		–	1	–	1	MHz	
		–	400	–	400	kHz	
交流开关参数 (f_{SCL} = 1MHz)							
t _{SU,STA}	重复 START (启动) 条件的建立时间	250	–	250	–	ns	
t _{HD,STA}	START (启动) 条件的保持时间	250	–	250	–	ns	
t _{LOW}	SCL 为低电平的周期	500	–	600	–	ns	
t _{HIGH}	SCL 为高电平的周期	260	–	400	–	ns	
t _{SU,DATA}	数据输入的建立时间	100	–	100	–	ns	
t _{HD,DATA}	数据保持时间 (输入/输出)	0	–	0	–	ns	
t _{DH}	数据输出的保持时间	0	–	0	–	ns	
t _r	SDA 和 SCL 的上升时间	–	120	–	300	ns	
t _f	SDA 和 SCL 的下降时间	–	120	–	100	ns	
t _{SU,STO}	STOP (停止) 条件的建立时间	250	–	250	–	ns	
t _{VD,DATA}	数据输出的有效时间	–	400	–	550	ns	
t _{VD,ACK}	ACK 输出的有效时间	–	400	未指定		ns	
t _{OF}	从 V _{IH(min)} 到 V _{IL(max)} 的输出下降时间	–	120	未指定		ns	
t _{BUF}	从 STOP 条件到下一个 START 条件的总线闲置时间	500	–	500	–	ns	
t _{SP}	输入滤波器需要抑制的尖峰脉冲宽度	–	50	–	50	ns	

参数	说明	CY14MB064J2A/ CY14ME064J2A		FM24CL64B / FM24C64B		单位
		最小值	最大值	最小值	最大值	
时序						
t _{FA} (t _{PU})	从上电到第一次访问的时间	20	-	1 (FM24CL64B)	-	ms
				10 (FM24C64B)		
t _{VCCRISE} (t _{VR})	V _{CC} 上电升降斜率	50	-	30	-	µs/V
t _{VF}	V _{CC} 下电升降斜率	未指定		30	-	µs/V
t _{SLEEP}	发出 SLEEP (睡眠) 指令后进入低功耗模式的时间	-	8	N/A		ms
t _{WAKE} (t _{REC})	从睡眠模式唤醒的时间	-	20	N/A		ms
t _{SB}	发生 STOP (停止) 条件后进入待机模式的时间	-	100	未指定		µs

表 6 对 1 Mb nvSRAM 和 F-RAM 的直流和交流参数进行了比较。所有参数均兼容。高亮显示的单元表示 F-RAM 的特性不如 nvSRAM。

表 6. 1 Mb nvSRAM 与 F-RAM 的参数比较

参数	说明	CY14B101J2		FM24V10 / FM24VN10		单位	
		最小值	最大值	最小值	最大值		
直流参数							
V _{CC} /V _{DD}	供电电源	2.7	3.6	2.0	3.6	V	
I _{CC1}	V _{CC} 平均电流	f _{SCL} = 3.4 MHz	-	1	1		mA
		f _{SCL} = 1 MHz	-	400	-	400	µA
I _{CC2}	存储期间 V _{CC} 平均电流	-	3	N/A		mA	
I _{CC4}	自动存储周期期间的 V _{VCAP} 平均电流	-	3	N/A		mA	
I _{SB}	V _{CC} 待机电流	-	150	-	150	µA	
I _{ZZ}	睡眠模式电流	-	8	-	8	µA	
I _{IX}	I/O 引脚的输入电流	-1	+1	-1	+1	µA	
I _{OZ}	输出漏电流	-1	+1	-1	+1	µA	
C _i	每个 I/O 引脚的电容	-	7	-	-	pF	
C _O	输出引脚电容 (SDA)	-	-	-	8	pF	
C _I	输入引脚电容	-	-	-	6	pF	
V _{IH}	输入高电平电压	0.7 x V _{CC}	V _{CC} + 0.5	0.7 x V _{CC}	V _{CC} + 0.3	V	
V _{IL}	输入低电平电压	-0.5	0.3 x V _{CC}	-0.3	0.3 x V _{CC}	V	
V _{OL}	输出低电平电压	I _{OL} = 3 mA	-	0.4	-	0.4	V
		I _{OL} = 6 mA	-	0.6	未指定		V

参数	说明	CY14B101J2		FM24V10 / FM24VN10		单位
		最小值	最大值	最小值	最大值	
R _{in}	V _{IN} = V _{IL(Max)}	50	–	50	–	kΩ
	V _{IN} = V _{IH(Min)}	1	–	1	–	MΩ
V _{hys}	施密特触发器输入电压迟滞	0.05 x V _{CC}	–	0.05 x V _{CC}	–	V
V _{CAP}	存储电容	42	180	N/A		μF
V _{VCAP}	器件在 V _{CAP} 引脚上驱动的最大电压	–	V _{CC}	N/A		V
时钟频率						
f _{SCL}	SCL 时钟频率	–	3.4	–	3.4	MHz
		–	1	–	1	MHz
		–	400	–	400	kHz
交流开关参数 (f_{SCL} = 1 MHz)						
t _{SU:STA}	重复 START (启动) 条件的建立时间	250	–	260	–	ns
t _{HD:STA}	START (启动) 条件的保持时间	250	–	260	–	ns
t _{LOW}	SCL 为低电平的周期	500	–	500	–	ns
t _{HIGH}	SCL 为高电平的周期	260	–	260	–	ns
t _{SU:DATA}	数据输入的建立时间	100	–	50	–	ns
t _{HD:DATA}	数据保持时间 (输入/输出)	0	–	0	–	ns
t _{DH}	数据输出的保持时间	0	–	0	–	ns
t _r	SDA 和 SCL 的上升时间	–	120	–	120	ns
t _f	SDA 和 SCL 的下降时间	–	120	–	120	ns
t _{SU:STO}	STOP (停止) 条件的建立时间	250	–	260	–	ns
t _{VD:DATA}	数据输出的有效时间	–	400	–	450	ns
t _{VD:ACK}	ACK 输出的有效时间	–	400	未指定		ns
t _{OF}	从 V _{IH(min)} 到 V _{IL(max)} 的输出下降时间	–	120	未指定		ns
t _{BUF}	从 STOP 条件到下一个 START 条件的总线闲置时间	500	–	500	–	ns
t _{SP}	输入滤波器抑制的尖峰脉冲宽度	–	50	–	50	ns
时序						
t _{FA} (t _{PU})	从上电到第一次访问的时间	20	–	0.25	–	ms
t _{VCCRISE} (t _{VR})	V _{CC} 上电升降斜率	50	–	50	–	μs/V
t _{VF}	V _{CC} 下电升降斜率	无限制		100	–	μs/V
t _{SLEEP}	从发出 SLEEP (睡眠) 指令到进入低功耗模式的时间	–	8	未指定		ms
t _{WAKE} (t _{REC})	从睡眠模式唤醒的时间	–	20	–	0.4	ms
t _{SB}	从发生 STOP (停止) 条件到进入待机模式的时间	–	100	未指定		μs

3 重点注意事项

表 7 总结了将 nvSRAM 替换为 F-RAM 时需要遵循的重点注意事项。

表 7. 重点注意事项总结

序号	器件型号	主要差异
1	CY14MB064J2A 与 FM24CL64B	<p>引脚: 引脚 1 在 nvSRAM 中为 V_{CAP}，而在 F-RAM 中为 A0。</p> <p>速度: F-RAM 仅支持 1 MHz、400 kHz 和 100 kHz 速度，并不支持 3.4 MHz 速度。</p> <p>不适用的特性: 自动存储、软件存储、软件回读、自动存储使能和自动存储禁用功能均不适用于 F-RAM。</p> <p>不支持的特性: 睡眠模式、器件 ID、序列号、模块保护和状态寄存器均不受 F-RAM 的支持。</p>
2	CY14ME064J2A 与 FM24C64B	<p>引脚: 引脚 1 在 nvSRAM 中为 V_{CAP}，而在 F-RAM 中为 A0。</p> <p>速度: F-RAM 仅支持 1 MHz、400 kHz 和 100 kHz 速度，并不支持 3.4 MHz 速度。</p> <p>不适用的特性: 自动存储、软件存储、软件回读、自动存储使能和自动存储禁用功能均不适用于 F-RAM。</p> <p>不支持的特性: 睡眠模式、器件 ID、序列号、模块保护和状态寄存器均不受 F-RAM 的支持。</p>
3	CY14B101J2 与 FM24V10/ FM24VN10	<p>引脚: 引脚 1 在 nvSRAM 中为 V_{CAP}，而在 F-RAM 中为 A0。</p> <p>不适用的特性: 自动存储、软件存储、软件回读、自动存储使能和自动存储禁用功能均不适用于 F-RAM。</p> <p>不支持的特性: 模块保护和状态寄存器均不受 F-RAM 的支持。</p> <p>执行方式不同的特性: nvSRAM 和 F-RAM 均支持睡眠模式、器件 ID 和序列号特性，但是它们的指令存在差异。</p>

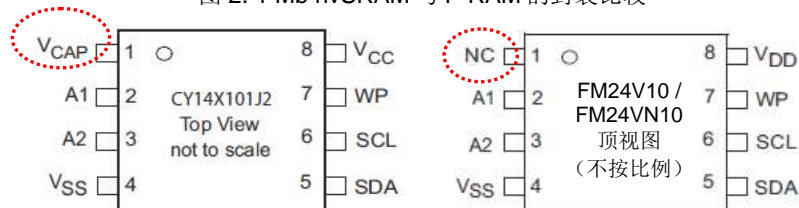
3.1 引脚差异

引脚 1 在 nvSRAM 中作为 V_{CAP} 引脚。在 64 Kb F-RAM 中，它作为 A0 引脚，而在 1 Mb F-RAM 中，它被设为不连接状态 (NC)，如图 1 和图 2 所示。因此，将 nvSRAM 替换为 F-RAM 时，要使引脚 1 悬空。F-RAM 带有一个内部下拉电阻，用于将 A0 置为低电平状态。

图 1. 64 Kb nvSRAM 与 F-RAM 的封装比较



图 2. 1 Mb nvSRAM 与 F-RAM 的封装比较



3.2 I²C 速度

I²C 高速模式仅在容量较大（128 Kb 或更大）的 F-RAM 才得到支持。因此，从 1 Mb nvSRAM 替换为 1 Mb F-RAM 时，I²C 速度没有问题。

将 64 Kb nvSRAM（CY14MB064J2A）替换为 64 Kb F-RAM（FM24CL64B）时，若以 1 MHz 或更低速度进行 I²C 访问，仍可正常运行。然而，如果需要进行高速模式下的访问，可以将 CY14MB064J2A 替换为在相同封装中支持高速模式的容量更大的 F-RAM（128 Kb 的 FM24V01）。CY14ME064J2A（5 V nvSRAM）并没有支持高速模式的 F-RAM 替换器件。

3.3 nvSRAM 特殊功能

nvSRAM 的特殊功能（如自动存储、自动存储使能、自动存储禁用、软件存储和软件回读）不适用于 F-RAM。对于 nvSRAM，数据先被写入到 SRAM 内，然后在自动存储或软件存储期间将被传输到非易失性单元中。在 F-RAM 中，数据是瞬态非易失性的；所以并不适用这些功能。

3.4 睡眠模式

在容量更低的 F-RAM 器件中（FM24CL64B 和 FM24C64B），待机电流相当于 nvSRAM 的睡眠模式电流。因此，容量低的 F-RAM 并不需要睡眠模式。1 Mb F-RAM FM24V10/FM24VN10 器件也支持睡眠模式，同 nvSRAM CY14B101J2 很相似。但是，睡眠模式的进入指令不同，如图 3 和图 4 所示。

图 3. nvSRAM（CY14B101J2）中的睡眠模式

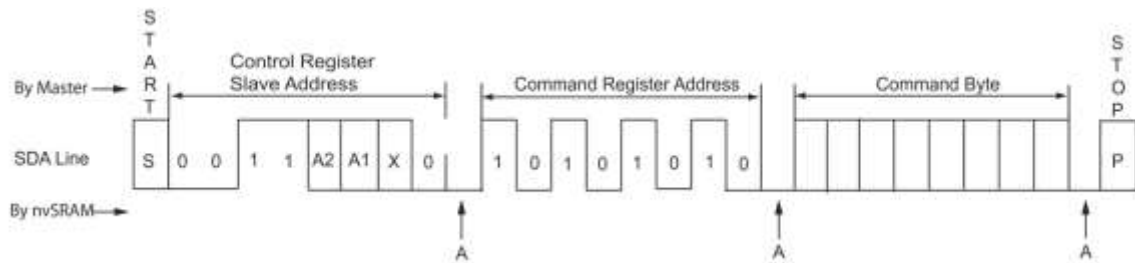
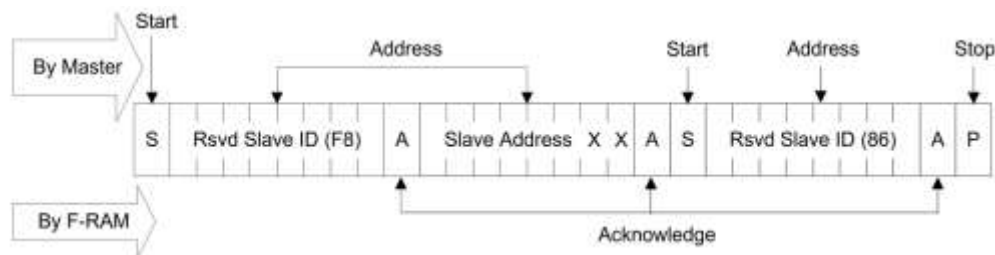


图 4. F-RAM（FM24V10）中的睡眠模式



3.5 器件 ID

与 nvSRAM 不同，F-RAM 器件均不支持器件 ID。FM24V10/FM24VN10 具有类似于 nvSRAM CY14B101J2 的器件 ID。然而，读取器件 ID 的指令不同，如图 5 和图 6 所示。容量更低的 F-RAM 器件（FM24CL64B 和 FM24C64B）并不支持器件 ID。然而，如果需要器件 ID，可以将 FM24CL64B 替换为容量更大的 F-RAM（128 Kb FM24V01）。

图 5. nvSRAM (CY14B101J2) 中的器件 ID 读取

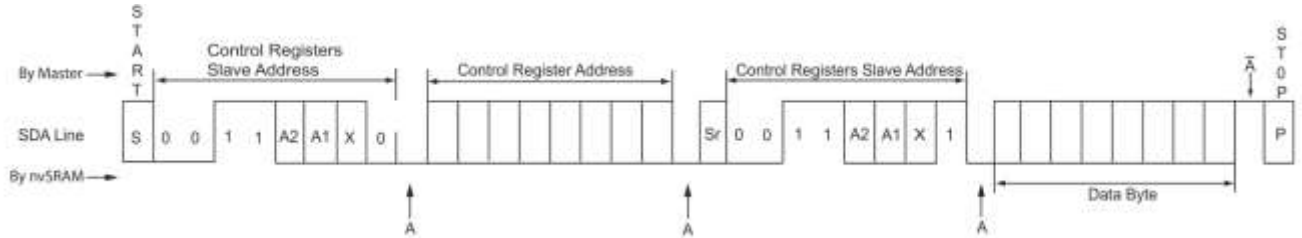
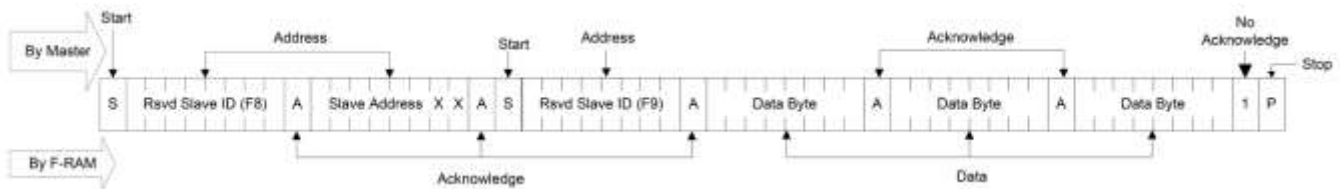


图 6. F-RAM (FM24V10) 中的器件 ID 读取



3.6 序列号

不同于 nvSRAM，序列号仅受 1 Mb F-RAM 器件的支持。标准的 1 Mb FM24V10 并没有序列号，而其它 F-RAM 器件 (FM24VN10) 则有一个序列号。用户可以配置 nvSRAM 的序列号，F-RAM 的序列号是一个工厂编程的只读值。另外，这两款器件的序列号读取指令也不同，如图 7 和图 8 所示。容量更低的 F-RAM 器件 (FM24CL64B 和 FM24C64B) 并不支持序列号。

图 7. nvSRAM (CY14B101J2) 中的序列号读取

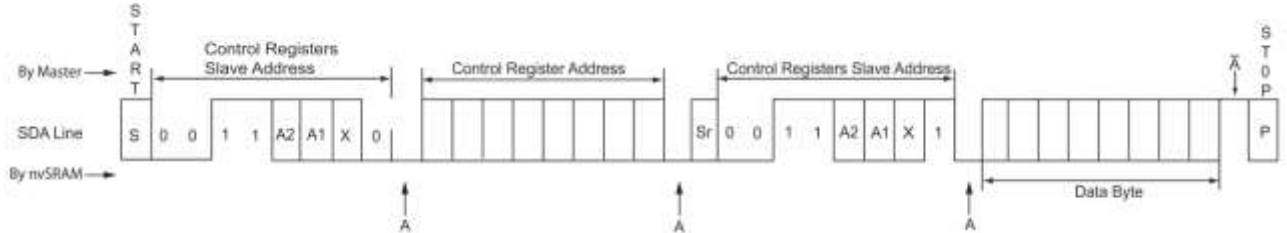
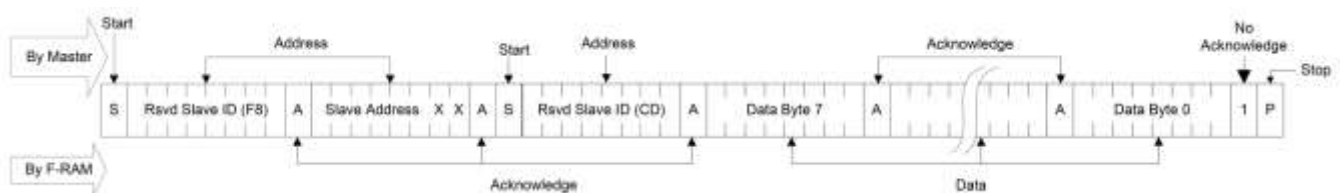


图 8. F-RAM (FM24VN10) 中的序列号读取



3.7 状态寄存器和模块保护

不同于 nvSRAM，F-RAM 没有状态寄存器。因此，不支持模块保护功能。替换为 F-RAM 时，便不能使用该功能。然而，nvSRAM 和 F-RAM 中的写保护 (WP) 引脚的功能是一样的，能够保护整个存储器。

3.8 时序参数

t_{LOW} 和 t_{HIGH} 交流参数表示 SCL 时钟转为低电平和高电平的时序。1 Mb CY14B101J2 和 FM24V10 中的时序相同。对于 64 Kb nvSRAM 和 F-RAM，以非 1 MHz 速度运行时，它们的时序均相同。如果以 1 MHz 速度运行，替换为 F-RAM 时，请确保 t_{LOW} 和 t_{HIGH} 均最低，分别为 600 ns 和 400 ns。

在 64 Kb nvSRAM 中，SDA 和 SCL 线的最长下降时间 (t_f) 为 120 ns，替换为 64 Kb F-RAM 时，该值为 100 ns。

重复 START 和 STOP 条件的建立时间 ($t_{SU:STA}$, $t_{SU:STO}$) 和 START 条件的保持时间 ($t_{HD:STA}$) 略有不同。1 Mb FM24V10 中的值为 260 ns, CY14B101J2 中的值为 250 ns。

剩下的 F-RAM 规范均比 nvSRAM 更好或相同。请参考表 5 和表 6, 了解对比情况。

3.9 V_{cc} 升降斜率

F-RAM 的 V_{cc} 上电升降斜率规范比 nvSRAM 占优势或相同。然而, F-RAM 增加了下电升降斜率规范。请确保系统中的该值超过 30 $\mu\text{s}/V$ 。

3.10 固件更改

nvSRAM 的固件会包含特定于 nvSRAM 功能 (如自动存储、软件存储、软件回读、自动存储使能和自动存储禁用) 的额外逻辑。F-RAM 的固件可以移除该逻辑。另外, F-RAM 中的睡眠模式、器件 ID 和序列号指令均不一样, 因此需要修改它的固件。

对于 F-RAM 器件, 从上电到第一次访问的时间、睡眠模式的进入时间和唤醒时间比 nvSRAM 更低。所以, 可以更新固件以缩短等待时间。有关详细信息, 请参见表 5 和表 6。

4 总结

本应用笔记描述了将 I²C nvSRAM 替换为 I²C F-RAM 器件所涉及的各项步骤。这两种器件在封装、功能和参数方面存在差异, 需要仔细考虑。大部分使用 nvSRAM 器件的设计只要稍加更改便可以轻松替换为 F-RAM 器件。

文档修订记录

文档标题: AN200291 — 将 I²C nvSRAM 替换为 I²C F-RAM™

文档编号: 002-10301

版本	ECN	变更者	提交日期	变更说明
**	5045488	LISZ	12/23/2015	本档版本号为 Rev**, 译自英文版 002-00291 Rev**。

全球销售和 design 支持

赛普拉斯公司具有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想查找离您最近的办事处，请访问赛普拉斯办公所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

PSoC 是赛普拉斯半导体公司的注册商标，且 F-RAM 是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

	赛普拉斯半导体公司 198 Champion Court San Jose, CA 95134-1709	电话 : 408-943-2600 传真 : 408-943-4730 网址 : www.cypress.com
---	--	---

©赛普拉斯半导体公司，2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不在此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受限于赛普拉斯软件许可协议。