

GL-P および GL-S フラッシュから GL-T フラッシュへの置き換え

著者 : Gernot Hoyler

関連部品ファミリ : S29GL-P/S/T

本資料 (AN202453) は、サイプレス GL-P フラッシュと GL-S フラッシュを GL-T フラッシュ ファミリに置き換える際の重要な注意点および潜在的な問題を説明します。影響を受けるデバイス機能、タイミング パラメーターおよびパッケージについても説明します。

目次

1	はじめに	1	3.12	個別セクタの書き込み保護	5
2	GL-P、GL-S、および GL-T フラッシュの機能比較	1	3.13	データ ポーリング	5
3	機能の差異についての説明	3	3.14	ステータス レジスタ	5
3.1	容量	3	3.15	ブランク チェック	6
3.2	セクタ アーキテクチャ	3	3.16	連続性チェック	6
3.3	データ バス幅	3	3.17	CFI レジスタ	7
3.4	ページ読み出しバッファ サイズ	3	3.18	ロック レジスタの差異	8
3.5	書き込みバッファサイズ	3	4	パワーオン リセットとウォーム リセットの タイミング	9
3.6	高電圧プログラミング アクセラレーション ...	3	5	DC と AC のパラメーターの差異	10
3.7	自動選択レジスタ アクセス	3	6	パッケージ	11
3.8	デバイス ID	4	付録 A.古い Linux カーネル用パッチ	13	
3.9	アンロック バイパス	4	改訂履歴	14	
3.10	マルチセクタ 消去	4	セールス、ソリューションおよび法律情報	15	
3.11	セキュア シリコンの OTP 領域	4			

1 はじめに

サイプレスは 45nm プロセス技術に基づくパラレル NOR 型ファミリ「GL-T」の導入により、MirrorBit® GL である 3V NOR 型フラッシュをさらに拡充しています。サイプレスは、移行を念頭に置いて GL-T フラッシュ ファミリを開発しました。そのため、GL-P および GL-S フラッシュ用に開発された既存のアプリケーションのほとんどを GL-T フラッシュでも利用できます。本書は、GL-T フラッシュへの置き換えをする上で注意すべき製品の差異について、要点をまとめています。

2 GL-P、GL-S、および GL-T フラッシュの機能比較

表 1 に、GL-P、GL-S および GL-T の各フラッシュ ファミリの機能概要を示します。45nm MirrorBit GL-T フラッシュは、GL-P などの旧フラッシュ ファミリで使用可能でしたが、GL-S フラッシュでサポートされなくなったいくつかの機能に対応しています。また、GL-T フラッシュは、GL-P および/または GL-S フラッシュを使用する既存の設計に使用できるように基本的なハードウェアとソフトウェアの互換性を維持します。機能の差異は、3 ページの 3 節「機能の差異についての説明」で詳しく説明します。

パワーオン リセット (POR) のタイミングの差異については、9 ページの 4 節「パワーオン リセットとウォーム リセットのタイミング」で説明します。

DC 仕様と AC 仕様の差異については、10 ページの 5 節「DC と AC のパラメーターの差異」で説明します。

フットプリントとパッケージ化の差異については、11 ページの 6 節「パッケージ」で説明します。

表 1. GL ファミリの機能比較

ファミリ	S29GL-P 90nm	S29GL-S 65nm	S29GL-T 45nm	置き換え上の問題
容量				
128M ビット	√	√	–	有
256M ビット	√	√	–	有
512M ビット	√	√	√	無
1024M ビット	√	√	√	無
2048M ビット	√(マルチダイ)	√(マルチダイ)	√(マルチダイ)	無
セクタ アーキテクチャ				
ユニフォーム 128kB	√	√	√	無
アクセス				
x16 のデータ バス幅	√	√	√	無
x8 のデータ バス幅	√	–	√	無
非同期	√	√	√	無
読み出しページモード	√	√	√	無
読み出しページサイズ	16 バイト	32 バイト	32 バイト	無
パuffa書き込みサイズ	64 バイト	512 バイト	512 バイト	無
セキュリティ				
個別セクタの書き込み保護	√	√	√	無
セキュア シリコンの OTP 領域	256 バイト	2x512 バイト	4x512 バイト	あり得る
その他				
12V プログラミング アクセラレーション	√	–	√	無
アンロック バイパス コマンド	√	–	√	無
マルチセクタ消去	√	–	√	無
ブランク チェック	–	√	√	無
連続性チェック	–	–	√	無
高電圧自動選択アクセス	√	–	–	あり得る
CFI バージョン	1.3	1.5	1.3 / 1.5	無
データ ポーリングによるステータス確認	√	√	√	無
ステータス レジスタによるステータス確認	–	√	√	無
パッケージと注文オプション				
56 ピン TSOP	√	√	√	無
64 ボール BGA、10 x 13mm (FAA064)	√	–	–	有
64 ボール BGA、11 x 13mm (LAA064)	√	√	√	無
64 ボール BGA、9 x 9mm (LAE064)	–	√	√	無
56 ボール BGA、9 x 7mm (VBU056)	–	–	√	無
SnPb はんだオプション (RoHS 5/6)	√	√	–	あり得る

3 機能の差異についての説明

3.1 容量

S29GL-T フラッシュはモノリシック 512 および 1024M ビットの 2 種類のみで利用可能です。また、マルチダイ S70GL-T フラッシュは 2048M ビットの容量で使用可能です。これらの容量のデバイスのみ置き換え可能です。

3.2 セクタ アーキテクチャ

GL-T フラッシュは、GL-P および GL-S フラッシュと同じように、128kB ユニフォーム セクタ アーキテクチャがあります。

3.3 データ バス幅

GL-T フラッシュは、x16 および x8 データ バス幅の両方をサポートし、すなわち、それは x16 モードのみをサポートする GL-S フラッシュを含め、すべての前世代製品と互換性があります。BYTE# 入力信号 (56 ピン TSOP のピン 53 および 64 ボール BGA のボール F7) は使用されているモードを決定します。GL-T フラッシュは内部ブルアップ抵抗があるため、BYTE# 信号を駆動しない GL-S アプリケーションとも互換性があります。

3.4 ページ読み出しバッファ サイズ

GL-S フラッシュのように、GL-T フラッシュは 32 バイト (16 ワード) のページ読み出しバッファがあり、これは GL-P フラッシュの倍のサイズであり、より大きなプロセッサ キャッシュラインのフィル動作を容易にします。GL-P フラッシュがサポートしている 16 バイトの最大ページ読み出し転送で動作させる場合にも、ソフトウェアの変更は必要ありません。

ソフトウェアの変更により、CFI ワードオフセット 4Ch にある CFI ページ モード レジスタを照会し、追加のページ モード読み出しサイクルを実行するようにソフトウェアを構成することによって、GL-T のより大きなページ読み出しバッファの利点を生かすことができます。

3.5 書き込みバッファサイズ

GL-T フラッシュは 512 バイト (256 ワード) の書き込みバッファがあり、GL-S フラッシュと同じで、GL-P フラッシュのサイズに比べて 8 倍です。より大きな書き込みバッファにより、ほとんどのファイル システムではプログラムのスループットを高くし、データ アライメントを向上させます。GL-P フラッシュがサポートする 64 バイト最大書き込みバッファ フィルで動作させる場合にも、ソフトウェアの変更は必要ありません。

ソフトウェアの変更により、CFI ワードオフセット 2Ah にある CFI プログラム バッファ サイズ レジスタを照会し、大きな書き込みバッファ フィルを実行するようにソフトウェアを構成することによって、GL-T のより大きな書き込みバッファの利点を生かすことができます。GL-T バッファ書き込みを 32 バイトの倍数でのページで実行して、データの整合性を最大化することが推奨されています。GL-T フラッシュの産業用拡張バージョン (-40 °C ~ +105 °C) の場合、これは必須です。例えば、アレイに単一の動作でプログラムされる 1 ~ 16 の 32 バイトのデータ ページを使用して書き込みバッファをロードします。

3.6 高電圧プログラミング アクセラレーション

GL-T フラッシュは、GL-P フラッシュと同様に、 V_{HH} (公称 12V) が WP#/ACC 入力に印加される時、プログラミング アクセラレーションをサポートしています。この機能をサポートしていない GL-S フラッシュに基づく既存の設計には変更は不要です。

3.7 自動選択レジスタ アクセス

自動選択レジスタは特別な識別子コードを通じてメーカーおよびデバイス ID を提供します。

GL-P フラッシュは、自動選択コマンドによる自動選択レジスタ アクセスのほか、アドレス入力 A9 への VID (公称 12V) 高電圧印加による方法もサポートしていますが、GL-T および GL-S フラッシュは、自動選択コマンド (現在、ID エントリ コマンドと呼ばれる) による自動選択レジスタ アクセスのみをサポートしています。既存設計で、高電圧による自動選択レジスタ アクセスのサポートを有効にしている場合は、設計を変更してください。

GL-P フラッシュでは、自動選択レジスタはセクタ アドレス 0 (SA00) にオーバーレイされます。GL-S および GL-T フラッシュでは、自動選択レジスタは自動選択エントリ コマンドで選択されたセクタにオーバーレイされます。既存の GL-P および GL-S 設計で、GL-T フラッシュの自動選択レジスタにアクセスする場合、SW の変更は必要ありません。

セクタ ロック ステータスは、目的のセクタ内にある自動選択レジスタのワード オフセット 02h にアクセスすることで、判定できます。GL-P フラッシュでは、複数セクタのロック保護ステータスは、フラッシュ ベース アドレスで自動選択モードに入った後で判定できます。GL-T および GL-S フラッシュでは、自動選択エントリ コマンドで選択されたセクタの保護ステータスのみを判定できます。別のセクタのロック保護ステータスを判定するには、自動選択モードを一度終了し、自動選択エントリ コマンドで目的のセクタを使用して再度自動選択モードに入る必要があります。

3.8 デバイス ID

モノリシック 512M ビットおよび 1024M ビットの GL-T フラッシュ デバイスは、対応する GL-P および GL-S デバイスと同じデバイス ID レジスタ値を持っています。S70GL02GT フラッシュは、S70GL02GP および S70GL02GS フラッシュと同じデバイス ID を持っています。

表 2. GL フラッシュ デバイス ID

説明	アドレス	読み出しデータ
デバイス ID ワード 1	(SA) + 0001h	227Eh
デバイス ID ワード 2	(SA) + 000Eh	2248h = 2G ビット 2228h = 1G ビット 2223h = 512M ビット
デバイス ID ワード 3	(SA) + 000Fh	2201h

GL-P または GL-S をサポートし、デバイス ID を使用してソフトウェア コマンド サポートをセットアップする既存のソフトウェアは、変更せずに GL-T フラッシュと互換性があります。GL-T の新しい機能を利用する場合は、特定の CFI レジスタに対する照会を含める必要があります。CFI ワード オフセット 45h にある CFI プロセス生成ビットが、システム内の固有 GL ファミリ (例: GL-P: 0014h, GL-S: 001Ch, GL-T: 0024h) を判定する働きをします。

GL-T フラッシュでは、デバイス ID にはソフトウェアの自動選択レジスタ コマンドによってのみアクセスできません。GL-P フラッシュでサポートされているオプションの高電圧方法を介してアクセスできません。3 ページの「自動選択レジスタ アクセス」ご参照ください。

3.9 アンロック バイパス

アンロック バイパス モード プログラムは、シングル バイト/ワードのプログラム コマンドでプログラムを実行する場合に、コマンド サイクルのオーバーヘッドを 50% 低減させるために使用される、従来の機能です。高容量 GL デバイスを使用するアプリケーションは、複数ワードのバッファ書き込みプログラムによって、プログラムのスループットを最大化します。バッファ書き込みプログラムのコマンド オーバーヘッドは本質的に実効性が低く、ならびにシングル バイト/ワードのプログラムもサポートします。

GL-T フラッシュは、GL-P フラッシュと同じように、アンロック バイパス モード プログラムをサポートしています。この機能をサポートしていない GL-S フラッシュに基づく既存の設計には変更は不要です。

3.10 マルチセクタ消去

マルチ セクタ消去は、コマンド オーバーヘッドを最小化するため 1 つのコマンド スtring でマルチ セクタ消去動作のキューイングを可能にする、従来の機能です。

GL-T フラッシュは、GL-P フラッシュと同じように、マルチ セクタ消去をサポートしています。この機能をサポートしていない GL-S フラッシュに基づく既存の設計には変更は不要です。

3.11 セキュア シリコンの OTP 領域

S29GL-T フラッシュ デバイスには、2048 バイトの OTP (ワン タイム プログラマブル) メモリ領域があります。このセキュア シリコン領域 (SSR) は 4 つのメモリ領域に分けられており、下の 512B 領域 (SSR0) は工場に変更可能で、上位の 3 つの 512B 領域 (SSR1 ~ SSR3) はユーザーによって変更可能です。SSR0 はあらかじめ工場にてプログラムして出荷することが可能です。SSR0 は工場にてロックされた領域で、ユーザーによって変更できません。セキュア シリコン領域がアクセス可能になるのは、セキュア シリコン エントリ コマンドの書き込み後です。この領域は、エントリ コマンドの実行中に選択されたセクタの下位 1kB にマップされます。SSR0 は選択されたセクタのワード オフセット 0x0000 ~ 0x00FF にオーバーレイされます。SSR1 は選択されたセクタのワード オフセット 0x0100 ~ 0x01FF、SSR2 は選択されたセクタのワード オフセット 0x0200 ~ 0x02FF、SSR3

は選択されたセクタのワード オフセット 0x0300 ~ 0x03FF にオーバーレイされます。2kB セキュア シリコン領域の外側のメモリ領域には、セキュア シリコン アクセス モード時は未定義データが格納されます。

同様に S29GL-S フラッシュ デバイスには、1024 バイトの OTP (ワンタイム プログラマブル) メモリ領域があります。このメモリ領域は 2 つの 512B 領域 (SSR0 および SSR1) に分けられており、GL-T フラッシュと同じ機能を持っています。

GL-P フラッシュでは、セキュア シリコン セクタ領域に OTP の 256B があります。この領域は、工場にてあらかじめプログラムしてロックして出荷することも可能ですし、ユーザーがプログラムしてロックすることも可能です。この領域は、セキュア シリコン アクセス モード時のみアクセス可能で、SA0 の 0x0000 ~ 0x007F にオーバーレイされます。また、セキュア シリコン ロック レジスタ ビットの使用は GL-T および GL-S とは異なります。GL-T ロック レジスタのビット 0 は工場出荷時に 0 にプログラムされており、SSR 領域 0 が工場にてロックされたことを示します。GL-T ロック レジスタのビット 6、ビット 9 およびビット 10 は、工場にて 1 にプリセットされ、SSR1 ~ SSR3 がロック解除されており、ユーザーがこれらを 0 にプログラムして、SSR をロックできることを示します。GL-P ロック レジスタのビット 0 はデフォルトで 1 にプリセットされて、セキュア シリコン領域がロック解除されていることを示します。このビットは工場にてあらかじめプログラムした状態として注文された場合、工場にて 0 に設定することも可能ですし、ユーザーが 0 にプログラムしてセキュア シリコン領域をロックすることも可能です。

S70GL02GT フラッシュには効率的に、2kB の OTP のメモリ領域が 2 つ (各 GL01GT ダイに 1 つずつ) 配置されています。上位領域にアクセスするには、セキュア シリコン レジスタ アクセス コマンドのサイクル中にフラッシュへの入力を A26=1 にする必要があります。

3.12 個別セクタの書き込み保護

GL-T フラッシュはアドバンスド セクタ 保護 (ASP) 機能をサポートしています。この機能は、ソフトウェア対応によるプログラムおよび消去の保護を、ユーザー設定が可能な 8 バイトのパスワードを利用してセクタ単位で可能にするとともに、不揮発性および揮発性の制御と、GL-S および GL-P フラッシュとの一貫性を提供します。

3.13 データ ポーリング

GL-T フラッシュは、組み込みプログラムおよび消去動作のステータスを判定する方法として、従来のデータ ポーリングをサポートしています。この実装は GL-S および GL-P フラッシュと一貫性があります。GL-T フラッシュに置き換える際、データ ポーリング ルーチンをそのまま使用する場合も、ソフトウェアの変更は必要ありません。

GL-T フラッシュ上で DQ5 タイムアウト イベントが発生した場合、DQ5 をクリアして、フラッシュをレディ状態に戻すにはソフトウェア リセット コマンドが必要です。GL-T フラッシュがこのリセット コマンドの実行でビジーであることを通信し停止するには 100ns 秒かかることがあります。GL-S フラッシュの場合、このパラメーターは 2 μ s です。

データ ポーリングは将来のより小さなプロセスの MirrorBit GL フラッシュ ファミリではサポートされない場合があります。データ ポーリングがサポートされない場合、組み込みプログラムと消去動作のステータスを判定するためには、ステータス レジスタの読み出しが必要になります。

3.14 ステータス レジスタ

GL-T フラッシュは、組み込み動作のステータスを判定するには、データ ポーリングに代わる方法として、ステータス レジスタの読み出しをサポートしています。ステータス レジスタ機能は GL-S でもサポートされていますが、GL-P フラッシュでサポートされていません。

16 ビット ステータス レジスタへのアクセスは、ステータス レジスタ読み出しコマンドの書き込みサイクルと、その直後に続く、同一ターゲットのセクタ アドレスへの読み出しサイクルから成る、2 サイクル シーケンスによって行われます。ステータス レジスタの利用には優位性があります。なぜなら、従来のデータ ポーリングと異なり、ソフトウェアはアクティブなアドレス領域を追跡したり、順次的なポーリング読み出し値を比較して組み込みアルゴリズムのステータスを判定したりする必要がないからです。ステータス レジスタへの 1 回のアクセスで、フラッシュの状態を判定するのに必要なすべての情報が提供されます。ステータス レジスタの最後に完了した組み込み動作部分をリセットするには、ステータス レジスタ クリア コマンドを利用できます。

ステータス レジスタの使用は任意であり、GL-P フラッシュを使用する既存設計ではこの機能に対応する必要はありません。必要であれば、ソフトウェアの変更により、自動選択モードでオフセット 000Ch の下位ソフトウェア ビットを照会することによって、この機能を利用できます。ビット 0 がセットされている場合、ステータス レジスタの機能がサポートされています。

ステータス レジスタの実装についての完全な詳細は、GL-T フラッシュのデータシートに記載されています。ステータス レジスタのビット定義は表 3 に記載されています。

表 3. ステータス レジスタ ビット定義

ステータス レジスタ ビット	説明	名称	リセット値	ビジー ステータス	レディー ステータス
15:8	予約済み		x	無効	x
7	デバイス レディー ビット	DRB	1	0	1
6	消去一時停止 ステータス ビット	ESSB	0	無効	0: 一時停止中の消去はない 1: 消去は一時停止中
5	消去ステータス ビット	ESB	0	無効	0: 消去成功 1: 消去失敗
4	プログラム ステータス ビット	PSB	0	無効	0: プログラム成功 1: プログラム失敗
3	書き込みバッファ中止 ステータス ビット	WBASB	0	無効	0: プログラムが中止されない 1: 書き込みバッファ コマンドの実行中に プログラムが中止される
2	プログラム一時停止 ステータス ビット	PSSB	0	無効	0: 一時停止中のプログラムはない 1: プログラムが一時停止中
1	セクタ ロック ステータス ビット	SLSB	0	無効	0: 動作中にセクタがロックされない 1: セクタがロックされるため、 エラー動作が発生
0	連続性チェック	CC	0	無効	0: 連続性チェック パターンが検出されない 1: 連続性チェック パターンが検出される

注:

- ビット 15～8 は将来の使用のために予約済みで、0 または 1 の値を表示します。状態をチェックする時はこれらのビットを無視 (マスク) する必要があります。
- デバイスに実行中の組み込みアルゴリズムがない場合、ビット 7 は 1 です。
- ビット 6～1 は、ビット 7 が 1 の場合にのみ有効です。
- すべてのビットは、コールド リセットまたはウォーム リセットが実行されるとリセットの状態になります。
- ステータス レジスタ クリア コマンドまたはリセット コマンドが実行されると、ビット 5、4、3、1 は 0 にクリアされます。
- 消去一時停止コマンド発行時、ユーザーは DRB が 1 になるまでステータスの読み出しを継続する必要があります。
- 消去再開コマンドを実行すると ESSB は 0 にクリアされます。
- ESB は最新の消去操作の結果 (正常または異常) を反映します。
- PSB は最新のプログラム操作の結果 (正常または異常) を反映します。
- 消去一時停止中に、その一時停止しているセクタに対してプログラムを実行すると、そのプログラムは失敗し、プログラムのステータス ビットが 1 にセットされます。
- プログラム一時停止コマンド発行時、ユーザーは DRB が 1 になるまでステータスの読み出しを継続する必要があります。
- プログラム再開コマンドを実行すると PSSB は 0 にクリアされます。
- SLSB は、セクタがロックされているため、プログラムまたは消去動作が失敗したことを示します。
- SLSB は最新のプログラム動作または消去動作の状態を反映します。

3.15 ブランク チェック

GL-T フラッシュはセクタのブランク チェック機能をサポートしています。これにより、GL-S フラッシュと同様に、システム ソフトウェアはコード更新前の消去に関連するレイテンシを最小限にすることが可能です。この機能の使用は任意であり、GL-P フラッシュではサポートされていません。新しいブランク チェック機能は既存の設計には影響しません。ブランク チェック機能の実装の詳細については、GL-T データ シートをご参照ください。

3.16 連続性チェック

連続性チェック機能は GL-T フラッシュで導入されています。これは、パッケージのコネクタから個々のダイ パッドやマルチ ダイ パッケージ内の個々のダイへの接続に関わる、基本的なテストを提供します。この機能の使用は任意であり、GL-S および GL-P フラッシュではサポートされていません。既存の設計には影響を与えません。実装の詳細については GL-T のデータシートをご参照ください。

3.17 CFI レジスタ

表 4 に、GL-T、GL-S、GL-P のそれぞれのフラッシュ ファミリで異なるコモン フラッシュ インターフェース (CFI) レジスタのすべての値のリストを示します。ソフトウェアは、CFI レジスタにアクセスし、デバイス固有の機能 (アレイ サイズ、コマンド セット、ページ サイズ、およびプログラム時間など) を判定し、これらの値を使用して自己構成することで最適性能を実現できます。

GL-S フラッシュがサポートしているのは CFI バージョン 1.5 で、これは、GL-P フラッシュでサポートされていた従来の CFI バージョン 1.3 の拡張アドレス範囲の改訂です。GL-T フラッシュには、下位互換性を最大限に高めるため、CFI バージョン 1.3 または CFI バージョン 1.5 のいずれかをサポートするオプション品があります。唯一の違いは、オフセットアドレス 44h のマイナーバージョン番号の値と、オフセット 51h 以上のアドレスの値です。CFI バージョン 1.3 では無効です。

GL-P フラッシュから移行する際は、可能な限り CFI 1.5 での GL-T 部品を注文してください。パッチを当てたり再構築したりすることができない古いドライバ (Linux 2.6 など) で使用する場合は、CFI 1.3 の GL-T 部品を注文してください。

表 4. CFI レジスタの差異 (1/2)

CFI レジスタ	ワード オフセット	GL-P	GL-S	GL-T
1 ワード書き込み時の標準タイムアウト = $2^N \mu\text{s}$	1Fh	0006h	0008h	0008h
個別ブロック消去時の標準タイムアウト = 2^Nms	21h	0009h	0008h	000Ah
チップ全体消去時の標準タイムアウト = 2^Nms 0000h = 非対応	22h	0013h (1Gb) 0012h (512Mb) 0011h (256Mb) 0010h (128Mb)	0012h (1Gb) 0011h (512Mb) 0010h (256Mb) 000Fh (128Mb)	0014h (1Gb) 0013h (512Mb)
1 ワードの最大タイムアウト = 標準タイムアウト $\times 2^N$	23h	0003h	0001h	0002h (85°C) 0003h (105°C)
最大複数バイト プログラム時の最大タイムアウト = 標準タイムアウト $\times 2^N$	24h	0005h	0002h	0001h (85°C) 0002h (105°C)
個別ブロック消去時の最大タイムアウト = 標準タイムアウト $\times 2^N$	25h	0003h	0003h	0002h
チップ全体消去時の最大タイムアウト = 標準タイムアウト $\times 2^N$ 0000h = 非対応	26h	0002h	0003h	0002h
フラッシュ デバイス インターフェースの説明: 0000h = x8 のみ、0001h = x16 のみ、 0002h = x8 / x6 対応	28h	0002h	0001h	0002h
複数バイト書き込み時の最大バイト数 = 2^N	2Ah	0006h	0009h	0009h
マイナーバージョン番号 (ASCII)	44h	0033h	0035h	0033h / 0035h
プロセス テクノロジ (ビット 5 ~ 2): 0101b = 90nm MirrorBit、 0111b = 65nm MirrorBit Eclipse、 1001b = 45nm MirrorBit、 アドレス センシティブ アンロック (ビット 1 ~ 0): 00b = 必要、01b = 不要	45h	0014h	001Ch	0024h
ページ モード タイプ 0002h = 8 ワード ページ、0003h = 16 ワード ページ	4Ch	0002h	0003h	0003h
ACC (アクセラレーション) 最小電源電圧 0000h = 非対応、 D[7:4] = V、D[3:0] = 100mV	4Dh	00B5h	0000h	00B5h
ACC (アクセラレーション) 最大電源電圧 0000h = 非対応、D[7:4] = V、D[3:0] = 100mV	4Eh	00C5h	0000h	00C5h
アンロック バイパス 0000h = 非対応、0001h = 対応	51h	-	0000h	- / 0001h
セキュア シリコン セクタ (ユーザー用 OTP エリア) サイズ = 2^N バイト	52h	-	0009h	- / 0009h
ソフトウェア機能	53h	-	008Fh	- / 008Fh
読み出しページサイズ = 2^N バイト	54h	-	0005h	- / 0005h

表 4. CFI レジスタの差異 (2/2)

CFI レジスタ	ワード オフセット	GL-P	GL-S	GL-T
消去一時停止の最大タイムアウト $2^N \mu\text{s}$	55h	-	0006h	- / 0006h
プログラム一時停止の最大タイムアウト $2^N \mu\text{s}$	56h	-	0006h	- / 0006h
組み込みハードウェア リセットの最大タイムアウト $2^N \mu\text{s}$	78h	-	0006h	- / 0006h
非組み込みハードウェア リセットの最大タイムアウト $2^N \mu\text{s}$	79h	-	0009h	- / 0009h

3.18 ロック レジスタの差異

GL-T フラッシュの場合、ロック レジスタにいくつかの変更があります。表 5 をご参照ください。

- DQ11~DQ9 ロック ビットが GL-T のフラッシュでは新しいものです。GL-S および GL-P フラッシュではこれらのビットは「予約済み」で、工場に 1 にプリセットされていました。
- DQ8「予約済み」ビットは GL-T および GL-S フラッシュの両方では工場であらかじめ 0 に設定されています。GL-P フラッシュでは、このビットは工場に 1 にプリセットされています。DQ7「予約済み」ビットは GL-S フラッシュでは工場であらかじめ 0 または 1 にセットされています。このビットは GL-T および GL-P フラッシュでは工場に 1 にプリセットされています。
- DQ6 (SSR1 ロック ビット) は GL-T および GL-S フラッシュでは、工場であらかじめ 1 にセットされており、512 バイト SSR1 メモリ領域を永続的に書き込みから保護するためにユーザーによって 0 にセットすることが可能です。GL-P フラッシュでは、このビットは「予約済み」で、工場に 1 にプリセットされています。
- DQ0 (SSR0 [工場] ロック ビット) は GL-T および GL-S フラッシュでは、512 バイト SSR0 メモリ領域を永続的に書き込みから保護するために工場に 0 にプリセットされています。GL-P フラッシュでは、このビットを使って、セキュア シリコン領域のロックを工場にて、またはユーザーによって行えます。セキュア シリコン領域が工場であらかじめプログラムされている場合、このビットは 0、つまり、セキュア シリコン領域はロックされています。また、工場であらかじめ 1 にプリセットされている場合、ユーザーは 0 に変更することでセキュア シリコン領域をロックできます。

注：ユーザーが同時にすべてのビットをプログラムする必要はありません。これにより、デバイス保護スキームの選択前後に、ユーザーは SSR をロックできます。ロック レジスタをプログラムする時は、すべての「予約済み」ビットに 1 を書き込む (マスクする) 必要があります。

表 5. ロック レジスタの差異

ロック レジスタ	GL-P フラッシュ		GL-S フラッシュ		GL-T フラッシュ	
	定義	デフォルト	定義	デフォルト	定義	デフォルト
DQ[15:12]	予約済み	1111b	予約済み	1111b	予約済み	1111b
DQ11	予約済み	1b	予約済み	1b	SSR3 パスワードモード ロック ビット	1b
DQ10	予約済み	1b	予約済み	1b	SSR3 ロック ビット	1b
DQ9	予約済み	1b	予約済み	1b	SSR2 ロック ビット	1b
DQ8	予約済み	1b	予約済み	0b	予約済み	0b
DQ7	予約済み	1b	予約済み	0b/1b	予約済み	1b
DQ6	予約済み	1b	SSR1 ロック ビット	1b	SSR1 ロック ビット	1b
DQ[5:3]	予約済み	111b	予約済み	111b	予約済み	111b
DQ2	パスワード保護 モード ロック ビット	1b	パスワード保護モード ロック ビット	1b	パスワード保護モード ロック ビット	1b
DQ1	恒久的な保護 モード ロック ビット	1b	恒久的な保護モード ロック ビット	1b	恒久的な保護モード ロック ビット	1b
DQ0	セキュア シリコン セクタ保護ビット	1b	SSR0 (工場) ロック ビット	0b	SSR0 (工場) ロック ビット	0b

4 パワーオン リセットとウォーム リセットのタイミング

パワーオン リセット時、フラッシュは、ウォーム リセット時に比べて、リセット状態で初期化する時間をより長く必要とします。GL-T、GL-S および GL-P フラッシュ用のパワーオン リセットとウォーム リセットのタイミング要件については表 6 と図 1、図 2 に示します。

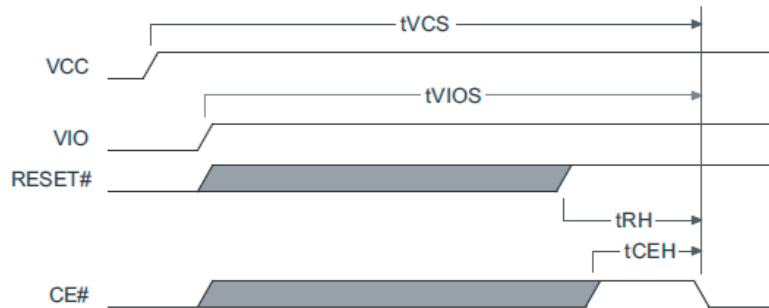
表 6. パワーオン リセットとウォーム リセットのタイミング要件

パラメーター	説明	タイプ	GL-P	GL-S	GL-T
パワーオン リセット					
t_{VCS}	最初のアクセスまでの V_{CC} セットアップ時間	Min	35 μ s	300 μ s	300 μ s
t_{VIO}	最初のアクセスまでの V_{IO} セットアップ時間	Min	35 μ s	300 μ s	300 μ s
t_{RPH}	RESET# LOW から CE# LOW までの時間	Min	35 μ s	35 μ s	35 μ s
t_{RP}	RESET# LOW から RESET# HIGH までの時間	Min	35 μ s	200ns (2)	200ns (2)
t_{RH}	RESET# HIGH から CE# LOW までの時間	Min	200ns	50ns (2)	50ns (2)
t_{CEH}	CE# HIGH から CE# LOW までの時間	Min	N/A	20ns	20ns
ウォーム リセット					
t_{RPH}	RESET# LOW から CE# LOW までの時間	Min	35 μ s	35 μ s	35 μ s
t_{RP}	RESET# LOW から RESET# HIGH までの時間	Min	35 μ s	200ns (2)	200ns (2)
t_{RH}	RESET# HIGH から CE# LOW までの時間	Min	200ns	50ns (2)	50ns (2)
t_{CEH}	CE# HIGH から CE# LOW までの時間	Min	N/A	20ns	20ns

注:

1. N/A = 適用不可。
2. GL-S および GL-T の場合、 $t_{RP} + t_{RH}$ は t_{RPH} 未満にはなりません。

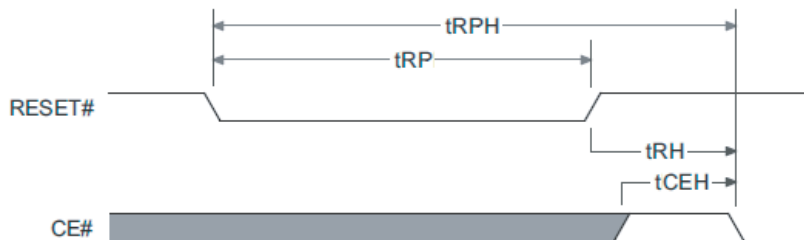
図 1. パワーアップ リセットのタイミング



注:

t_{RP} と t_{RH} の合計値は t_{RPH} 以上でなければなりません。

図 2. ウォーム リセットのタイミング



注:

t_{RP} と t_{RH} の合計値は t_{RPH} 以上でなければなりません。

殆どのアプリケーション (フラッシュがホストと直接インターフェースをとり、ホストがフラッシュへの最初のブート読み出しアクセスを開始する前に振動子と PLL のロックを必要とするアプリケーション) で、パワーオンタイミングの差異は置き換えの妨げとなりません。電力印加直後 300 μ s 以内にフラッシュにアクセスする可能性のあるアプリケーションでは、GL-T フラッシュへの置き換えに対応するためには、一部の回路変更が必要になります。

電源投入後に最初の読み出し/書き込みサイクルを開始するために、GL-T および GL-S は、VCC が VCC_{min} を超え、かつ VIO が VIO_{min} を超えた後、tVCS が経過すると同時に、CE# が HIGH から LOW に遷移することを必要とします。CE# は、最初のアクセスを開始する CE# 立ち下がりがエッジ前に少なくとも tCEH = 20ns の間、HIGH である必要があります。GL-P にはこの要件がなかったため、CE# を LOW に固定する設計を GL-T に置き換えるにはアクティブな CE# コントロールを有効にする修正が必要です。

CE# は、ウォーム リセット中は無視されますが、ウォーム リセット後に最初の読み出し/書き込みサイクルを開始するには、GL-T および GL-S は、RESET# が LOW から HIGH に遷移した後、tRH が経過すると同時に CE# が HIGH から LOW に移行することを要求します。CE# は、最初のアクセスを開始する CE# 立ち下がりがエッジ前に少なくとも tCEH = 20ns の間、HIGH である必要があります。GL-P には要件がなかったため、CE# を LOW に固定する設計を GL-T に置き換えるにはアクティブな CE# コントロールを有効にする修正が必要です。

GL-T フラッシュでは、時間または電圧差の制限なく VCC と同時に、または VCC の後に、VIO が上昇することが可能です。電源上昇の間、VIO を超える入力は許可されません。堅牢で信頼性のあるシステムを設計するための電力の管理と制御に関する詳細説明が、GL-T および GL-S データシートに記載されています。一般的には、GL-T データシートのこの追加説明は、GL-P フラッシュにも当てはまります。

5 DC と AC のパラメーターの差異

表 7 に、DC の仕様の差異を示します。差異もロジック遷移ポイントやタイミングパラメーターの仕様に影響を与えるものではなく、置き換え上の問題の原因とはならないはずです。

表 7. DC 仕様の差異 (-40°C to +85°C)

パラメーター	説明	タイプ	S29GL-P	S29GL-S	S29GL-T
入力レベル					
V _{IO}	A9 と ACC 以外のすべての I/O	Max	4.0V	4.0V	4.0V
V _{IO}	A9 と ACC	Max	12.5V	4.0V	12.5V
ロジック レベル					
V _{IL}	入力 LOW 電圧	Max	0.3 * V _{IO}	0.2 * V _{IO}	0.3 * V _{IO}
V _{IH}	入力 HIGH 電圧	Max	V _{IO} + 0.3V	V _{IO} + 0.4V	V _{IO} + 0.4V
電力消費					
I _{CC1}	アクティブ V _{CC} + V _{IO} 読み出し (5MHz)	Max	55mA	60mA	60mA
I _{CC2}	アクティブ V _{CC} ページ内読み出し (33MHz)	Max	20mA	25mA	25mA
I _{CC3}	アクティブ プログラムまたは消去	Max	90mA	100mA	100mA
I _{CC4}	スタンバイ電流	Max	5 μ A	100 μ A	100 μ A
I _{CC5}	リセット電流	Max	500 μ A	20mA	20mA
I _{CC6}	自動スリープ電流	Max	5 μ A	150 μ A	150 μ A

表 8 に、GL ファミリ間の AC パラメーター仕様の差異を示します (より少ないリセットタイミングパラメーターの差異は表 6 に記載されています)。置き換えを確実に成功させるためには、実際のアプリケーション実装に照らし合わせてすべてのパラメーターを検討する必要があります。消去一時停止および/またはプログラム一時停止の機能を利用するアプリケーションの場合は、一時停止コマンド発行から再開コマンド発行まで、およびフラッシュがステータスを更新してからモード間の遷移を完了するまでのレイテンシが GL-P より長い GL-T について、システムソフトウェアの分岐を検討することが重要です。

表 8. AC 仕様の差異

パラメーター	説明	タイプ	GL-P (1)	GL-S (1)	GL-T (1)
非同期読み出し					
$t_{ACC} / t_{CE} / t_{RC}$	読み出しサイクルの時間	Min	100ns	100ns	100ns
t_{PACC}	ページ内アクセス時間	Min	25ns	15ns	15ns
t_{DF}	制御ネゲートからデータ HIGH-Z までの時間	Min	20ns	15ns	15ns
非同期書き込み					
t_{WC}	書き込みサイクル時間	Min	100ns	60ns	60ns
t_{WP}	WE# イネーブルからディスエーブルまでの時間	Min	35ns	25ns	25ns
t_{WPH}	WE# ディスエーブルからイネーブルまでの時間	Min	30ns	20ns	20ns
t_{DS}	データ セットアップから WE# ディスエーブルまでの時間	Min	30ns	30ns	30ns
t_{BUSY}	消去/プログラム有効から RY/BY# までの遅延	Max	90ns	80ns	80ns
一時停止/再開					
t_{ESL}	消去一時停止/消去再開	Max	20 μ s	40 μ s	40 μ s
t_{PSL}	プログラム一時停止/プログラム再開	Max	15 μ s	40 μ s	40 μ s
アレイ更新					
	全バッファ書き込みプログラム時間 (2)	Typ	480 μ s	340 μ s	451 μ s
	実効ワード当り書き込みバッファのプログラム時間	Typ	15 μ s	1.33 μ s	1.76 μ s
	単一ワードのプログラム時間	Typ	60 μ s	125 μ s	160 μ s
	128kB セクタの消去時間	Typ	500ms (4)	275ms	535ms
	セクタ消去タイムアウト	Max	50 μ s	0s	50 μ s
スループット					
	×16 非同期読み出し	Max	20MB/s	20MB/s	20MB/s
	×16 ページ モード読み出し (3)	Max	58MB/s	98MB/s	98MB/s
	プログラム	Typ	133kB/s	1.5MB/s	1.14MB/s
	消去	Typ	262kB/s (4)	477kB/s	245kB/s

注:

1. 表の仕様はすべて、VCC = VIO = 2.7 ~ 3.6V (-40°C ~ +85°C) での、産業用温度範囲の 512M ビット容量のデバイスに適用されます。別の容量のデバイスの性能仕様および動作条件については、対応するデバイスのデータシートをご参照ください。
2. 最大書き込みバッファ サイズは次のように異なります: GL-P = 64B、GL-S = GL-T = 512B。
3. GL-P では 8 ワード ページアクセス、GL-S および GL-T では 16 ワード ページアクセスに基づく、ページ モード読み出しのスループット。
4. 消去前の 0x00 へのプリプログラムを除きます。

6 パッケージ

標準の S29GL-T フラッシュは、56 ピン リードフレーム パッケージ (TSO056)、64 ボール BGA パッケージ (LAA064 および LAE064)、および 56 ボール BGA パッケージ (VBU056) (鉛フリーのみ) として提供されています。電気接点の寸法とフットプリントは GL-P および GL-S フラッシュと互換性があります。

LAE064 パッケージの外形寸法は 9 x 9mm で、11 x 13mm の LAA064 パッケージと比べ 43% 小さくなっています。LAE064 パッケージを既存の LAA064 設計で利用する場合、プリント基板 (PCB) のレイアウト変更は必要ありません。ただし、適切なデバイス配置のために表面実装の配置プログラムの変更が必要です。VBU056 パッケージは GL-P と GL-S フラッシュで使用できない新しいパッケージです。

S70GL02GT フラッシュは、S70GL02GP および S70GL02GS フラッシュと同じ 64 ボール LAA064 BGA (ボールグリッドアレイ) パッケージで入手可能です。

変更されている接続定義については表 9 をご参照ください。

表 9. ピン配列の差異

ピンまたはボール	GL-P	GL-S	GL-T	置き換え上の問題
TSOP パッケージ				
16	WP#/ACC	WP#	WP#/ACC	無
27	NC	RFU	RFU	無
28	NC	DNU	RFU	無
30	NC	RFU	RFU	無
51	DQ15/A-1	DQ15	DQ15/A-1	無
53	BYTE#	RFU	BYTE#	無
55	NC/A25 (1)	NC/A25 (1)	NC/A25 (1)	無
LAA/LAE パッケージ				
B1	NC/A26 (2)	NC/A26 (2)	NC/A26 (2)	無
B4	WP#/ACC	WP#	WP#/ACC	無
E1	NC	DNU	RFU	無
F7	BYTE#	RFU	BYTE#	無
G1	NC	RFU	RFU	無
G7	DQ15/A-1	DQ15	DQ15/A-1	無
G8	NC/A25 (1)	NC/A25 (1)	NC/A25 (1)	無

凡例：

NC = 内部的な接続なし (パッドによるルーティングは可能)。

RFU = 将来の使用のために予約済み (現行製品では内部的な接続なし)。

DNU = 使用不可 (開放のままにし、パッドによるルーティングは不可)。

注：

1. A25 は S29GL01G と S70GL02G バージョン専用です。
2. A26 は S70GL02G バージョン専用です。

GL-T および GL-P フラッシュでの WP#/ACC 接続は、GL-S フラッシュでは WP# 入力です。ACC 機能は GL-S ではサポートされていません。この入力の差は置き換え上の問題の原因となりません。

同様に、GL-T および GL-P フラッシュでの DQ15/A-1 接続は、GL-S フラッシュでの DQ15 入力/出力 (x8 データバス幅のみに対応) です。GL-T および GL-P フラッシュでの BYTE# 入力は電氣的に絶縁されており、GL-S フラッシュでは RFU というラベルが付いています。この入力の差は置き換え上の問題の原因となりません。

付録 A. 古い Linux カーネル用パッチ

このパッチは、古い 2.6.x Linux カーネルにおいて、CFI バージョン 1.5 のフラッシュデバイスが検出されない状況を修正します。

```
diff -rupN linux-2.6.12/drivers/mtd/chips/cfi_util.c linux-2.6.12-cfi15/drivers/mtd/chips/
cfi_util.c
--- linux-2.6.12/drivers/mtd/chips/cfi_util.c2005-06-17 21:48:29.000000000 +0200
+++ linux-2.6.12-cfi15/drivers/mtd/chips/cfi_util.c2012-01-10 10:54:09.618387020 +0100
@@ -71,7 +71,7 @@ __xipram cfi_read_pri(struct map_info *m
 #endif

     if (extp->MajorVersion != '1' ||
-        (extp->MinorVersion < '0' || extp->MinorVersion > '3')) {
+        (extp->MinorVersion < '0' || extp->MinorVersion > '5')) {
     printk(KERN_WARNING " Unknown %s Extended Query "
            "version %c.%c.\n", name, extp->MajorVersion,
            extp->MinorVersion);
```


改訂履歴

文書名 : AN202453 - GL-P および GL-S フラッシュから GL-T フラッシュへの置き換え
文書番号 : 002-03929

版	ECN 番号	変更者	発行日	変更内容
**	5008815	HZEN	11/11/2015	これは英語版 002-02453 Rev. ** を翻訳した日本語版 002-03929 Rev. ** です。
*A	6372224	SSAS	10/31/2018	これは英語版 002-02453 Rev. *B を翻訳した日本語版 002-03929 Rev. *A です。

セールス, ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチセンシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカルサポート

cypress.com/support



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2015-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。)) を含む) は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためのみに、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためのみに、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためのみに、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全という保証はない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSOC, CapsSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。