

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

I²C EEPROM からサイプレスの I²C F-RAM™ への置き換えについて

著者: Shivendra Singh
関連製品ファミリ: I²C F-RAM
関連コード例: なし

関連アプリケーション ノート: AN96578、AN87352

本アプリケーション ノート (AN97798) はサイプレスの I²C F-RAM™ ソリューションの利点および I²C EEPROM から置き換える際に考慮すべき重要な差異についてご説明いたします。本書は置き換えの利点も説明しています。

目次

1	はじめに	1	4.2	ページの書き込み遅延	9
2	F-RAM の優位性	2	5	I ² C F-RAM への置き換えの利点	10
2.1	より高速なメモリ	2	5.1	ゼロ クロック サイクルの書き込みレイテンシ	10
2.2	より簡単な設計	2	5.2	低消費電力の設計	12
2.3	データ セキュリティ	2	5.3	マルチデバイス設計が不要	13
2.4	付加機能	2	5.4	ページ サイズ制限がない	13
3	I ² C EEPROM から I ² C F-RAM への置き換え	2	5.5	ウェアレベリングまたは経時変化の追跡が不要	13
3.1	ピンおよびパッケージの互換性	2	5.6	電源障害後の対応が不要	14
3.2	パラメーターの互換性	4	6	まとめ	14
3.3	機能およびアクセス プロトコルの互換性	6		改訂履歴	16
4	ファームウェアの互換性	7		ワールドワイド販売と設計サポート	17
4.1	EEPROM での複数のページ対 F-RAM での単一のページ	7			

1 はじめに

EEPROM はシステム データの不揮発性ストレージによく使われています。ただし、EEPROM の低速不揮発性書き込み性能および制限される書き換え可能回数のため、バス速度で不揮発性メモリに頻繁に書き込みを実行する必要があるシステムでは EEPROM の有効性が制限されます。多くのシステム デザインでは、ウェアレベリング (消去回数の平均化) 技術を使って効果的に書き換え可能回数限を上げることで EEPROM に関連する問題を解決しようとしたが、増加した EEPROM 容量とソフトウェア オーバーヘッドを伴います。重要なシステム データを格納する別の方法は、電源切断時にバックアップ電源を使用することで、スクラッチ パッド RAM にデータを格納し、格納されたデータを EEPROM やフラッシュなどの不揮発性メモリに転送することです。しかし、両方の方法とも、コンポーネント数、基板面積、ハードウェア設計の複雑さおよびソフトウェア オーバーヘッドが増すため、非常に非効率的です。

サイプレスの I²C F-RAM は高度な強誘電体プロセスを適用したシリアル不揮発性メモリであり、エネルギー効率の良い高性能かつ高信頼性の不揮発性 RAM ソリューションを提供します。これは産業機器用および車載用グレード温度で提供されています。

サイプレスの F-RAM は高速な SRAM セルを備えており、実質的に無制限 (10¹⁴) の書き換え回数 (EEPROM の書き換え回数よりも桁違いに非常に多い書き換え回数) を提供します。シリアル EEPROM やフラッシュ メモリと違って、F-RAM は書き込み遅延を起こさず (NoDelay™)、バス速度で書き込み動作を実行します。データは F-RAM アレイに直接書き込まれます。次のバス サイクルはデバイスの準備ができていないかを確認せずに直ちに開始できます。

シリアル I²C F-RAM デバイスは標準 I²C EEPROM デバイスのドロップイン代替品として提供されます。本アプリケーション ノートでは業界標準 I²C EEPROM と I²C F-RAM の違いを示します。I²C EEPROM ベースのソリューションをサイプレスの I²C F-RAM ソリューションに置き換える際にこれらの違いに注意する必要があります。

I²C F-RAM 設計の詳細については、AN96578 – Designing with I²C F-RAM アプリケーション ノートをご参照ください。

シリアル EEPROM と比べたサイプレスの F-RAM の利点については [AN87352-F-RAM™ for Smart E-Meters アプリケーション ノート](#) をご参照ください。

2 F-RAM の優位性

2.1 より高速なメモリ

- ランダム アクセス: ページの読み出し/書き込みは不要
- 各ページの書き込み後、内部ページ プログラム遅延無しのバス速度での完全なメモリ書き込み

2.2 より簡単な設計

- ページ境界の管理用のソフトウェア オーバーヘッドはない
- 書き換え回数が実質的に無制限 (10¹⁴) なので、ウェアレベリング技術の適用は不要
- 業界標準のパッケージとして提供

2.3 データ セキュリティ

- 高信頼性の高度な強誘電体プロセス
- 最後の瞬間データを格納するのにバッテリーまたはコンデンサのバックアップを必要としない

2.4 付加機能

- エネルギー効率が高い高速不揮発性 RAM
- 65°C でのデータ保持時間は 151 年
- 鉛フリー技術

3 I²C EEPROM から I²C F-RAM への置き換え

サイプレスの I²C F-RAM は 2 つの業界標準パッケージ (8 ピン SOIC および 8 ピン DFN) で使用可能です。これらの標準的かつ用途の広いパッケージ オプションにより、I²C F-RAM はシステムの性能に影響せずに、同じフットプリントおよびパッケージ オプションのほとんどの EEPROM のドロップイン代替品となります。さらに、F-RAM ソリューションは、より高いデータ スループット、NoDelay 書き込みやエネルギー効率の良い動作など性能上の利点を提供します。

次の節では、I²C EEPROM と I²C F-RAM の主な違いおよび互換性に注目します。

3.1 ピンおよびパッケージの互換性

I²C F-RAM は I²C EEPROM とピンおよびパッケージの互換性があります。表 1 は I²C EEPROM と I²C F-RAM のピン マッピングを示し、表 2 はパッケージの比較を示します。

表 1. I²C EEPROM と I²C F-RAM のピン マッピング

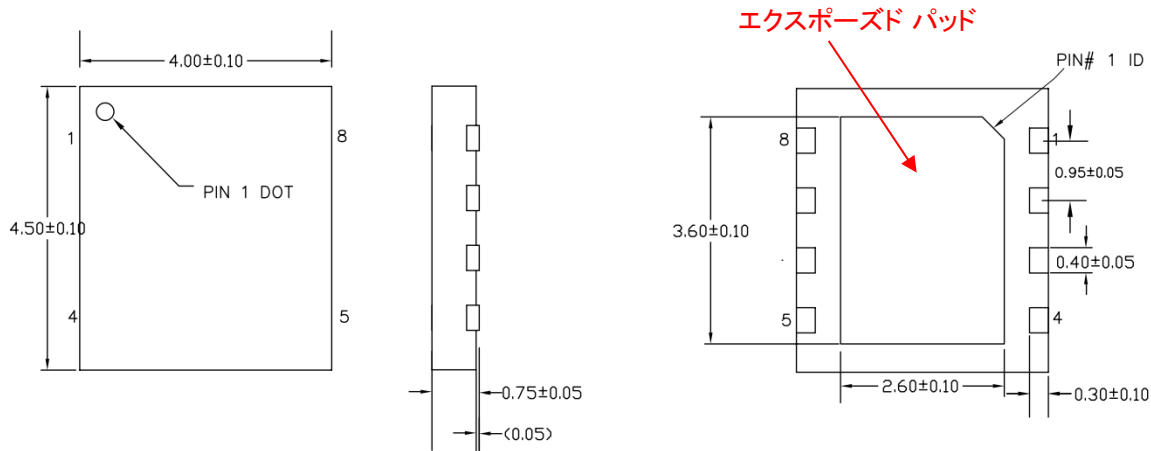
説明	ピン名	
	I ² C EEPROM	I ² C F-RAM
デバイス選択アドレス	E2、E1、E0 または A2、A1、A0	A2、A1、A0
シリアル データ/アドレス入力およびシリアル データ出力	SDA	SDA
シリアル クロック入力	SCL	SCL
書き込み保護入力	WP または \overline{WC}	WP
電源供給	V _{DD} /V _{CC}	V _{DD}
グランド	V _{SS} /GND	V _{SS}

表 2. I²C EEPROM と I²C F-RAM のパッケージ比較

特長／機能	I ² C EEPROM	I ² C F-RAM	説明
パッケージの種類	8ピン DFN 8ピン SOIC 8ピン PDIP 8ピン TSSOP 8ピン UDFN 8ピン WLCSP 8ピン MSOP	8ピン DFN 8ピン SOIC	標準的な 8ピン DFN および 8ピン SOIC パッケージでの EEPROM を I ² C F-RAM に置き換えることが可能。 その他の I ² C EEPROM パッケージは I ² C F-RAM と互換性がないため、プリント基板の変更が必要。 図 1 に示すように、F-RAM の 8ピン DFN パッケージのエクスポーズド パッドは NC (未接続) パッド

注: このリストは全体の容量にわたって利用可能なパッケージ オプションをすべて示しますが、全体の容量にサポートするすべてのパッケージを示すとは限りません。置き換え前のパッケージ差異詳細については、対応するデバイス データシートをご参照ください。

図 1. I²C F-RAM 8ピン DFN (4mm × 4.5mm × 0.75mm) パッケージ図



I²C F-RAM のエクスポーズド パッドはダイに接続されないため、開放のままにする必要があります。I²C F-RAM に置き換える際、I²C F-RAM DFN パッケージのエクスポーズド パッドをプリント基板にはんだづけされないことを確認します。はんだづけすると、I²C F-RAM ダイが過度の熱にさらされ、フェイル ビットや損失マージンを引き起こす可能性があります。

3.2 パラメーターの互換性

表 3 に、I²C EEPROM を I²C F-RAM に置き換える際にシステム レベルの互換性を評価する必要がある主なパラメーターをまとめます。

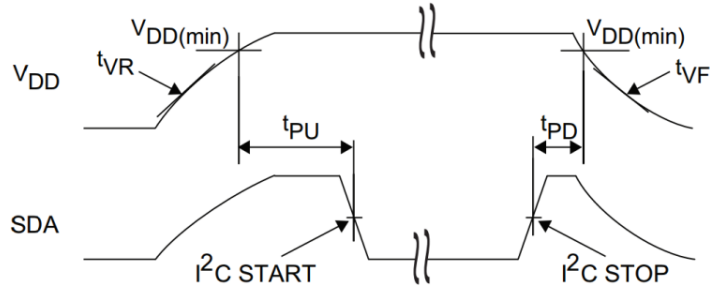
表 3. 主なパラメーターのチェックリスト

パラメーター	説明	I ² C EEPROM	I ² C F-RAM	コメント
DC パラメーター				
V _{DD}	電源電圧	1.5V~3.6V 1.7V~5.5V	2.0V~5.5V	I ² C EEPROM の方はより広い動作電圧範囲に対応。I ² C F-RAM に置き換える際に、システムは I ² C F-RAM の動作電圧が I ² C F-RAM にアクセスするホスト コントローラーの動作電圧範囲内であることを保証する必要がある
V _{IH}	入力 HIGH 電圧	変化	0.7 × V _{DD} ~ V _{DD} + 0.3V	I ² C F-RAM は CMOS 論理標準に従う。正しい動作のために、システムは論理レベルがホストと I ² C スレーブの動作範囲内であることを保証する必要がある
V _{IL}	入力 LOW 電圧	変化	-0.3V ~ 0.3 × V _{DD}	
V _{OL}	出力 LOW 電圧	変化	変化 0.6V (max)、I _{OL} = +6mA 0.4V (max)、I _{OL} = +3mA 0.4V (max)、I _{OL} = +2mA 0.2V (max)、I _{OL} = +150μA	I ² C F-RAM の出力ドライバーは標準出力駆動能力に対応するので、ほとんどのホスト コントローラーと互換性がある。 正しい動作のために、システムは論理レベルが I ² C マスター (ホスト) と I ² C F-RAM の動作仕様内であることを保証する必要がある
AC パラメーター				
f _{SCL}	I ² C クロック周波数	最大 1MHz	最大 3.4MHz	両方のデバイスは I ² C アクセスの NXP 仕様に準拠。従って、I ² C EEPROM から I ² C F-RAM への置き換えでは、同じバス速度ではシステム変更が不要。 幾つかの暗号化 I ² C EEPROM デバイスは最大 5MHz の I ² C バス速度をサポート可能。機能およびアクセス速度の互換性がないため、I ² C F-RAM はこれらの特別なデバイスを置き換え不可
C _b	1つの I ² C バスの総静電容量	変化 (定格値は NXP 標準ロードまたはそれ以下)	NXP 標準に準拠 (I ² C バス ロードに関わる)	I ² C FRAM に置き換える際、バスロードの変更または調整が不要

パラメーター	説明	I ² C EEPROM	I ² C F-RAM	コメント
他の I ² CAC パラメーター	デバイスのすべての他の AC パラメーター	NXP I ² C 仕様との互換性	NXP I ² C 仕様との互換性	I ² C EEPROM および I ² C F-RAM は NXP I ² C 仕様と互換性があるため、I ² C F-RAM への置き換えには変更が不要。 置き換える前に、常に AC パラメーターの差異を比較し、その影響を評価する必要がある
t _w / t _{wc} / t _{wr}	書き込みサイクル時間 (ページバッファから EEPROM メモリにデータを書き込む時間)	変化 5ms~10ms	該当なし	I ² C F-RAM で、データバイトは固有の不揮発性 F-RAM セルに直接書き込まれる。従って、書き込みサイクル時間が適用されず、デバイスはすぐに次のアクセス可能な状態になる
電源パラメーター				
t _{VR}	V _{DD} 電源投入時ランプレート	変化	30μs/V 50μs/V (最低仕様)	I ² C F-RAM への置き換え時に、システムは V _{DD} 電源ランプレートが I ² C F-RAM の仕様以内であることを保証する必要がある (図 2 を参照)。
t _{VF}	V _{DD} 電源切断時ランプレート	変化	30μs/V 100μs/V (最低仕様)	システムは I ² C F-RAM V _{DD} 電源供給ランプレートが最低仕様より遅いことを保証する必要がある。例えば、電源供給の V _{DD} は 30 μs 足らずで 1.0V を立ち上がり/立ち下がりしてはいけない (30μs/V ランプレート)
t _{PU}	電源入力時の V _{DD(min)} から最初のアクセス (START 条件) までの時間	未指定	1ms	I ² C F-RAM のブートアップシーケンスを完了し、準備完了するまでは 1ms が要する。すべてのデバイスは一定のブートアップ時間がありますが、実システムでは、ブートアップ時間が観察できないため、幾つかのデバイスはそれを特定しない。 I ² C EEPROM を I ² C F-RAM に置き換える際に、このパラメーターを評価する必要があり、必要に応じて、t _{PU} 遅延と一致するためにコントローラーファームウェアは変更する (最初のアクセスのみ)

注: 異なる動作モードでのデバイス電流、ESD プロファイル、ラッチアップ電流プロファイル、はんだ付けプロファイルやパッケージなどの、I²C EEPROM と I²C F-RAM 間で異なるデバイスの他のパラメーターを使用することで、I²C EEPROM から I²C F-RAM への置き換え前にシステム レベルの分析が行えます。

図 2. I²C F-RAM パワー サイクル タイミング



3.3 機能およびアクセス プロトコルの互換性

表 4 に、I²C EEPROM と I²C F-RAM のプロトコルおよび機能を比較し、I²C EEPROM を I²C F-RAM に置き換える際に考慮されるべき重要な点を説明します。

表 4. I²C EEPROM と I²C F-RAM のプロトコルおよび機能の比較

機能	I ² C EEPROM	I ² C F-RAM	説明
I ² C START	標準 I ² C START		I ² C F-RAM に置き換える際に変更が不要
I ² C STOP	標準 I ² C STOP		
データ入力	デバイスは SCL 立ち上がりエッジで SDA をサンプリング		
データ出力	SCL が LOW になる場合、SDA を変更		
デバイス アドレス指定	7 ビット アドレス指定		
メモリ アドレス指定	2 バイトまたは 1 バイト (メモリ容量に応じて)		I ² C F-RAM に置き換える際に変更が不要。 最上位アドレス バイトが最初に送信され、その後最下位のアドレス バイトが送信される。バイト内に、最上位アドレス ビットが最初に送信される
シングルバイト書き込み	ページ メモリへのシングルバイト書き込みであり、不揮発性書き込みサイクル時間が続く。 書き込みサイクル時間 (t_{WC}) が経過した後、次のアクセスを開始可能	バス速度で不揮発性メモリへのバイト書き込み。 次のアクセスをすぐに開始できる	I ² C F-RAM に置き換える際に変更が不要。
バルク書き込み	バルク書き込みの最大サイズはページ サイズに限定され、その後不揮発性書き込みサイクル時間が続く。ページの境界を越えて書き込みを続けると、ページの先頭にロールオーバーし、以前に書き込まれたデータを上書きする可能性がある。 書き込みサイクル時間 (t_{WC}) が経過した後、次のアクセスを開始可能	バルク書き込みの最大サイズはメモリ アレイ。アレイ サイズを越えて書き込みを続けると、アドレス カウンターをメモリ アレイの先頭にロールオーバーする。 次のアクセスをすぐに開始できる	しかし、書き込み遅延を減らしてバルク書き込みサイズを増加させることで、システムは I ² C F-RAM を利用し、システムの不揮発性書き込み性能を大幅に向上できる

機能	I ² C EEPROM	I ² C F-RAM	説明
ランダム アドレス読み出し	ダミー書き込みサイクルはこの (ランダム) アドレスをアドレス レジスタにロードするために実行され、その後に読み出しが続く		I ² C F-RAM に置き換える際に変更が不要
現時点のアドレス読み出し	現在点のアドレスから読み出す。このアドレスは、この前のサイクルで書き込み/読み出しアクセスを実行した後にセットされた		
連続読み出し	これはランダム/現在点のアドレス読み出しの後に使用される。最初の成功した読み出しの後、アドレス カウンターは次のアドレスに自動インクリメントし、データを出力で送信する。これは、I ² C マスターが NACK を送信するまたは STOP 条件を生成するまで続く		
書き込み保護ピン コンフィギュレーション	変化ほとんどのデバイスはこのピンが開放の時 (未接続) に LOW のままに維持するために内部の弱プルダウン抵抗に接続する	すべての I ² C F-RAM デバイスは、このピンが開放の時 (未接続) に LOW のままに維持するために内部の弱プルダウン抵抗に接続する	
スレープ選択ピン (A2、A1、A0) コンフィギュレーション	変化ほとんどのデバイスはこれらのピンが開放の時 (未使用) に LOW のままに維持するために内部の弱プルダウン抵抗に接続する	すべての I ² C F-RAM デバイスはこれらのピンが開放の時 (未使用) に LOW のままに維持するために内部の弱プルダウン抵抗に接続する	
ソフトウェア リセット	幾つかの I ² C EEPROM は次のプロトコルの 1 つまたは全部を実行することでソフトウェア リセットを定義する。 <ul style="list-style-type: none"> START 条件を生成 SCL で 9 ダミー クロックを生成 START の後 STOP を生成 	I ² C F-RAM はこの機能を必要としない。この機能を実行しても、デバイス動作に影響を与えない	I ² C F-RAM に置き換える際に変更が不要。 通常この機能は、I ² C 通信が急に中断になる時に発生するバス ハングの状態からデバイスを引き出すために NXPI ² C 仕様により定義される

4 ファームウェアの互換性

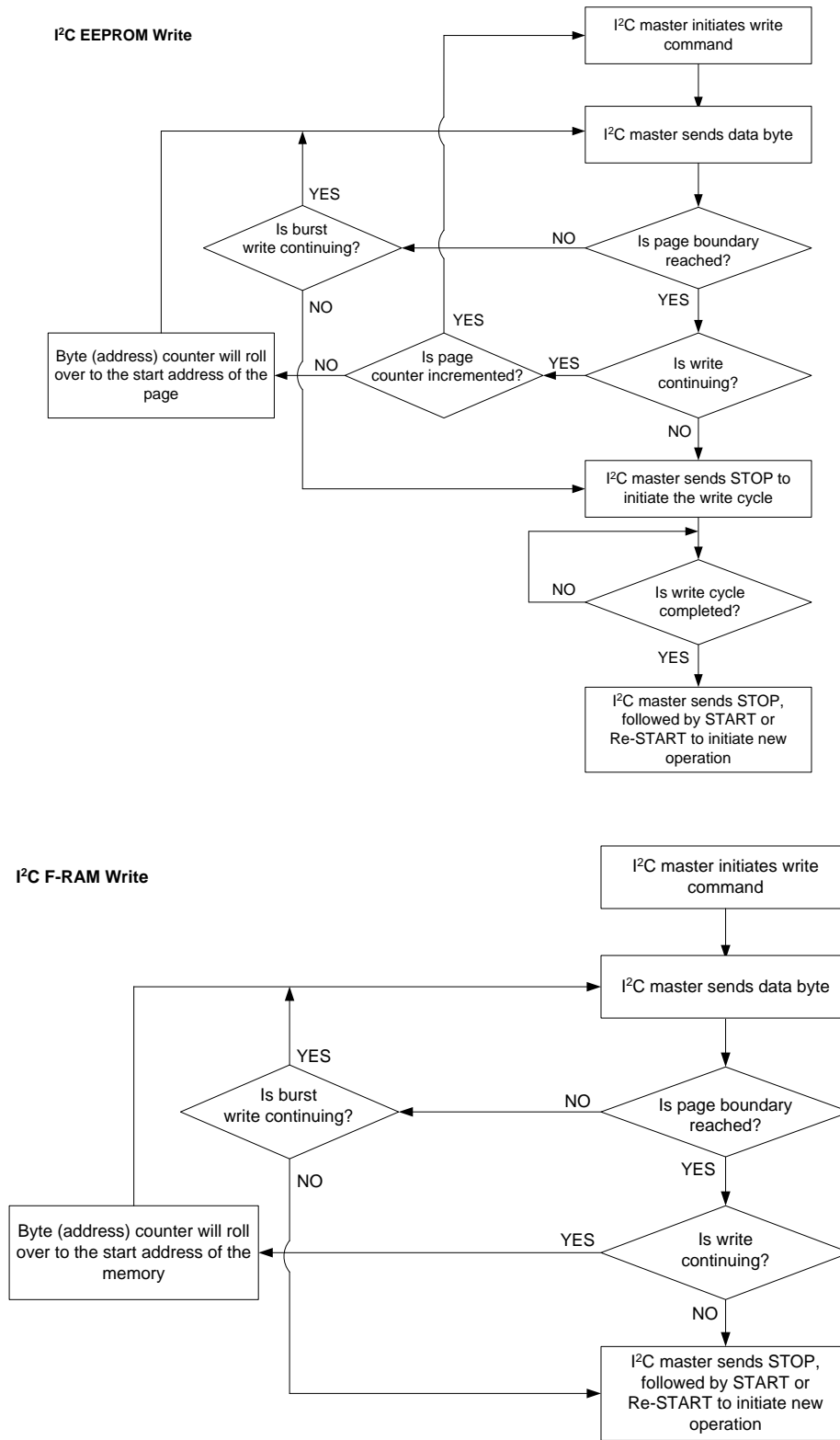
I²C EEPROM アクセス用の I²C マスター ファームウェアは I²C F-RAM で同様に機能します。本節では、I²C EEPROM ソリューションから I²C F-RAM ソリューションへの置き換え時にファームウェアの更新により改善できるシステムでの様々な動作について説明します。

4.1 EEPROM での複数のページ対 F-RAM での単一のページ

EEPROM はページ単位で書き込まれるか、またはプログラムされます。1Mb EEPROM デバイスの普通のページ サイズは 256 バイト (2Kb) です。これは、EEPROM メモリを完全に書き込むために、ホスト コントローラーは 512 ページの書き込み動作を開始する必要があることを意味します。また、アドレス カウンターのロールオーバーが発生しないように個別のページに書き込まれる合計のデータ バイト数を記録する必要もあります。

F-RAM はページ アーキテクチャを使用しないため、メモリ アレイ全体は 1 ページとして処理されます。F-RAM アレイ全体は単一の書き込みコマンドによりバーストモードで書き込めます。内部アドレス カウンターは F-RAM の最後のアドレスに到達すると、開始アドレス 0h にロールオーバーします。I²C F-RAM は単一のページを含むため、ホスト コントローラーは、ページ数とページ内のバイト数の 2 個のカウンターではなく、1 個だけのカウンタを記録する必要があります。I²C F-RAM は実行ステップ数を減らすことでファームウェア設計を簡略化します。図 3 に、I²C EEPROM と I²C F-RAM での書き込み動作の比較を示します。

図 3. I²C EEPROM と I²C F-RAM での書き込み動作



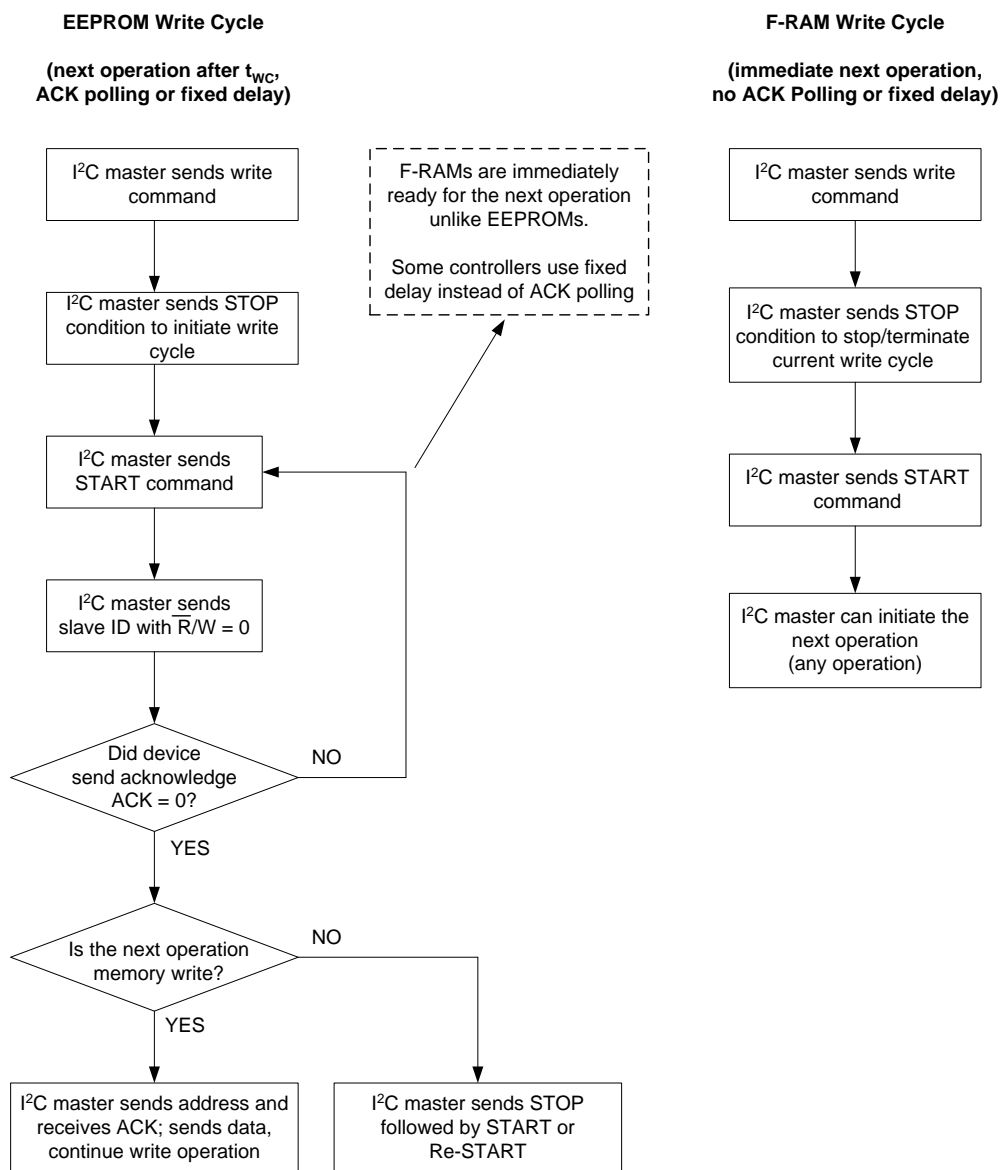
4.2 ページの書き込み遅延

通常、EEPROM はそのバッファ データを不揮発性 EEPROM に転送するには 5ms のページ書き込み遅延 (t_{wc}) を必要とします。 t_{wc} の間に EEPROM がビジーの状態を表示し、NACK を返します。ファームウェアは固定した書き込みサイクル遅延 (t_{wc}) を待つか、またはアクノリッジ (ACK) ポーリングを実行します。図 4 に、EEPROM 書き込みサイクルを完了するための ACK ポーリング方式を示します。

EEPROM のページ サイズはメモリ容量、または同じメモリ容量の異なるベンダーの製品によって異なります。異なる EEPROM 製品間のページ サイズの変化とページ書き込み遅延に対応しながらシステム ファームウェアを設計する必要があります。

I²C F-RAM ではページ書き込み遅延が不要なので、システムの不揮発性書き込み性能を向上させるためにファームウェアで書き込み遅延を除去できます。

図 4. EEPROM と F-RAM の書き込みサイクル



5 I²C F-RAM への置き換えの利点

本節で、I²C EEPROM から I²C F-RAM ソリューションへの置き換えの利点について説明します。

5.1 ゼロ クロック サイクルの書き込みレイテンシ

一般的な EEPROM は、不揮発性 EEPROM セルにそのデータ ページを転送するために 5ms の書き込みサイクルを必要とします。したがって、数キロバイトのデータが書き込まれる必要がある場合に書き込み時間が長くなります。その一方、F-RAM を使用すると、すべての書き込み動作はメモリ ベースのレイテンシがなく、バス速度で実行されます。次の例では、ゼロ クロック サイクルの書き込みレイテンシにより、F-RAM 不揮発性書き込み性能は EEPROM より向上させることを説明します。図 5 に、書き込みレイテンシの影響を示しています。

5.1.1 例

式 1 で、I²C EEPROM への書き込みの合計時間を計算します。

$$\text{式 1} \quad T1 (EEPROM) = \frac{Nx8}{f} x 1000 + \frac{N}{PS} x Twc$$

ここで、

T1 – EEPROM への書き込みの合計時間 (ms)

N – I²C バスで送信されるデータ バイト数

f – I²C 周波数 (Hz)

PS – EEPROM のページ サイズ

Twc – EEPROM の書き込みサイクル時間 (ms)

式 2 で、I²C F-RAM への書き込みの合計時間を計算します。

$$\text{式 2} \quad T2 (F-RAM) = \frac{Nx8}{f} x 1000$$

ここで、

T2 – F-RAM への書き込みの合計時間 (ms)

N – I²C バスで送信されるデータ バイト数

f – I²C 周波数 (Hz)

EEPROM 書き込み時間の例

5ms ページ書き込みサイクル時間 (twc) で、容量が 128KB (1Mb) で、ページ サイズが 256 バイトの 1MHz I²C EEPROM の場合、8Kb (4 ページ) のデータをバックアップするのに 28ms 要します。

$$T1 (EEPROM) = \frac{1024x8}{1000000} x 1000 + \frac{1024}{256} x 5 = 28.192 \text{ ms}$$

同様に、I²C EEPROM で 128KB (1Mb) のデータをバックアップするのに 3.608 秒を要します。

$$T1 (EEPROM) = \frac{128x1024x8}{1000000} x 1000 + \frac{1024x128}{256} x 5 = 3608 \text{ ms or } 3.608 \text{ seconds}$$

F-RAM 書き込み時間の例

128KB (1Mb) 容量の 1MHz I²C F-RAM は、8Kb のデータをバックアップするのに 8ms 要します。

$$T2 (F-RAM) = \frac{1024x8}{1000000} x 1000 = 8.192 \text{ ms}$$

同様に、I²C F-RAM で 128KB (1Mb) のデータをバックアップするのに 1.049 秒を要します。

$$T_2 (F-RAM) = \frac{1024 \times 128 \times 8}{1000000} \times 1000 = 1049 \text{ ms or } 1.049 \text{ seconds}$$

また、同じ容量を有する製品に対しても EEPROM のページ サイズは異なります。この例では、EEPROM のより低いページサイズはより多くのページ書き込み動作を必要とし、したがって書き込みサイクルを完了させるための時間はより長くなります。その結果、追加の書き込み遅延が発生します。F-RAM がページ メモリではないため、所定のデータ式を書き込むのに必要な時間は、メモリ容量に関わらず不変です。

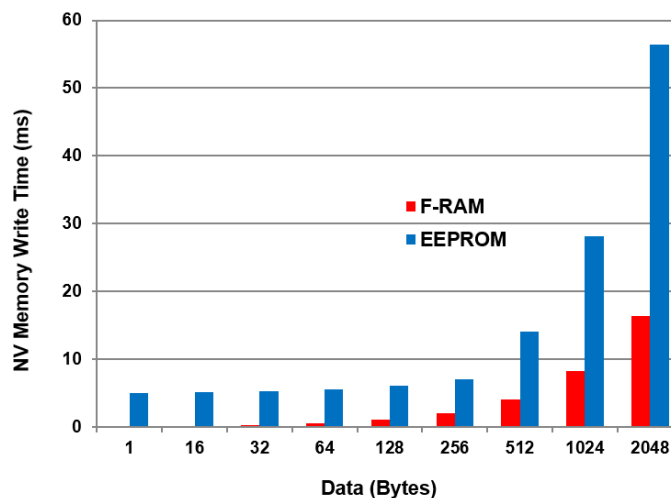
表 5 と図 5 に、F-RAM と EEPROM での不揮発性メモリへの書き込み時間を示します。

表 5. 1MHz の I²C インターフェースを使用する場合の EEPROM と F-RAM への書き込み時間

データバイト	不揮発性メモリへの書き込み時間 (ms)	
	F-RAM	EEPROM
1	0.008	5.008
16	0.128	5.128
32	0.256	5.256
64	0.512	5.512
128	1.024	6.024
256	2.048	7.048
512	4.096	14.096
1024	8.192	28.192
2048	16.384	56.384

注: 表 5 の計算には、書き込まれるデータ バイトを送信する前に制御とアドレス バイトを送信するためのオーバーヘッドが含まれていません。I²C EEPROM へのマルチページの書き込み動作は、各ページ書き込みに新しい I²C 書き込みコマンドの送信が必要になります。

図 5. EEPROM と F-RAM の書き込み性能の比較



5.2 低消費電力の設計

F-RAM デバイスは、スタンバイ/スリープ電流の仕様が EEPROM とほぼ同じですが、EEPROM のアクティブ電流の約 3 分の 1 に相当する電力量を消費します。アクティブ電流の差異は、特にスマート E メーターのようなアプリケーションが頻繁なデータ ログに応じて高い強度で書き込まれる場合、消費電力に大きな影響を及ぼします。高いアクティブ電流に加えて、EEPROM は、デバイスを長い間アクティブ モードのままにさせる追加のページ書き込み遅延を発生させ、電力がより多く消費します。

I²C F-RAM と I²C EEPROM への書き込みに必要なエネルギー量は、以下のエネルギー計算例で計算されます。表 6 と図 6 に示すように、F-RAM と EEPROM のエネルギー消費を比較します。この比較ではエネルギー消費を説明します。

5.2.1 エネルギー計算例

式 3 では書き込みサイクルの間 F-RAM と EEPROM で消費されるエネルギーを計算します。

$$\text{式 3} \quad E = V \times I \times t$$

ここで、

V – 動作電圧

I – 書き込み中のアクティブ電流

t – 不揮発性メモリへの書き込み合計時間

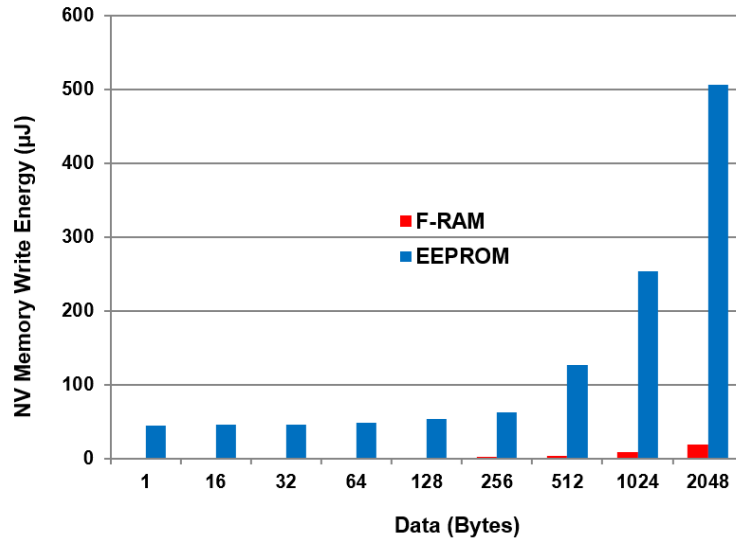
表 6. EEPROM と F-RAM への書き込みエネルギー

書き込みデータ バイト	不揮発性メモリ書き込みエネルギー (μJ)	
	F-RAM	EEPROM
1	0.0096	45.072
16	0.1536	46.152
32	0.3072	47.304
64	0.6144	49.608
128	1.2288	54.216
256	2.4576	63.432
512	4.9152	126.864
1024	9.8304	253.728
2048	19.6608	507.456

注:

1. 標準 3V、1Mb の I²C EEPROM は書き込み中に 3mA のアクティブ電流を消費します。そのため、I²C EEPROM に対して 128 バイト (1Kb) のデータを書き込むために必要な消費電力は 54.22μJ (3.0V x 3mA x 6.024ms) になります。
2. 標準 3V、1Mb の I²C F-RAM は書き込み中に 0.4mA のアクティブ電流を消費します。そのため、I²C F-RAM に対して 128 バイト (1Kb) のデータを書き込むために必要な消費電力は 1.23μJ (3.0V x 0.4mA x 1.024ms) になります。

図 6. F-RAM および EEPROM のデータ書き込み時のエネルギー消費量の比較



5.3 マルチデバイス設計が不要

EEPROM 書き込み動作ではデータ転送のために 2 段階を要します。データがページ バッファに書き込まれ、不揮発性メモリの書き込みサイクルが発生します。書き込みサイクル中に、EEPROM アクセスが無効にされます。よって、進行中の書き込みサイクルが終了するまで次のアクセスを開始することはできません。

一方、I²C F-RAM はバス速度でデータを書き込みます。従って、パイプラインの実装が不要になり、システムのファームウェアアーキテクチャを単純化し、開発サイクル時間および関連テスト オーバーヘッドを減少させます。

5.4 ページ サイズ制限がない

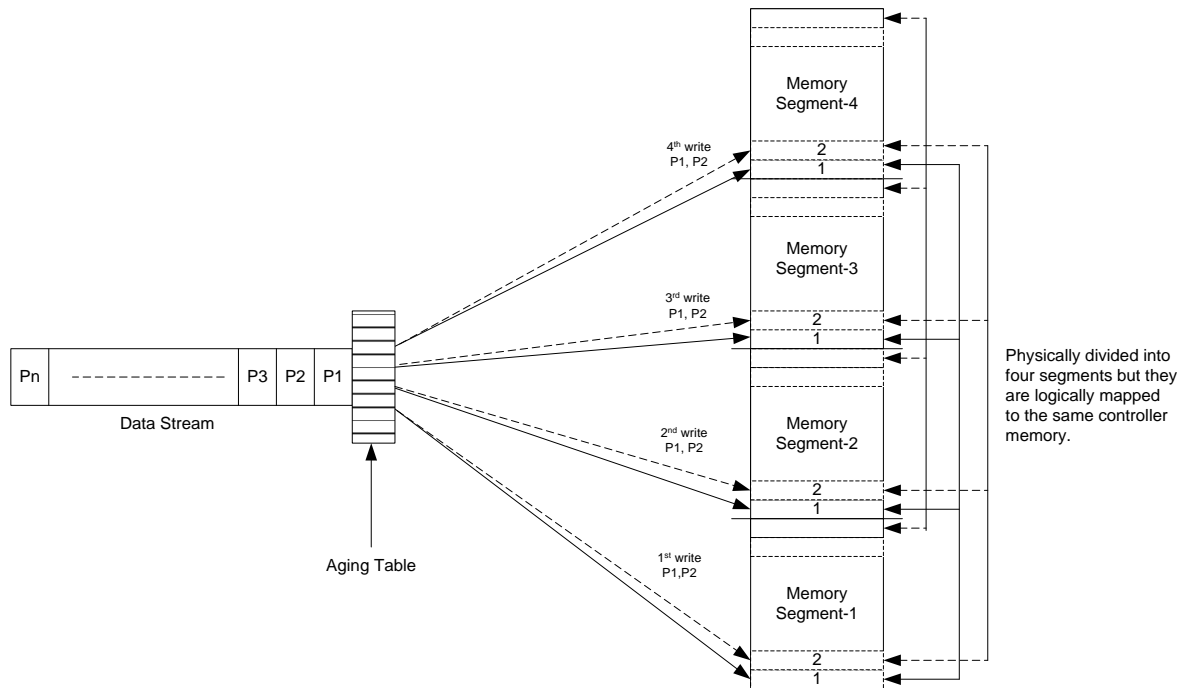
EEPROM ページ サイズは容量によって異なります。そのため、色々な製品バージョンの異なる容量をサポートするために、EEPROM にインターフェースするファームウェア プログラムは容量オプションの範囲で柔軟に書き込まれ、テストされる必要があります。F-RAM はページ サイズの制限を課しないので、ユーザーは使用中のメモリの合計サイズとは無関係に、任意サイズのデータブロックを書き込みます。

5.5 ウェアレベリングまたは経時変化の追跡が不要

EEPROM への定期的な書き込みを必要とするすべてのシステムは慎重なアドレス管理を使用します。この「ウェア レベリング」と呼ばれる方法は、各ページが書き込まれる回数を均等化することを目的とします。

効果的に書き込み回数限を上げるためにウェア レベリングが EEPROM に使用されています。ウェア レベリングの実装では、メモリ アレイ全体は複数のセグメントに分割され、これらのセグメントはマイクロコントローラーまたはプロセッサの同一のアドレスにマッピングされます。例えば、書き込みが現時点のメモリ セグメント内のいずれか (または複数) のアドレス位置に行われた場合、同じアドレス位置上の後続の書き込みは、異なるセグメントで実行されます。ウェア レベリングの実装を図 7 に示しています。

図 7. EEPROM 上のウェア レベリング メカニズム



ウェア レベリングは、正しく洗練されたドライバー ルーチンを必要とします。このルーチンを介してすべての不揮発性のアクセスが制御されます。このルーチンは、データ構造の内部アドレス指定をメモリ用の物理的なアドレス指定方式に変換します。通常、メモリ アレイの「エイジング テーブル」は、デバイスがどのように使用されているか追跡します。これは、小型のファイリングシステムにおける大幅なコード領域を使用します。アーキテクチャの変更時には、新しいプロセッサ ファミリーへ置き換える際にこれは設計サイクル時間を増加させます。

標準 EEPROM デバイスのアクセス可能サイクル数は 10^6 であるのに対して、F-RAM デバイスのアクセス可能サイクル数は 10^{14} (標準 EEPROM の書き換えサイクルより桁違いに 1 億回数多い) です。従って、F-RAM アクセス可能サイクルに対応するために、システムは 1 億個の EEPROM デバイスまたは F-RAM 容量より 1 億多い EEPROM デバイスを必要とします。これは事実上不可能になります。

5.6 電源障害後の対応が不要

データは F-RAM に書き込まれた後、すぐに不揮発性になります。これは F-RAM デバイスを使用する主な利点の 1 つです。つまり、極端な故障状態でシステム データの整合性を一層確保することです。すべての書き込みは、不揮発性メモリに直接行われます。そのため、電源障害の後にデータを保存するための電源バックアップまたは更なる電源供給は要りません。

その一方、電源の障害が検出された場合、EEPROM ベースのシステムで重要なデータを保存するために、コントローラーは、所望のデータ ブロック サイズに対応する完全な書き込みサイクルを開始および実行しなければなりません。主電源は、このプロセスを通じてコントローラーとその周辺装置に電源を確実に供給するために十分な電力を含有する必要があります。コントローラーは、電源障害中に電源の急激な遷移によるクラッシュから保護されなければなりません。システム ファームウェアは、電源障害前に存在したどのシステム状態においても正常に実行されることを保証するために、エラー条件の全範囲にわたって徹底的に試験されなければなりません。

6 まとめ

I²C EEPROM からサイプレスの I²C F-RAM への置き換えはシステムの性能、信頼性およびエネルギー効率を向上させます。I²C F-RAM の業界標準のピンとパッケージ コンフィギュレーションおよび電気的互換性により、置き換えは簡単になります。本アプリケーション ノートでは、取り上げられた少数のデバイスの相違点が考慮される必要があります。しかし、ほとんどのアプリケーションではこれらの相違点は一般的に置き換えを除外しません。

著者について

氏名: Shivendra Singh

役職: アプリケーション エンジニア主任

改訂履歴

文書名: AN97798 – I²C EEPROM からサイプレスの I²C F-RAM™への置き換えについて

文書番号: 002-03925

版	ECN	変更者	発行日	変更内容
**	5013006	HZEN	11/16/2015	これは英語版 001-97798 Rev. **を翻訳した日本語版 002-03925 Rev. **です。
*A	6484991	YSAT	02/14/2019	これは英語版 001-97798 Rev. *Aを翻訳した日本語版 002-03925 Rev. *Aです。

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmhc
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC®ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/go/support

PSoCはサイプレス セミコンダクタ社の登録商標であり、F-RAMは同社の商標です。本書で言及するその他のすべての商標または登録商標は各社の所有物です。



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2015-2019. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、また、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾していない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、あなたが Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意をしていない場合、Cypress は、あなたに対して、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためののみ、組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためののみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）エンドユーザーに対して、バイナリーコード形式で本ソフトウェアを外部に配布すること、並びに (2) 本ソフトウェア（Cypress により提供され、修正がなされていないもの）に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためののみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェアに関しても、明示又は黙示をとわず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のためには設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、CapSense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。