

## 特性

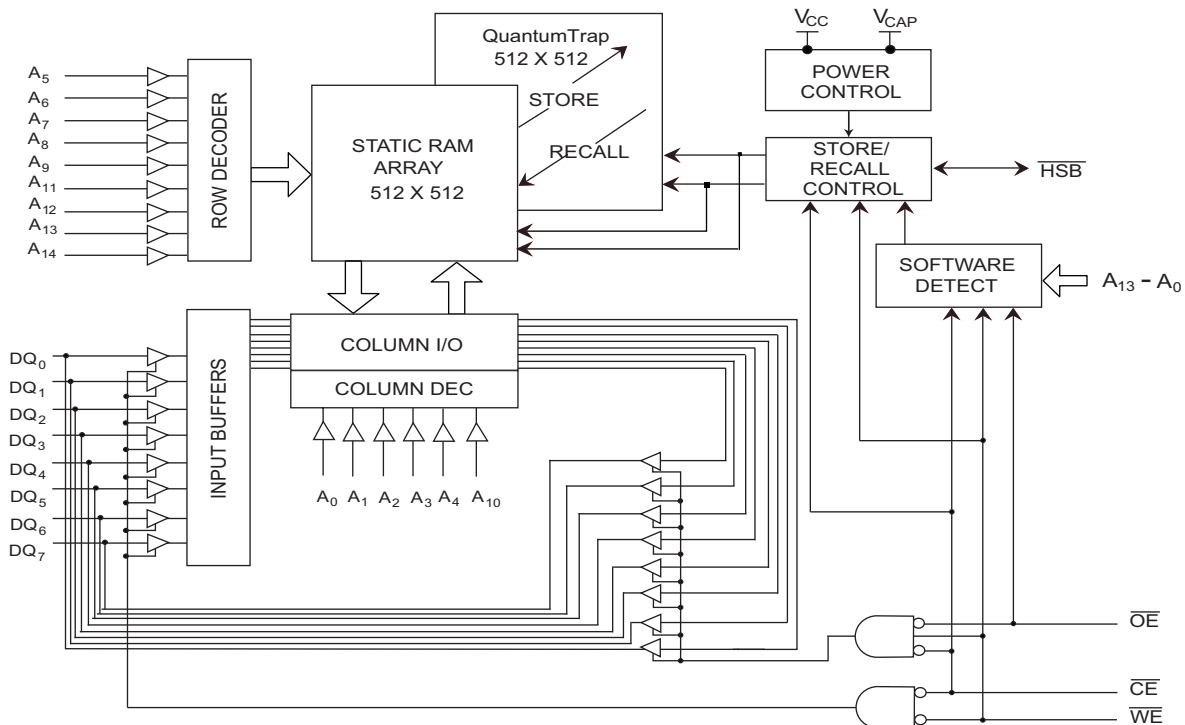
- 访问时间为 25 ns 和 45 ns
- 内部采用了 32 K x 8 的组织方式 (CY14E256LA)
- 只需连接一个小电容器, 即可在断电时实现自动存储
- 可通过软件、器件引脚或断电时自动存储触发存储到 QuantumTrap 非易失性元件
- 可通过软件或加电触发回读到 SRAM
- 无限次读、写和回读周期
- 一百万次的 QuantumTrap 存储周期
- 20 年的数据保留时间
- 5 V ± 10% 单电源供电
- 工业级温度
- 44 引脚薄小外形封装 (TSOP) II 类型和 32 引脚小外形集成电路 (SOIC) 封装
- 无铅并满足有害物质限制 (RoHS) 规定

## 功能说明

赛普拉斯 CY14E256LA 是一种快速的静态 RAM, 并且每个存储器单元中都包含了非易失性元件。存储器采用了 32 KB 的组织方式。嵌入式非易失性元件通过采用 QuantumTrap 技术, 打造出了世界上最可靠的非易失性存储器。SRAM 能够实现无限次读写周期, 而独立的非易失性数据则存储在高度可靠的 QuantumTrap 单元中。断电时, 数据会从 SRAM 自动转移到非易失性元件内 (“存储”操作)。加电时, 数据会从非易失性存储器存储到 SRAM (“回读”操作)。“存储”和“回读”操作均能在软件控制下执行。

要获取相关文档的完整列表, 请单击[此处](#)。

## 逻辑框图

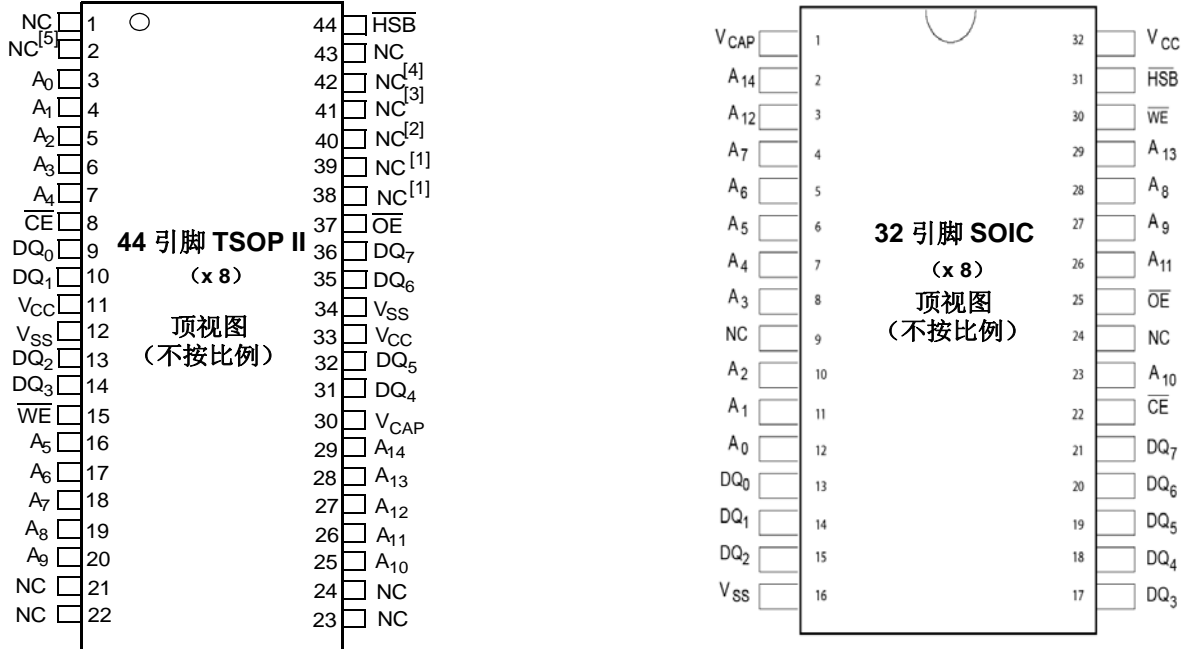


目录

引脚分布 .....	3	SRAM 读周期 .....	10
引脚定义 .....	3	SRAM 写周期 .....	10
器件操作 .....	4	开关波形 .....	10
SRAM 读取 .....	4	自动存储 / 加电回读 .....	12
SRAM 写入 .....	4	开关波形 .....	12
自动存储操作 .....	4	软件控制的存储 / 回读周期 .....	13
硬件存储操作 .....	4	开关波形 .....	13
硬件回读 (加电) .....	5	硬件存储周期 .....	14
软件存储 .....	5	开关波形 .....	14
软件回读 .....	5	<b>SRAM 操作的真值表</b> .....	<b>15</b>
阻止自动存储 .....	6	订购信息 .....	15
数据保护 .....	6	订购代码定义 .....	15
最大额定值 .....	7	封装图 .....	16
工作范围 .....	7	缩略语 .....	17
直流电气特性 .....	7	文档规范 .....	17
数据保留时间和耐久性 .....	8	测量单位 .....	17
电容 .....	8	文档修订记录页 .....	18
热阻 .....	8	销售、解决方案和法律信息 .....	19
交流测试负载 .....	9	全球销售和设计支持 .....	19
交流测试条件 .....	9	产品 .....	19
交流开关特性 .....	10	PSoC 解决方案 .....	19

引脚分布

图 1. 44 引脚 TSOP II /32 引脚 SOIC 的引脚分配



引脚定义

引脚名称	I/O 类型	说明
A <sub>0</sub> -A <sub>14</sub>	输入	地址输入。用于选择 nvSRAM 的 32,768 字节中的某个字节。
DQ <sub>0</sub> -DQ <sub>7</sub>	输入 / 输出	双向数据 I/O 线。根据操作将该引脚作为输入或输出线路使用。
$\overline{WE}$	输入	写使能输入，低电平有效。当芯片被使能，并 $\overline{WE}$ 为低电平时，I/O 引脚上的数据被写入到指定的地址位置内。
$\overline{CE}$	输入	芯片使能输入，低电平有效。该引脚为低电平时，将选择芯片。处于高电平时，则取消选择芯片。
$\overline{OE}$	输入	输出使能，低电平有效。低电平有效 $\overline{OE}$ 输入在读周期内使能数据输出缓冲器。在 $\overline{OE}$ 为高电平时，I/O 引脚会进入三态。
V <sub>SS</sub>	接地	器件的接地。必须连接到系统地。
V <sub>CC</sub>	电源	器件的电源输入。
$\overline{HSB}$	输入 / 输出	硬件存储繁忙 ( $\overline{HSB}$ )。该输出为低电平时，它表示硬件存储正在执行过程中。如果在芯片外部将其置于低电平，那么它会开始执行一个非易失性存储操作。每次执行完硬件和软件存储后，都将在一小段时间 ( $t_{HHHD}$ ) 内使用标准的高输出电流将 $\overline{HSB}$ 驱动为高电平，然后使用一个内部弱上拉电阻保持该引脚的高电平状态（选择性使用外部上拉电阻连接）。
V <sub>CAP</sub>	电源	自动存储电容。在断电期间给 nvSRAM 供电，以便在该过程中将数据从 SRAM 存储到非易失性元件内。
NC	无连接	无连接。该引脚未与芯片连接。

注释:

- 1 Mbit 的地址扩展。NC 引脚未连接到芯片。
- 2 Mbit 的地址扩展。NC 引脚未连接到芯片。
- 4 Mbit 的地址扩展。NC 引脚未连接到芯片。
- 8 Mbit 的地址扩展。NC 引脚未连接到芯片。
- 16 Mbit 的地址扩展。NC 引脚未连接到芯片。

## 器件操作

CY14E256LAnvSRAM由两个相同物理单元中的成对功能组件组成。它们分别是一个 SRAM 存储器单元和一个非易失性 QuantumTrap 单元。SRAM 存储器单元可作为标准快速静态 RAM 工作。SRAM 中的数据被传输到非易失性单元（存储操作），或从非易失性单元传输到 SRAM（回读操作）。使用该独特的架构，所有单元都可以并行存储和回读。在存储和回读操作期间，SRAM 读写操作被禁止。与典型的 SRAM 相同，CY14E256LA 支持无限次的读写操作。此外，它还提供了无限次数的从非易失性单元的回读操作以及多达 100 万次的存储操作。请参考第 15 页上的 SRAM 操作的真值表，以便了解读写模式完整的说明。

### SRAM 读取

当  $\overline{CE}$  和  $\overline{OE}$  均为低电平，并且  $\overline{WE}$  和  $\overline{HSB}$  均为高电平时，CY14E256LA 将执行读周期。引脚  $A_{0-14}$  上指定的地址确定 32,768 个数据字节中需要访问的某一个字节。当读取由地址转换触发时，输出在经过  $t_{AA}$ （读取周期 1）时间后有效。如果  $\overline{CE}$  或  $\overline{OE}$  启动了读取操作，输出在  $t_{ACE}$  或  $t_{DOE}$  中较晚者时有效（读取周期 2）。数据输出在  $t_{AA}$  访问时间内反复响应地址变化，而不需要切换任何控制输入引脚。这一直有效，直到另一个地址变化或直到  $\overline{CE}$  或  $\overline{OE}$  变为高电平，或者  $\overline{WE}$  或  $\overline{HSB}$  变为低电平为止。

### SRAM 写入

当  $\overline{CE}$  和  $\overline{WE}$  均为低电平且  $\overline{HSB}$  为高电平时，将执行写循环。地址输入稳定后才会进入写周期，并且该输入必须保持稳定状态，直到  $\overline{CE}$  或  $\overline{WE}$  在周期结束时变为高电平为止。如果在  $\overline{WE}$  控制的写操作结束前或在  $\overline{CE}$  控制的写操作结束前，数据在  $t_{SD}$  的时长内有效，那么通用 I/O 引脚  $DQ_{0-7}$  上的数据将被写入到存储器中。在整个写周期期间保持  $\overline{OE}$  为高电平可以避免通用 I/O 线路上出现数据总线冲突。如果  $\overline{OE}$  为低电平，那么在  $\overline{WE}$  变为低电平之后，内部电路将在  $t_{HZWE}$  时间内关闭输出缓冲器。

### 自动存储操作

CY14E256LA 通过下面三个方法中的一个，可以将数据存储到 nvSRAM 内：由  $\overline{HSB}$  激活的硬件存储操作；由地址序列激活的软件存储操作；器件断电时的自动存储。自动存储操作是 QuantumTrap 技术独有的特性，在 CY14E256LA 上默认使能了该特性。

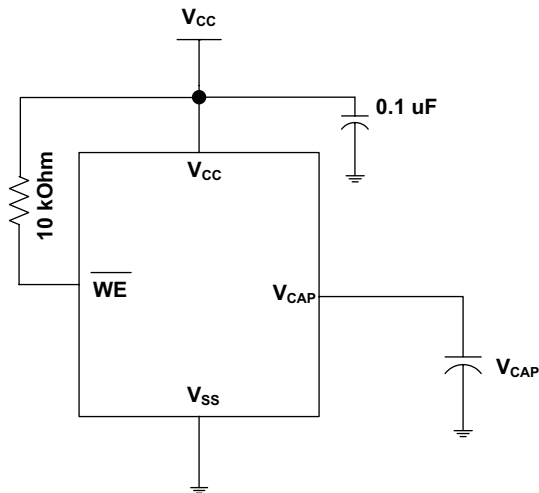
在正常工作中，器件从  $V_{CC}$  接收电流，然后给  $V_{CAP}$  引脚上连接的电容器充电。芯片使用该存储的电荷执行单个存储操作。如果  $V_{CC}$  引脚的电压下降到  $V_{SWITCH}$  以下，器件会自动将  $V_{CAP}$  引脚与  $V_{CC}$  的连接断开。通过  $V_{CAP}$  电容器提供的电源触发存储操作。

**注意：**如果电容器未与  $V_{CAP}$  引脚连接，那么必须使用第 6 页上的阻止自动存储中指定的软序列来禁用自动存储。如果在  $V_{CAP}$  引脚上没有电容器时使能自动存储，则器件将在没有足够电荷的情况下尝试执行自动存储操作以完成存储。这样会破坏 nvSRAM 中存储的数据。

图 2 显示的是正确的自动存储操作存储电容器 ( $V_{CAP}$ ) 连接情况。请参考第 7 页上的直流电气特性，以便了解  $V_{CAP}$  的大小。 $V_{CAP}$  引脚上的电压通过芯片上的调压器输送给  $V_{CC}$ 。将一个上拉设置为  $\overline{WE}$  上，以便在加电过程中使其保持为非活动状态。只有  $\overline{WE}$  信号在加电期间处于三态时，该上拉才有效。很多 MPU 在加电时会使它们的控制进入三态。使用上拉时必须验证这种情况。当 nvSRAM 退出加电回读时，MPU 必须处于活动状态或者  $\overline{WE}$  保持为非活动状态，直到 MPU 退出复位状态为止。

为了减少不必要的非易失性存储，将忽略自动存储和硬件存储操作，除非在最新的存储或回读周期之后发生了至少一次写操作。无论是否发生了写操作，都会执行软件触发的存储周期。系统会监控  $\overline{HSB}$  信号以检测自动存储周期是否在进行之中。

图 2. 自动存储模式



### 硬件存储操作

CY14E256LA 提供了  $\overline{HSB}$  引脚，用于控制和确定存储操作。使用  $\overline{HSB}$  引脚以请求硬件存储周期。当  $\overline{HSB}$  引脚被设置为低电平时，CY14E256LA 将经过  $t_{DELAY}$  时间后会有条件地启动存储操作。只有最后一个存储或回读周期后对 SRAM 进行了写操作时才会开始实际的存储周期。 $\overline{HSB}$  引脚还起到开漏驱动器（内部 100 kΩ 弱上拉电阻）的作用，它在存储（通过任何手段触发）进行时在内部驱动为低电平以指示繁忙状态。

**注意：**在每次进行硬件和软件存储操作后， $\overline{HSB}$  会在一段较短的时间 ( $t_{HHHD}$ ) 通过标准输出高电流变为高电平，然后通过内部 100 kΩ 上拉电阻一直保持为高电平。

在  $\overline{HSB}$  通过任何手段变为低电平时进行的 SRAM 写操作可在启动存储操作之前的一段时间 ( $t_{DELAY}$ ) 内完成。但是，在  $\overline{HSB}$  变为低电平后所请求的所有 SRAM 写周期都被禁止，直到  $\overline{HSB}$  回复为高电平为止。如果未设置写锁存，那么  $\overline{HSB}$  不会被 CY14E256LA 置为低电平。但是所有 SRAM 读和写周期都被禁止，直到 MPU 或其他外部源使  $\overline{HSB}$  变回高电平为止。

在整个存储操作期间，无论它是如何被启动的，CY14E256LA 都会继续将 HSB 引脚设置为低电平，存储完成时才会释放。存储操作完成，并且 HSB 引脚返回到高电平后，nvSRAM 存储器访问将被禁用  $t_{LZHSB}$  时长。如果不使用 HSB，请保持它的未连接状态。

### 硬件回读（加电）

加电时或任何低功率状态后 ( $V_{CC} < V_{SWITCH}$ )，内部回读请求都将被锁存。如果  $V_{CC}$  再次超过了  $V_{SWITCH}$  的检测电压，将自动启动回读周期并需要经过  $t_{HRECALL}$  的时间来完成。在此期间，HSB 驱动器会将 HSB 置为低电平。

### 软件存储

通过软件地址序列将数据从 SRAM 传输到非易失性存储器内。按顺序准确从六个特定地址执行连续的  $\overline{CE}$  或  $\overline{OE}$  控制的读周期后，可以启动 CY14E256LA 软件存储周期。在存储周期期间，首先擦除上一个非易失性数据，接下来执行非易失性元件程序。启动存储周期后，将禁用后续的输入和输出，直到该周期完成为止。

由于特定地址的读取序列用于存储启动，所以在该序列中要避免其他读或写访问的干预，否则该序列将被中止，并且不会发生任何存储或回读操作。

若要启动软件存储周期，必须执行下列读取序列：

1. 读取地址 0x0E38，有效读取
2. 读取地址 0x31C7，有效读取
3. 读取地址 0x03E0，有效读取
4. 读取地址 0x3C1F，有效读取
5. 读取地址 0x303F，有效读取
6. 读取地址 0x0FC0，启动存储周期

通过使用  $\overline{CE}$  控制的读取或  $\overline{OE}$  控制的读取，并且保证  $\overline{WE}$  在六个读取序列中始终保持为高电平状态，可以给软件序列提供时钟脉冲。在输入序列中的第六个地址之后，存储周期将立即开始，且芯片被禁用。HSB 被置为低电平。达到  $t_{STORE}$  周期时间后，SRAM 再次被激活以进行读和写操作。

### 软件回读

通过软件地址序列将非易失性存储器内的数据传输到 SRAM 中。软件回读周期以与软件存储启动类似的方式通过读操作序列启动。若要启动回读周期，必须执行下列  $\overline{CE}$  或  $\overline{OE}$  控制的读操作序列：

1. 读取地址 0x0E38，有效读取
2. 读取地址 0x31C7，有效读取
3. 读取地址 0x03E0，有效读取
4. 读取地址 0x3C1F，有效读取
5. 读取地址 0x303F，有效读取
6. 读取地址 0x0C63，启动回读周期

在内部，回读程序包括两个步骤。首先，清除 SRAM 数据。然后，将非易失性信息传输到 SRAM 单元中。在  $t_{RECALL}$  周期时间后，SRAM 再次处于就绪状态，以进行读和写操作。回读操作不会更改非易失性元件中的数据。

表 1. 模式选择

$\overline{CE}$	$\overline{WE}$	$\overline{OE}$	$A_{14}-A_0$ <sup>[6]</sup>	模式	I/O	电源
H	X	X	X	未选中	输出高阻态	待机
L	H	L	X	读取 SRAM	输出数据	活动
L	L	X	X	写入 SRAM	输入数据	活动
L	H	L	0x0E38 0x31C7 0x03E0 0x3C1F 0x303F 0x0B45	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储禁用	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	活动 <sup>[7]</sup>

**注释：**

6. CY14E256LA 上有 15 个地址行，其中只有较低的 14 个地址行被用于控制软件模式。
7. 六个连续的地址必须按下列顺序列出。 $\overline{WE}$  在六个周期期间必须保持为高电平，以便使能非易失性循环。

**表 1. 模式选择 (续)**

$\overline{CE}$	$\overline{WE}$	$\overline{OE}$	A <sub>14</sub> -A <sub>0</sub> <sup>[6]</sup>	模式	I/O	电源
L	H	L	0x0E38 0x31C7 0x03E0 0x3C1F 0x303F 0x0B46	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储使能	输出数据 输出数据 数据 输出数据 输出 数据 输出数据 输出 数据	活动 <sup>[8]</sup>
L	H	L	0x0E38 0x31C7 0x03E0 0x3C1F 0x303F 0x0FC0	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性存储	输出数据 输出数据 数据 输出数据 输出 数据 输出数据 输出 高阻态	活动 I <sub>CC2</sub> <sup>[8]</sup>
L	H	L	0x0E38 0x31C7 0x03E0 0x3C1F 0x303F 0x0C63	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性回读	输出数据 输出数据 数据 输出数据 输出 数据 输出数据 输出 高阻态	活动 <sup>[8]</sup>

### 阻止自动存储

通过启动自动存储禁用的序列，可以禁用自动存储功能。使用与软件存储启动类似的方式执行读操作序列。如果要启动自动存储禁用序列，必须执行下列  $\overline{CE}$  或  $\overline{OE}$  控制的读操作序列：

1. 读取地址 0x0E38，有效读取
2. 读取地址 0x31C7，有效读取
3. 读取地址 0x03E0，有效读取
4. 读取地址 0x3C1F，有效读取
5. 读取地址 0x303F，有效读取
6. 读取地址 0x0B45，自动存储禁用

通过启动自动存储使能序列，可以重新使能自动存储。使用与软件回读启动类似的方式执行读操作序列。如果要启动自动存储使能序列，必须执行下列  $\overline{CE}$  或  $\overline{OE}$  控制的读操作序列：

1. 读取地址 0x0E38，有效读取
2. 读取地址 0x31C7，有效读取
3. 读取地址 0x03E0，有效读取
4. 读取地址 0x3C1F，有效读取
5. 读取地址 0x303F，有效读取
6. 读取地址 0x0B46，自动存储使能

如果自动存储功能被禁用或重新启用，则必须要触发手动存储操作（软件或硬件）才能在后续的断电循环中保存自动存储状态。器件出厂时已使能自动存储功能，且已在所有单元中写入了 0x00。

### 数据保护

CY14E256LA 通过禁止外部启动的存储和写操作，可以避免在低电压状态下破坏数据。当  $V_{CC}$  低于  $V_{SWITCH}$  时，将检测到低电压状态。如果 CY14E256LA 在加电时处于写模式（ $\overline{CE}$  和  $\overline{WE}$  均为低电平），则在回读或存储后将禁止进行写操作，直到经过  $t_{LZHSB}$ （HSB 到输出有效的时间）时长后使能 SRAM 为止。这样可以防止在加电或掉电时发生意外写操作。

#### 注释：

8. 六个连续的地址必须按下列顺序列出。 $\overline{WE}$  在六个周期期间必须保持为高电平，以便使能非易失性循环。

## 最大额定值

超过最大额定值可能会缩短器件的使用寿命。这些用户指导未经过测试。

存放温度 ..... -65 °C 到 +150 °C

最长的存储时间:

在 150°C 环境温度下 ..... 1000 个小时

在 85°C 环境温度下 ..... 20 年

最高结温 ..... 150 °C

V<sub>CC</sub> (相对于 V<sub>SS</sub>) 的供电电压范围 ..... -0.5 V 到 7.0 V

应用于高阻态的输出电压 ..... -0.5 V 到 V<sub>CC</sub> + 0.5 V

输入电压 ..... -0.5 V 到 V<sub>CC</sub> + 0.5 V

处于接地电位的所有引脚上的

瞬变电压 (< 20 ns) ..... -2.0 V 到 V<sub>CC</sub> + 2.0 V

封装功率散耗能力

(T<sub>A</sub> = 25 °C) ..... 1.0 W

表面贴装铅焊温度

(3 秒) ..... +260 °C

直流输出电流 (一次一个输出, 持续时间为 1 秒) ..... 15 mA

静电放电电压

(根据 MIL-STD-883, 方法 3015) ..... > 2001 V

栓锁电流 ..... > 200 mA

## 工作范围

范围	环境温度	V <sub>CC</sub>
工业级	-40°C 至 +85°C	4.5 V 至 5.5 V

## 直流电气特性

适用条件为工作范围

参数	说明	测试条件	最小值	典型值 <sup>[9]</sup>	最大值	单位
V <sub>CC</sub>	电源		4.5	5.0	5.5	V
I <sub>CC1</sub>	V <sub>CC</sub> 平均电流	t <sub>RC</sub> = 25 ns t <sub>RC</sub> = 45 ns 无输出负载下取得的值 (I <sub>OUT</sub> = 0 mA)	-	-	70 52	mA mA
I <sub>CC2</sub>	存储期间 V <sub>CC</sub> 平均电流	所有输入无需关注, V <sub>CC</sub> = t <sub>STORE</sub> 期间的最大平均电流	-	-	10	mA
I <sub>CC3</sub>	在 t <sub>RC</sub> = 200 ns, V <sub>CC(Typ)</sub> , 25 °C 条件下的 V <sub>CC</sub> 平均电流	所有输入在 CMOS 电平循环。 无输出负载下取得的值 (I <sub>OUT</sub> = 0 mA)。	-	35	-	mA
I <sub>CC4</sub>	自动存储周期期间的 V <sub>CAP</sub> 平均 电流	所有输入无需关注。t <sub>STORE</sub> 期间的 平均电流	-	-	8	mA
I <sub>SB</sub>	V <sub>CC</sub> 待机电流	$\overline{CE} \geq (V_{CC} - 0.2 V)$ 。 $V_{IN} \leq 0.2 V$ 或 $\geq (V_{CC} - 0.2 V)$ 。 非易失性循环完成后的待机电流强 度。 输入处于静态状态。f = 0 MHz。	-	-	8	mA
I <sub>IX</sub> <sup>[10]</sup>	输入漏电流 ( $\overline{HSB}$ 除外)	V <sub>CC</sub> = 最大值, V <sub>SS</sub> ≤ V <sub>IN</sub> ≤ V <sub>CC</sub>	-1	-	+1	μA
	输入漏电流 (适用于 $\overline{HSB}$ )	V <sub>CC</sub> = 最大值, V <sub>SS</sub> ≤ V <sub>IN</sub> ≤ V <sub>CC</sub>	-100	-	+1	μA
I <sub>OZ</sub>	断开状态输出漏电流	V <sub>CC</sub> = 最大值, V <sub>SS</sub> ≤ V <sub>OUT</sub> ≤ V <sub>CC</sub> , CE 或 OE ≥ V <sub>IH</sub> 或 WE ≤ V <sub>IL</sub>	-1	-	+1	μA
V <sub>IH</sub>	输入高电平电压		2.0	-	V <sub>CC</sub> + 0.5	V
V <sub>IL</sub>	输入低电平电压		V <sub>SS</sub> - 0.5	-	0.8	V
V <sub>OH</sub>	输出高电平电压	I <sub>OUT</sub> = -2 mA	2.4	-	-	V
V <sub>OL</sub>	输出低电平电压	I <sub>OUT</sub> = 4 mA	-	-	0.4	V

### 注释:

9. 典型值, 温度条件: 25°C, 电压条件: V<sub>CC</sub> = V<sub>CC(Typ)</sub>。并未经过 100% 的测试。

10. 如果高电平有效和低电平有效的驱动程序均被禁用, 那么对于  $\overline{HSB}$  引脚, 当 V<sub>OH</sub> 等于 2.4 V 时, I<sub>OUT</sub> = -2 μA。使能这些驱动程序后, 标准 V<sub>OH</sub> 和 V<sub>OL</sub> 均有效。该参数被特性表征化, 并未经过测试。

## 直流电气特性 (续)

适用条件为工作范围

参数	说明	测试条件	最小值	典型值 <sup>[9]</sup>	最大值	单位
$V_{CAP}^{[11]}$	存储电容器	介于 $V_{CAP}$ 引脚和 $V_{SS}$ 之间	61	68	180	$\mu F$
$V_{V_{CAP}}^{[12, 13]}$	器件在 $V_{CAP}$ 引脚上驱动的最大电压	$V_{CC} = \text{最大值}$	—	—	$V_{CC} - 0.5$	V

## 数据保留时间和耐久性

适用条件为工作范围

参数	说明	最小值	单位
$DATA_R$	数据保留时间	20	年
$NV_C$	非易失性存储操作	1,000	K

## 电容

参数 <sup>[13]</sup>	说明	测试条件	最大值	单位
$C_{IN}$	输入电容 ( $\overline{HSB}$ 除外)	$T_A = 25^\circ C$ 、 $f = 1 \text{ MHz}$ 、 $V_{CC} = V_{CC(Typ)}$	7	pF
	输入电容 (适用于 $\overline{HSB}$ )		8	pF
$C_{OUT}$	输出电容 ( $\overline{HSB}$ 除外)		7	pF
	输出电容 (适用于 $\overline{HSB}$ )		8	pF

## 热阻

参数 <sup>[13]</sup>	说明	测试条件	44 引脚 TSOP II	32 引脚 SOIC	单位
$\Theta_{JA}$	热电阻 (结温到室温)	根据 EIA/JESD51 的要求, 测试条件遵循测试热电阻的标准测试方法和流程。	41.74	41.55	$^\circ C/W$
$\Theta_{JC}$	热电阻 (结温至壳温)		11.90	24.43	$^\circ C/W$

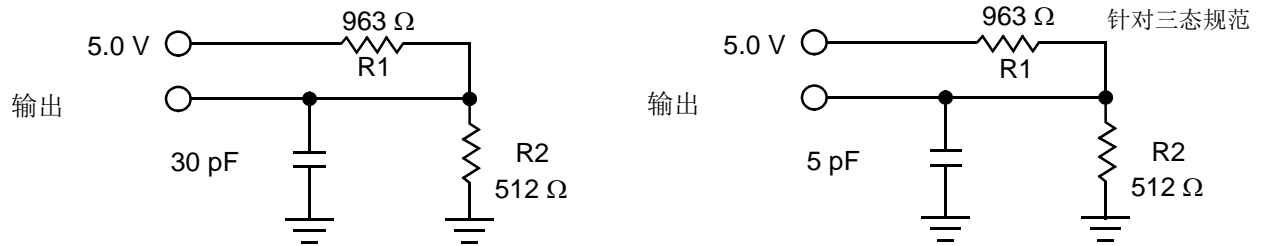
### 注释:

- $V_{CAP}$  的最小值要保证能够提供用来完成自动存储操作所需的电荷。在加电回读周期内,  $V_{CAP}$  的最大值可以确保使用最小的电压给  $V_{CAP}$  上的电容充电。这样, 在紧急断电期间, 可以顺利完成自动存储操作。因此, 建议始终使用介于指定的最小和最大值之间的电容器。请参考应用手册 [AN43593](#), 以便了解有关  $V_{CAP}$  选项的更多详细信息。
- 当选择  $V_{CAP}$  电容器时, 提供  $V_{CAP}$  引脚上的最大电压 ( $V_{V_{CAP}}$ ) 作为指导。在工作温度范围内,  $V_{CAP}$  电容器的额定电压应高于  $V_{V_{CAP}}$  电压。
- 这些参数仅通过设计保证, 并未经过测试



交流测试负载

图 3. 交流测试负载



交流测试条件

输入脉冲电平 ..... 0 V 到 3 V  
 输入上升和下降时间（10% ~ 90%） ..... ≤ 3 ns  
 输入和输出的时序参考电平 ..... 1.5 V

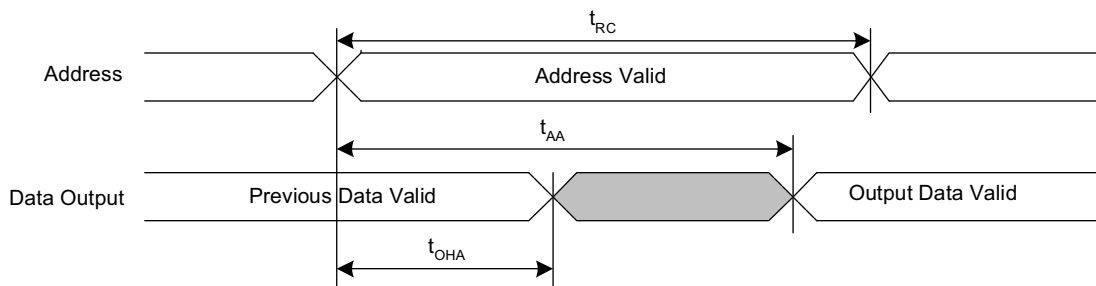
## 交流开关特性

适用条件为工作范围

参数 <sup>[14]</sup>		说明	25 ns		45 ns		单位
赛普拉斯参数	备用参数		最小值	最大值	最小值	最大值	
<b>SRAM 读周期</b>							
t <sub>ACE</sub>	t <sub>ACS</sub>	芯片使能访问时间	–	25	–	45	ns
t <sub>RC</sub> <sup>[15]</sup>	t <sub>RC</sub>	读周期时间	25	–	45	–	ns
t <sub>AA</sub> <sup>[16]</sup>	t <sub>AA</sub>	地址访问时间	–	25	–	45	ns
t <sub>DOE</sub>	t <sub>OE</sub>	输出使能到数据有效的时间	–	12	–	20	ns
t <sub>OHA</sub> <sup>[16]</sup>	t <sub>OH</sub>	地址更改后的输出保持时间	3	–	3	–	ns
t <sub>LZCE</sub> <sup>[17, 18]</sup>	t <sub>LZ</sub>	芯片使能到输出有效的时间	3	–	3	–	ns
t <sub>HZCE</sub> <sup>[17, 18]</sup>	t <sub>HZ</sub>	芯片禁用到输出无效的时间	–	10	–	15	ns
t <sub>LZOE</sub> <sup>[17, 18]</sup>	t <sub>OLZ</sub>	输出使能到输出有效的时间	0	–	0	–	ns
t <sub>HZOE</sub> <sup>[17, 18]</sup>	t <sub>OHZ</sub>	输出禁用到输出无效的时间	–	10	–	15	ns
t <sub>PU</sub> <sup>[17]</sup>	t <sub>PA</sub>	芯片使能到电源有效的时间	0	–	0	–	ns
t <sub>PD</sub> <sup>[17]</sup>	t <sub>PS</sub>	芯片禁用到电源待机的时间	–	25	–	45	ns
<b>SRAM 写周期</b>							
t <sub>WC</sub>	t <sub>WC</sub>	写周期时间	25	–	45	–	ns
t <sub>PWE</sub>	t <sub>WP</sub>	写入脉冲宽度	20	–	30	–	ns
t <sub>SCE</sub>	t <sub>CW</sub>	芯片使能到写周期结束的时间	20	–	30	–	ns
t <sub>SD</sub>	t <sub>DW</sub>	数据建立到写周期结束的时间	10	–	15	–	ns
t <sub>HD</sub>	t <sub>DH</sub>	写周期结束后的数据保持时间	0	–	0	–	ns
t <sub>AW</sub>	t <sub>AW</sub>	地址建立到写周期结束的时间	20	–	30	–	ns
t <sub>SA</sub>	t <sub>AS</sub>	地址建立到写周期开始的时间	0	–	0	–	ns
t <sub>HA</sub>	t <sub>WR</sub>	写周期结束后的地址保持时间	0	–	0	–	ns
t <sub>HZWE</sub> <sup>[17, 18, 19]</sup>	t <sub>WZ</sub>	写周期使能到输出禁用的时间	–	10	–	15	ns
t <sub>LZWE</sub> <sup>[17, 18]</sup>	t <sub>OW</sub>	写周期结束后到输出有效的时间	3	–	3	–	ns

## 开关波形

图 4. SRAM 读周期 #1 (地址控制) [15, 16, 20]



**注释:**

- 14. 测试条件采用的信号跳变时间不大于 3 ns, V<sub>CC</sub>/2 的时序参考电平, 0 至 V<sub>CC(typ)</sub> 的输入脉冲电平以及图 中所所示的指定 I<sub>OL</sub>/I<sub>OH</sub> 的输出负载和负载电容。
- 15. WE 在 SRAM 读周期中必须保持为高电平状态。
- 16. 当 CE 和 OE 均为低电平时, 器件会继续被选中。
- 17. 这些参数仅在设计上得到保证, 并未经过测试。
- 18. 测量条件是在稳定状态下输出电压的 ±200 mV 范围内。
- 19. 如果 CE 变为低电平时, WE 处于低电平状态, 输出将保持为高阻抗状态。
- 20. 在读和写周期内, HSB 必须保持为高电平状态。

开关波形 (续)

图 5. SRAM 读周期 #2 ( $\overline{CE}$  和  $\overline{OE}$  控制) [21, 22]

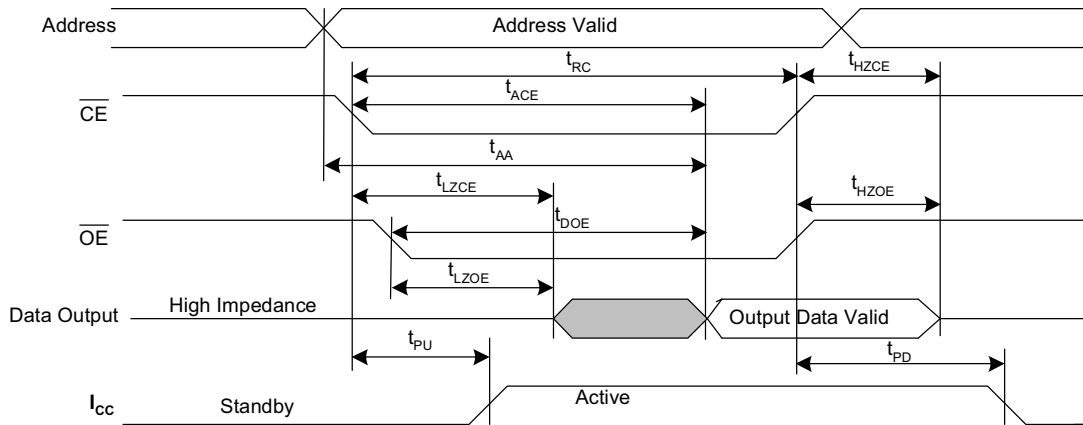


图 6. SRAM 写周期 #1 ( $\overline{WE}$  控制) [22, 23, 24]

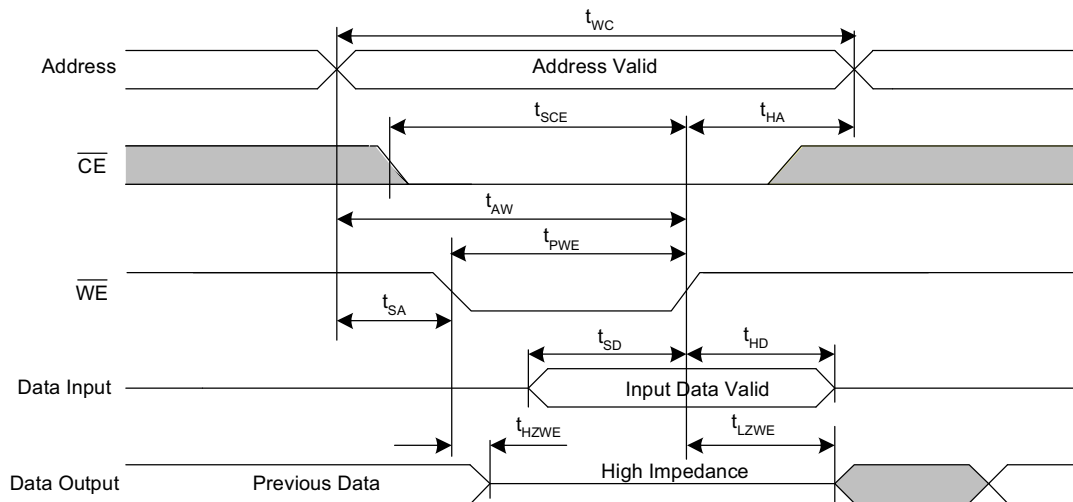
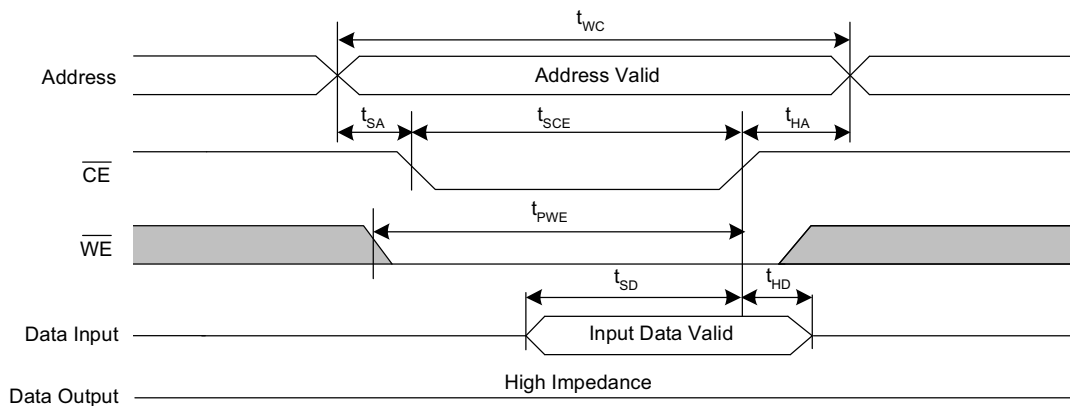


图 7. SRAM 写周期 #2 ( $\overline{CE}$  控制) [22, 23, 24]



注释:

21.  $\overline{WE}$  在 SRAM 读周期内必须保持为高电平状态。
22. 在读和写周期内,  $\overline{HSB}$  必须保持为高电平状态。
23. 如果在  $\overline{CE}$  变为低电平时,  $\overline{WE}$  仍处于低电平状态, 则输出将保持为高阻抗状态。
24. 地址转换期间,  $\overline{CE}$  或  $\overline{WE}$  必须  $\geq V_{IH}$ 。

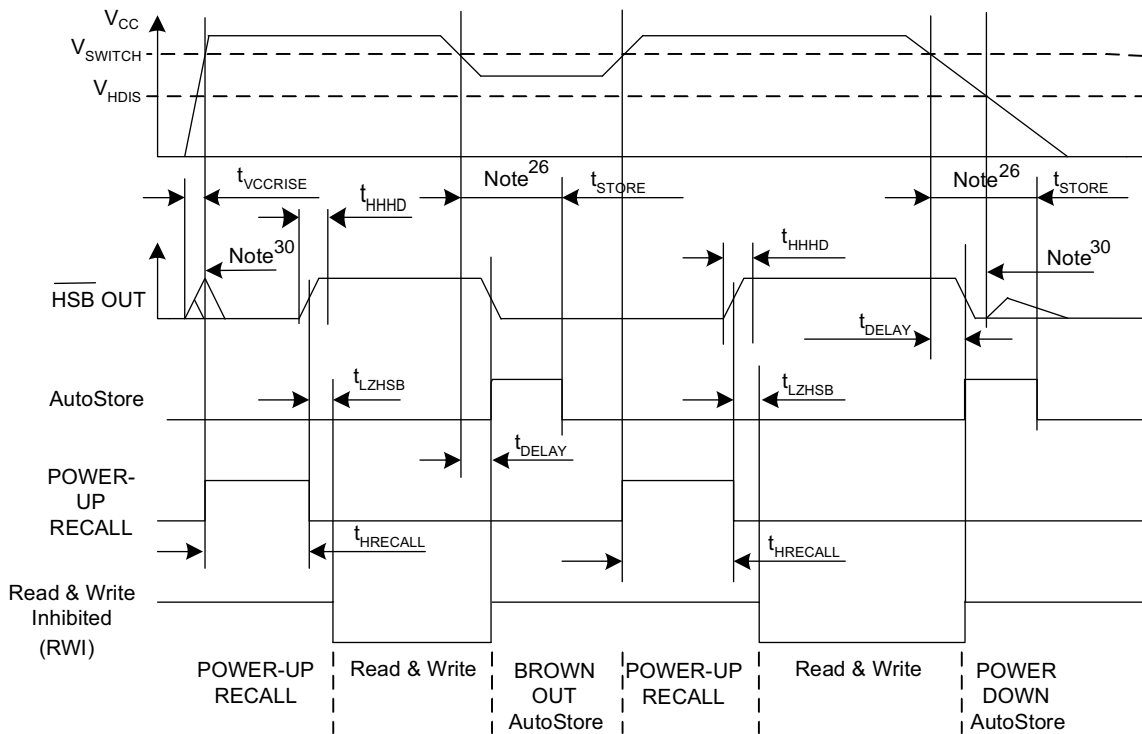
## 自动存储 / 加电回读

适用条件为工作范围

参数	说明	CY14E256LA		单位
		最小值	最大值	
$t_{HRECALL}^{[25]}$	加电回读期间	-	20	ms
$t_{STORE}^{[26]}$	存储周期时间	-	8	ms
$t_{DELAY}^{[27]}$	完成 SRAM 写周期的时间	-	25	ns
$V_{SWITCH}$	低电压触发电平	-	4.4	V
$t_{VCCRRISE}^{[28]}$	$V_{CC}$ 上升时间	150	-	$\mu$ s
$V_{HDIS}^{[28]}$	HSB 输出禁用电压	-	1.9	V
$t_{LZHSB}^{[28]}$	HSB 到输出有效的时间	-	5	$\mu$ s
$t_{HHHD}^{[28]}$	HSB 高电平有效时间	-	500	ns

## 开关波形

图 8. 自动存储或加电回读<sup>[29]</sup>



**注释:**

- 25.  $t_{HRECALL}$  是从  $V_{CC}$  超过  $V_{SWITCH}$  时开始算起的。
- 26. 如果最后一次非易失性循环完成后尚未对 SRAM 进行写操作, 则不会发生自动存储或硬件存储操作。
- 27. 硬件存储和自动存储启动后, SRAM 写入操作在  $t_{DELAY}$  时间内继续保持为使用。
- 28. 这些参数仅在设计上得到保证, 并未经过测试。
- 29. 当  $V_{CC}$  低于  $V_{SWITCH}$  时, 将在存储、回读的过程中忽略读写周期。
- 30. 在加电和断电期间, 如果通过外部电阻上拉了 HSB 引脚, 那么 HSB 会产生瞬时脉冲。

### 软件控制的存储 / 回读周期

适用条件为工作范围

参数 [31, 32]	说明	25 ns		45 ns		单位
		最小值	最大值	最小值	最大值	
$t_{RC}$	存储 / 回读初始化周期的时间	25	-	45	-	ns
$t_{SA}$	地址建立时间	0	-	0	-	ns
$t_{CW}$	时钟脉冲宽度	20	-	30	-	ns
$t_{HA}$	地址保持时间	0	-	0	-	ns
$t_{RECALL}$	回读持续时间	-	200	-	200	$\mu$ s

### 开关波形

图 9.  $\overline{CE}$  和  $\overline{OE}$  控制的软件存储 / 回读周期 [32]

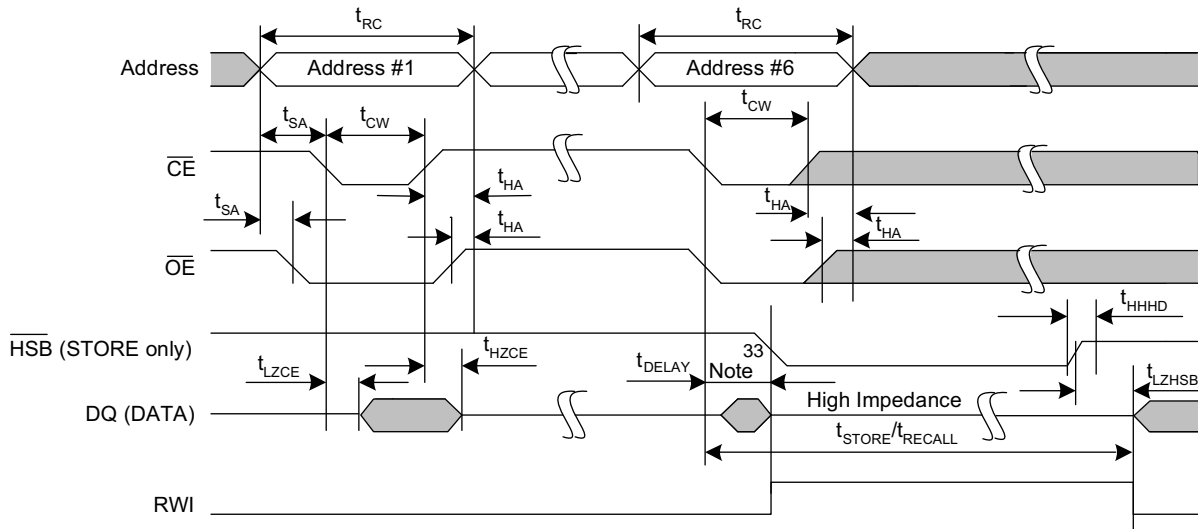
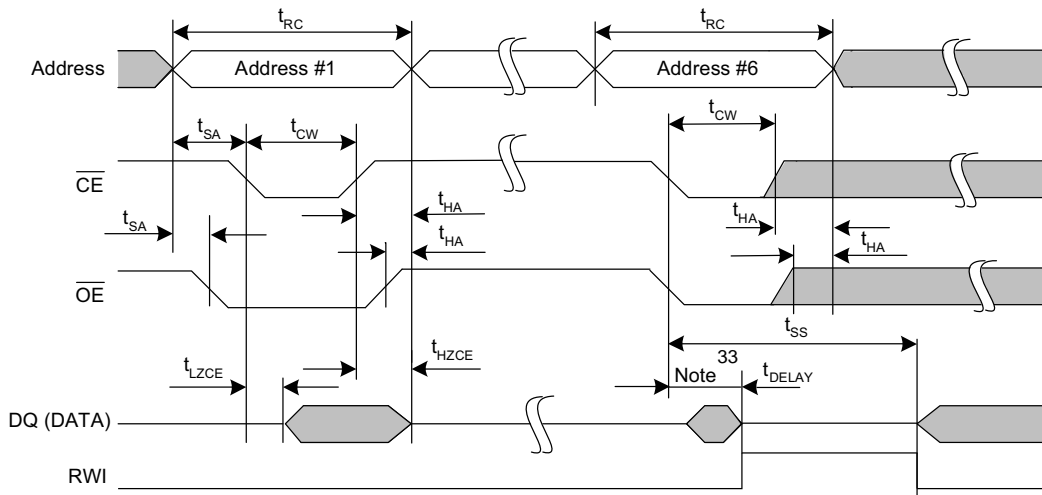


图 10. 自动存储使能 / 禁用周期 [32]



**注释:**

- 31. 由  $\overline{CE}$  控制的或  $\overline{OE}$  控制的读操作作为软件序列提供时钟脉冲。
- 32. 必须按第 5 页上的表 1 列出的顺序读取六个连续地址。在六个连续周期内,  $\overline{WE}$  必须保持为高电平状态。
- 33. 由于在  $t_{DELAY}$  时间内输出被禁用, 因此第六次读取的 DQ 输出数据可能无效。

### 硬件存储周期

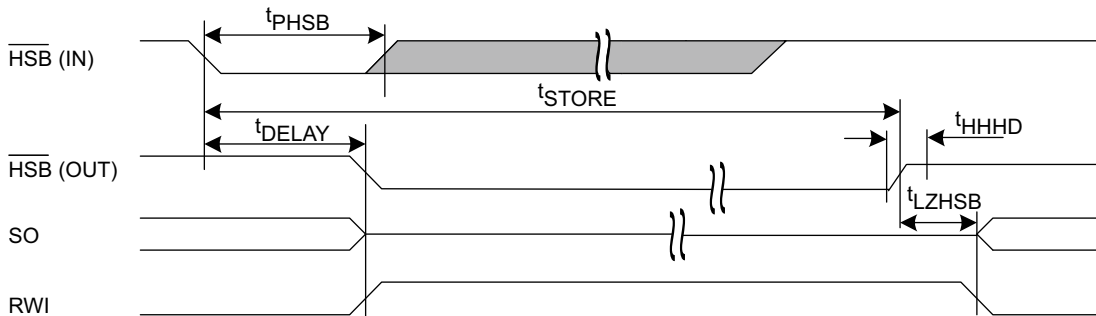
适用条件为 [工作范围](#)

参数	说明	CY14E256LA		单位
		最小值	最大值	
$t_{DHSB}$	未设置写入锁存时 $\overline{HSB}$ 到输出有效的时间	-	25	ns
$t_{PHSB}$	硬件存储脉冲宽度	15	-	ns
$t_{SS}$ [34, 35]	软序列处理时间	-	100	$\mu$ s

### 开关波形

图 11. 硬件存储周期 [36]

#### Write Latch set



#### Write Latch not set

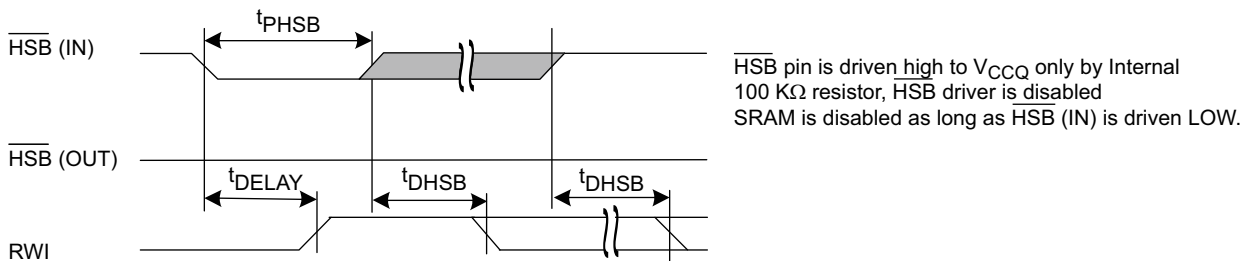
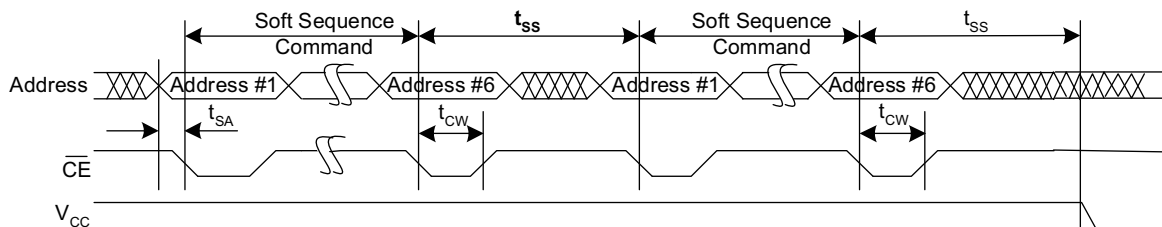


图 12. 软序列处理时间 [34, 35]



**注释:**

- 34. 这是执行软序列指令所需要的时间。Vcc 必须保持为高电平，以便保证有效地寄存指令。
- 35. 存储和回读等指令会锁定 I/O，直到完成操作为止，这样会使该时间延长更久。请参见特定的指令。
- 36. 如果最后一次非易失性循环完成后尚未对 SRAM 进行写操作，将不会发生自动存储或硬件存储操作。

## SRAM 操作的真值表

在 SRAM 操作过程中， $\overline{\text{HSB}}$  必须保持为高电平。

表 2. 真值表

CE	WE	OE	输入 / 输出	模式	电源
H	X	X	高阻态	取消选择 / 断电	待机
L	H	L	数据输出 (DQ <sub>0</sub> -DQ <sub>7</sub> )	读取	活动
L	H	H	高阻态	输出禁用	活动
L	L	X	数据输入 (DQ <sub>0</sub> -DQ <sub>7</sub> )	写入	活动

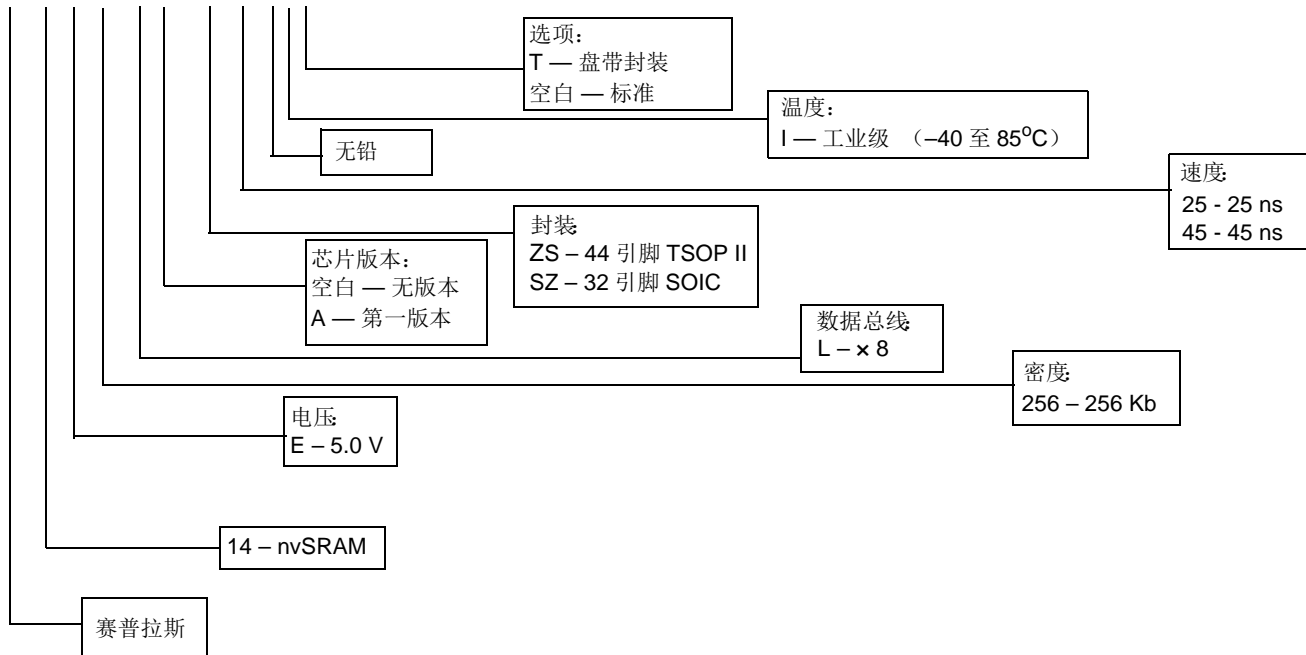
## 订购信息

速率 (ns)	订购代码	封装图	封装类型	工作范围
25	CY14E256LA-SZ25XIT	51-85127	32 引脚 SOIC	工业
	CY14E256LA-SZ25XI			
45	CY14E256LA-SZ45XIT			
	CY14E256LA-SZ45XI			

这些器件都不含铅。

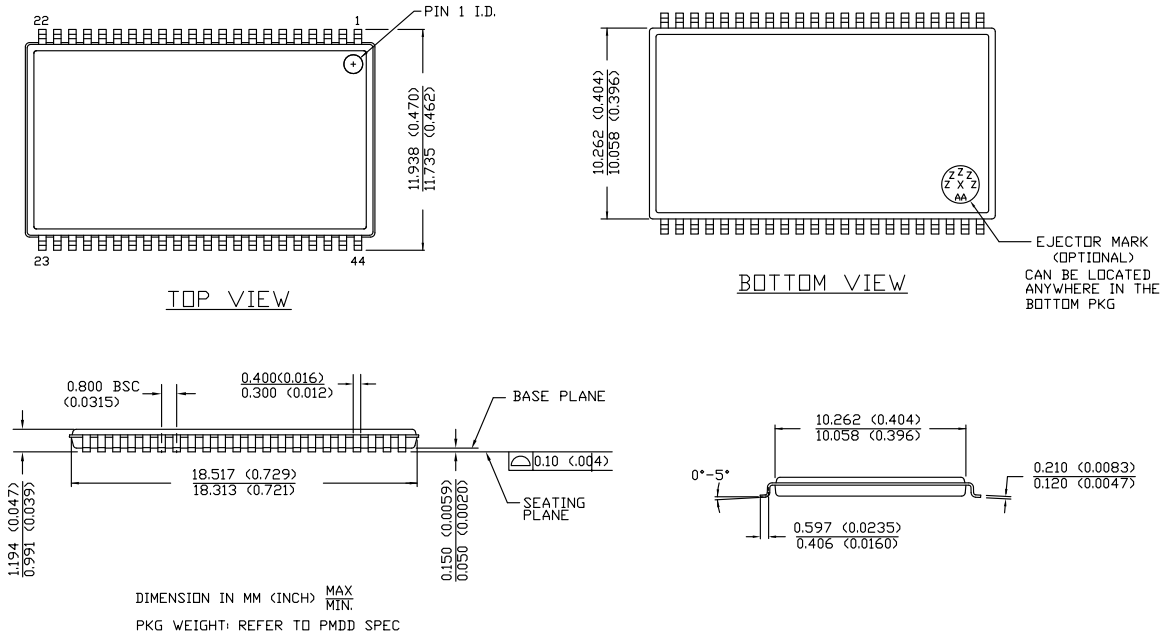
## 订购代码定义

### CY 14 E 256 L A - ZS 25 X I T



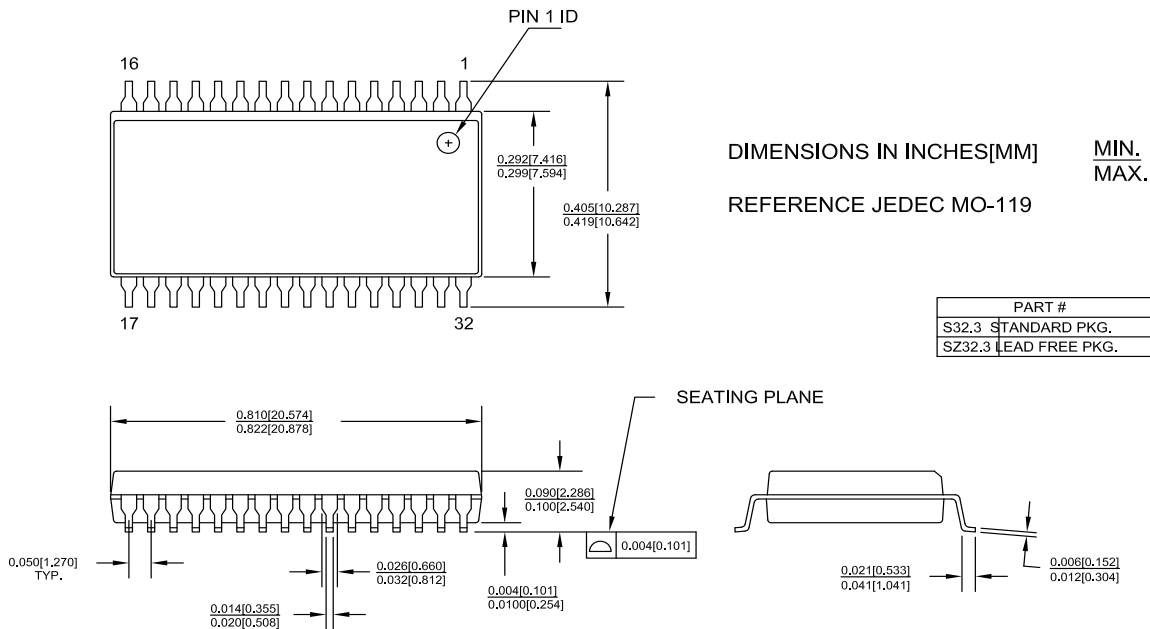
封装图

图 13. 44 引脚 TSOP II 封装外形, 51-85087



51-85087 \*E

图 14. 32 引脚 SOIC (300 Mil) 封装外形, 51-85127



51-85127 \*D



缩略语

缩略语	说明
CE	芯片使能
CMOS	互补金属氧化物半导体
EIA	电子工业联盟
HSB	硬件存储繁忙
I/O	输入 / 输出
JEDEC	联合电子设备工程委员会
nvSRAM	非易失性静态随机存取存储器
$\overline{OE}$	输出使能
RoHS	有害物质限制
RWI	禁止读和写
SOIC	小外形集成电路
SRAM	静态随机存取存储器
TSOP	薄小外型封装
WE	写入使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
k $\Omega$	千欧姆
MHz	兆赫兹
$\mu$ A	微安
$\mu$ F	微法
$\mu$ s	微秒
mA	毫安
ms	毫秒
mV	毫伏
ns	纳秒
$\Omega$	欧姆
%	百分比
pF	皮法
ps	皮秒
V	伏特
W	瓦特

文档修订记录页

文档标题: CY14E256LA, 256 Kbit (32 K x 8) nvSRAM 文档编号: 001-95818				
版本	ECN	变更者	提交日期	变更说明
**	4691557	LYAO	04/02/2015	本文档版本号为 Rev**, 译自英文版 001-54952 Rev*K。

## 销售、解决方案和法律信息

### 全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问赛普拉斯所在地。

### 产品

汽车级产品	<a href="http://cypress.com/go/automotive">cypress.com/go/automotive</a>
时钟与缓冲器	<a href="http://cypress.com/go/clocks">cypress.com/go/clocks</a>
接口	<a href="http://cypress.com/go/interface">cypress.com/go/interface</a>
照明与电源控制	<a href="http://cypress.com/go/powerpsoc">cypress.com/go/powerpsoc</a> <a href="http://cypress.com/go/plc">cypress.com/go/plc</a>
存储器	<a href="http://cypress.com/go/memory">cypress.com/go/memory</a>
光学与图像传感器	<a href="http://cypress.com/go/image">cypress.com/go/image</a>
PSoC	<a href="http://cypress.com/go/psoc">cypress.com/go/psoc</a>
触摸感应产品	<a href="http://cypress.com/go/touch">cypress.com/go/touch</a>
USB 控制器	<a href="http://cypress.com/go/USB">cypress.com/go/USB</a>
无线 / 射频	<a href="http://cypress.com/go/wireless">cypress.com/go/wireless</a>

### PSoC 解决方案

[psoc.cypress.com/solutions](http://psoc.cypress.com/solutions)  
PSoC 1 | PSoC 3 | PSoC 5

© 赛普拉斯半导体公司，2009-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。