

将 SPI EEPROM 替换为赛普拉斯的 SPI F-RAM™

作者: Shivendra Singh

相关项目: 无

相关器件系列: SPI F-RAM

软件版本: 无

相关应用笔记: AN304、AN87352

要想获得本应用笔记的最新版本, 请访问 www.cypress.com/go/AN96614。

AN96614 介绍了将 SPI EEPROM 替换为赛普拉斯可靠性高且节能的 SPI F-RAM 解决方案时需要考虑的各种优点和差异。

目录

1	简介	1	3.5	参数兼容性	7
2	SPI F-RAM 比 EEPROM 的优势	2	4	固件兼容性	8
2.1	更快的存储器	2	4.1	EEPROM 中的多个页面与 F-RAM 中的单页面	8
2.2	更简单设计	2	4.2	页面写延迟	9
2.3	数据安全性	2	4.3	状态寄存器中的 RDY /WIP 位	9
2.4	其他性能:	2	5	总结	10
3	将 SPI EEPROM 替换为 SPI F-RAM	2	6	相关文档	10
3.1	引脚和封装兼容性	2	6.1	应用笔记	10
3.2	指令 (操作码) 兼容性	4		文档修订记录	11
3.3	状态寄存器的兼容性	5		全球销售和设计支持	12
3.4	Hold 兼容性	6			

1 简介

EEPROM 通常用于系统数据的非易失性存储。然而, 由于 EEPROM 的非易失性写入速度慢以及写耐久性有限, 因此会限制在系统中使用 EEPROM (这些系统需要以总线速度对非易失性存储器进行写入操作)。许多系统设计尝试通过使用损耗均衡技术来提高有效耐久性来解决与 EEPROM 相关联的问题, 但这样会增大 EEPROM 容量和软件开销。其他保存关键系统数据的备用方法是将数据存储于在暂存器 RAM 内, 然后通过备用电源在断电时将已存储的数据传输到非易失性存储器 (如 EEPROM 或闪存) 内。这两种方法的效率都很低, 因为它们需要的组件、电路板空间、硬件设计复杂性和软件开销都不占优势。

赛普拉斯的 SPI F-RAM 是采用先进铁电过程的串行、非易失性存储器。它是世界上最节能的高性能、高可靠性的非易失性 RAM 解决方案。赛普拉斯的 SPI F-RAM 适用于工业和汽车级的温度范围。

赛普拉斯的 F-RAM 产品具有快速随机访问 SRAM 存储器单元, 提供了高达 10^{14} 次的读/写次数 (几乎相当于无限次数的读写耐久性)。与 EEPROM 相比, 该次数提高了好几个数量级。与串行 EEPROM 和闪存存储器不同, F-RAM 可以以总线速度执行写操作而不会引起任何写延迟 (NoDelay™)。数据可以被直接写入到 F-RAM 阵列内, 而且在进行后续访问之前不需要检查器件是否就绪便可以立即启动新的总线周期。

串行 SPI F-RAM 器件可以替换标准的 SPI EEPROM 器件。本应用笔记介绍了工业标准 SPI EEPROM 和赛普拉斯 SPI F-RAM 解决方案之间的差异。将基于 SPI EEPROM 的解决方案替换为赛普拉斯的 SPI F-RAM 解决方案时，需要考虑这些差异。本应用笔记在进行比较过程中参考了 M95M01 和 AT256B SPI EEPROM 数据手册。

更多有关 SPI F-RAM 设计的信息，请参考应用笔记 [AN304 — F-RAM™ 的 SPI 指南](#)。

欲了解串行赛普拉斯 F-RAM 比串行 EEPROM 的优势，请参考应用笔记 [AN87352 — 用于智能电子仪表的 F-RAM™](#)。

2 SPI F-RAM 比 EEPROM 的优势

2.1 更快的存储器

- 随机访问：不需要进行任何页读/写操作。
- 以总线速度写入到整个存储器，对每一页进行写操作后不存在任何内部页面程序延迟。

2.2 更简单设计

- 与 EEPROM 不同，不需要用于管理页边界的软件。
- 无限次数 (10^{14}) 的读/写耐久性不需要耗损均衡技术
- 在工业标准封装中提供

2.3 数据安全性

- 高级高可靠性的铁电工艺
- 不需要用于存储最新数据的电池或电容备用

2.4 其他性能：

- 赛普拉斯 F-RAM 是最节能的快速非易失性 RAM
- 在 65 °C 温度下，数据保留时间为 151 年
- 无铅技术

3 将 SPI EEPROM 替换为 SPI F-RAM

赛普拉斯的 SPI F-RAM 器件具有两种工业标准的包装类型：8 引脚 SOIC 和 8 引脚 DFN。这些标准灵活的封装选项使赛普拉斯的 SPI F-RAM 能够替换封装相同的大多数 EEPROM，并不会影响系统性能。另外，赛普拉斯的 F-RAM 解决方案提供了多项优势功能，如更高的数据吞吐量、无延迟 (NoDelay™) 的写操作和节能操作。

下面的内容重点介绍了 SPI EEPROM 和 SPI F-RAM 之间重要的差异和兼容性。

3.1 引脚和封装兼容性

在引脚和封装方面，赛普拉斯的 SPI F-RAM 与 SPI EEPROM 相兼容。表 1 显示的是引脚的映射情况，表 2 显示的是对 SPI EEPROM 和 SPI F-RAM 封装的比较。

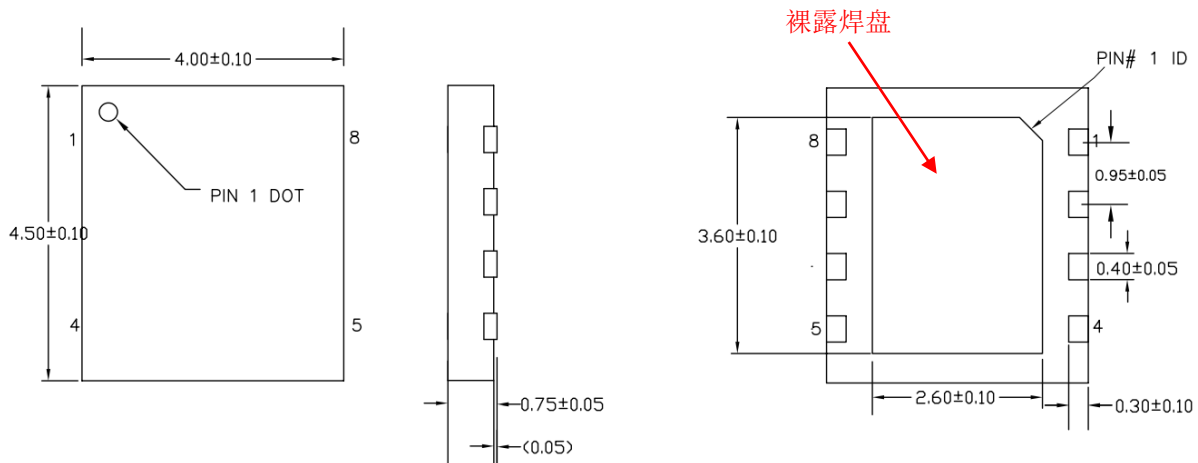
表 1. SPI EEPROM 和 SPI F-RAM 之间的引脚映射情况

引脚说明	引脚名称	
	SPI EEPROM	赛普拉斯的 SPI F-RAM
芯片选择	$\overline{SS} / \overline{S} / \overline{CS}$	\overline{CS}
串行时钟	C/SCK	SCK
串行数据输入	D/SI	SI
串行数据输出	Q/SO	SO
写保护	$\overline{W} / \overline{WP}$	\overline{WP}
保持	\overline{HOLD}	\overline{HOLD}
供电电源	V_{CC}/V_{DD}	V_{DD}
接地	V_{SS}/GND	V_{SS}

表 2. SPI EEPROM 与 SPI F-RAM 封装比较

特性/功能	SPI EEPROM	SPI F-RAM	注释
DFN 裸露焊盘	无连接	无连接	F-RAM 8 引脚 DFN 封装上的裸露焊盘是无连接 (NC) 焊盘, 因此, 它将处于悬空状态或者连接到 V_{SS}/V_{DD} 。 赛普拉斯不建议将 F-RAM DFN 裸露焊盘焊接在 PCB 上。
封装选项	8 引脚 DFN、 8 引脚 SOIC (150 mil)、 8 引脚 SOIC (208 mil)、 8 引脚 PDIP、 8 引脚 TSSOP、 8 引脚 dBGA、 8 引脚 UDFN、 8-WLCSP、 8 引脚 MSOP	8 引脚 DFN、 8 引脚 SOIC (150 mil)、 8 引脚 SOIC (208 mil)	可使用 SPI F-RAM 替换 EEPROM 的标准 8 引脚 DFN 和 8 引脚 SOIC 封装。 其他 SPI EEPROM 封装与 SPI F-RAM 不兼容, 因此需要更改 PCB。

图 1. SPI F-RAM 8 引脚 DFN (4 mm × 4.5 mm × 0.75 mm) 封装外形



由于 SPI F-RAM 裸露焊盘未连接芯片 (die), 因此它处于悬空状态。将 SPI EEPROM 替换为 SPI F-RAM 时, 请不要将 SPI F-RAM DFN 封装的裸露焊盘焊接在 PCB 上。否则会使 SPI F-RAM 的裸片 (die) 暴露在过高的温度中, 从而导致位故障和容限损失。

3.2 指令（操作码）兼容性

表 3 显示的是 SPI EEPROM 和 SPI F-RAM 支持的操作码。EEPROM 单元操作专用操作码，如 RDID (ABh)、PE0 (42h) 和 SE0 (D8h) (表 3 中所示) 是用于 SPI F-RAM 的指令，无需关注这些指令；SPI F-RAM 在执行期间会忽略这些指令。如果应用使用这些特性，SPI F-RAM 不能替换拥有这些特性的 SPI EEPROM。

表 3. 操作码比较

指令操作码 (十六进制)	指令说明	SPI EEPROM	SPI F-RAM	注释
WREN (06h)	置位写使能锁存	√	√	功能相同。
WRDI (04h)	复位写入使能锁存	√	√	
RDSR (05h)	读状态寄存器	√	√	
WRSR (01h)	写状态寄存器	√	√	优点： 对状态寄存器进行写操作后，F-RAM 不需要经过 5 ms 的非易失性写延迟。
WRITE (02h)	读取存储器数据	√	√	功能相同。
WRITE (02h)	写入存储器数据	√	√	优点： SPI EEPROM 突发写入操作中的地址计数器在 EEPROM 页边界上被翻转。在写入每个字节/页面后，EEPROM 需要经过 5 ms 的非易失性写延迟。 SPI F-RAM 突发写操作允许以总线速度对整个存储器进行写操作，而不需要任何写延迟。该地址计数器在最后的存储器地址被翻转。
FSTRD (0Bh)	快速读取存储器数据	X	√	不受 EEPROM 的支持
SLEEP (B9h)	进入睡眠模式	√	√	功能相同
RDID (9Fh)	读取器件 ID	X	√	不受 EEPROM 的支持
SNR (C3h)	读取序列号	X	√	
RDID (ABh)	从深度掉电模式中释放 (不提供作为标准指令)	√	X	这些指令不是标准的 SPI EEPROM 指令。 这些指令仅受特定 EEPROM 的支持， 不受 SPI F-RAM 的支持。
PE0 (42h)	页面擦除	√	X	
SE0 (D8h)	扇区擦除	√	X	
RDID (83h)	读取标识的专用页面	√	X	
WRID (82h)	编写标识的专用页面	√	X	
RDLS (83h)	读取标识页面的锁存状态	√	X	
LID (82h)	将标识页面设置为只读模式	√	X	

3.3 状态寄存器的兼容性

访问 SPI EEPROM 和 SPI-FRAM 中的状态寄存器是相同的，但 EEPROM 允许在一个循环中读取状态寄存器而不用重新发送读取状态寄存器指令（RDSR）。主机控制器通过在一个循环中轮询 EEPROM 状态寄存器来确定“就绪”还是“正在进行写操作”状态（RDY / WIP）。但完成正在进行的指令后，SPI F-RAM 将立即进入就绪状态以进行下一个指令。因此，在所有情况下，SPI F-RAM 不需要连续读取状态寄存器。这就是使用 SPI F-RAM 时会带来的固件改进。

读取 SPI F-RAM 状态寄存器时始终会返回“就绪”状态。将 SPI EEPROM 替换为 SPI F-RAM 时，固件必须确保每次进行状态寄存器读指令时它要读取一个字节。如果它读取多个字节，则必须忽略所有字节（第一个字节除外）。表 4 显示的是 SPI EEPROM 和 SPI F-RAM 的状态寄存器位定义以及它们的兼容性。

表 4. 状态寄存器比较

状态寄存器	SPI EEPROM	SPI F-RAM	注释
位 0	RDY / WIP	无需关注 (0)	在进行页面写操作期间，如果 SPI EEPROM 处于繁忙状态，它会将该位设置为‘1’。SPI F-RAM 始终返回‘0’，用以表示就绪状态。因此，将 SPI EEPROM 替换为 SPI F-RAM 时不需要进行任何固件更改。
位 1	WEL	WEL	特性完全相同。
位 2	BP0	BP0	
位 3	BP1	BP1	
位 4	无需关注 (0)	无需关注 (0)	
位 5	无需关注 (0)	无需关注 (0)	
位 6	无需关注 (0)	无需关注 (0/1)	在 SPI F-RAM 中，它是只读位。 读取时，某些 SPI F-RAM 将返回‘0’。（例如：FM25C160B） 读取时，某些 SPI F-RAM 将返回‘1’。（例如：FM25V20A）
位 7	SRWD	WPEN	特性完全相同。

注意：位 4-6 是‘无需关注’位。将 SPI EEPROM 替换为 SPI F-RAM 时，可以忽略这三位的默认值。

图 2. SPI EEPROM 状态寄存器读取操作

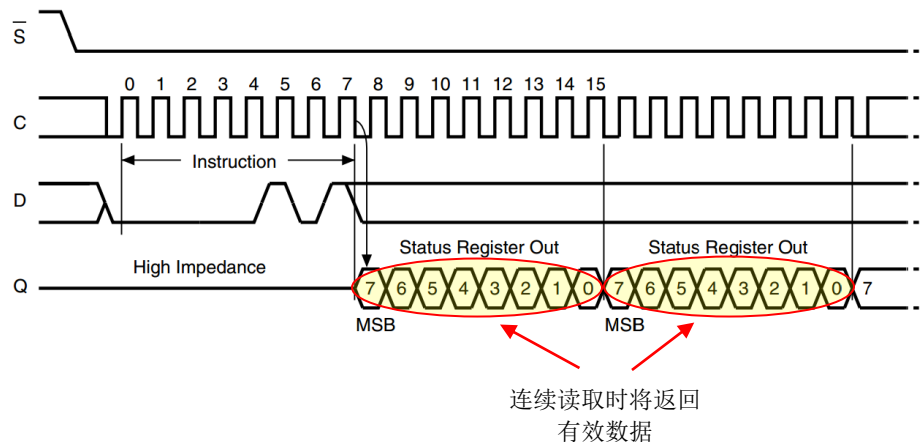
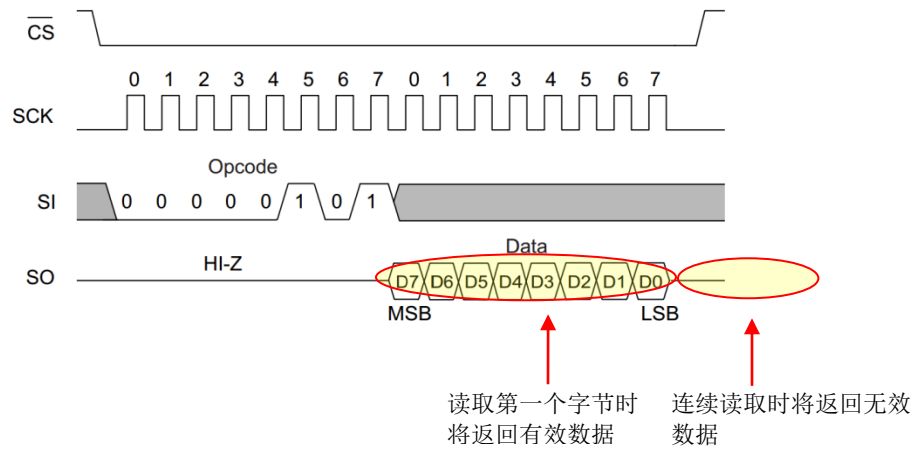


图 3. SPI F-RAM 状态寄存器读取操作



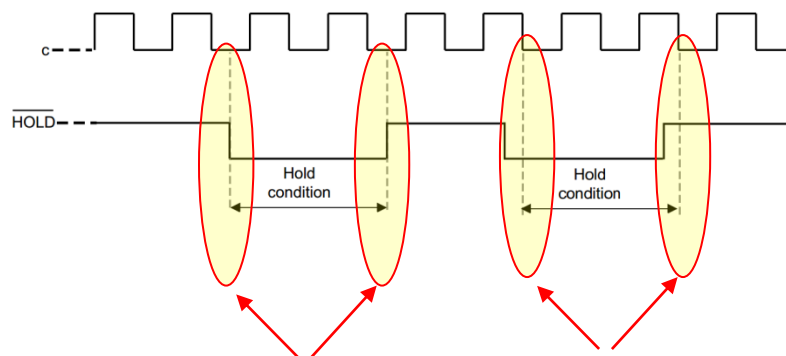
3.4 Hold 兼容性

通过使用 $\overline{\text{HOLD}}$ 引脚可以中断一个串行操作而不需要中止它。当 SCK 为低电平时，如果总线主设备将 $\overline{\text{HOLD}}$ 引脚置于低电平，则当前操作将暂停。如果总线主设备将 $\overline{\text{HOLD}}$ 引脚置于高电平，则将恢复已暂停的操作。 $\overline{\text{HOLD}}$ 引脚上的所有转换必须在 SCK 为低电平时进行。

下面显示的是 SPI EEPROM 和 SPI F-RAM 各 $\overline{\text{HOLD}}$ 引脚性能的差异：

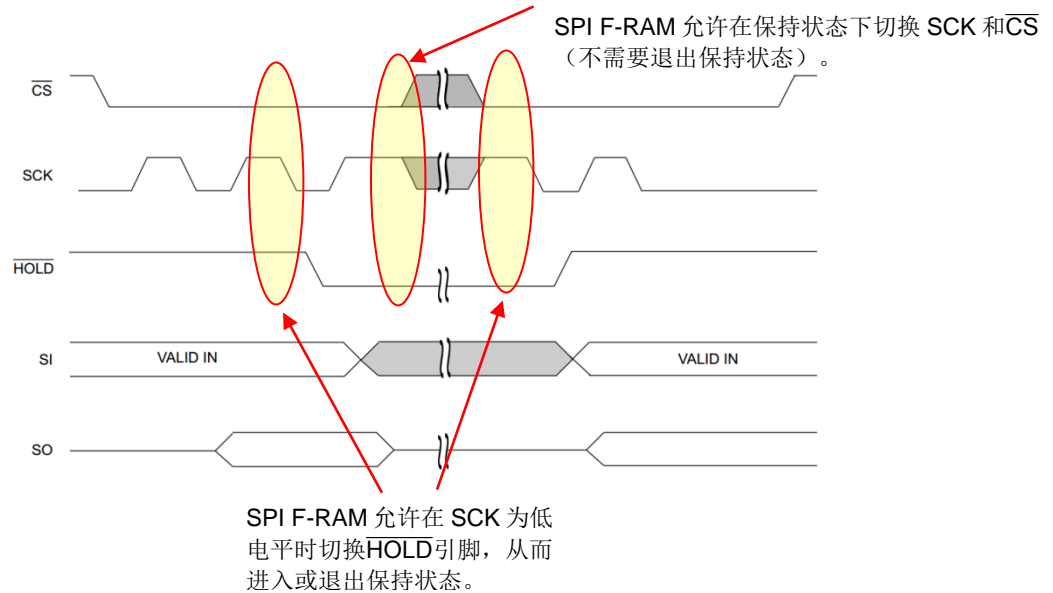
- SPI F-RAM 允许在保持状态期间切换 SCK 和 $\overline{\text{CS}}$ 引脚，如图 4。
- 某些 SPI EEPROM 不允许在保持状态下切换 $\overline{\text{CS}}$ 。在保持状态期间切换 $\overline{\text{CS}}$ ，会复位这些器件中进行的通信。
- 当 $\overline{\text{CS}}$ 为低电平并且 SCK 为高电平时，SPI EEPROM 通过将 $\overline{\text{HOLD}}$ 引脚切换为低电平来允许进入保持状态。同样，当 $\overline{\text{CS}}$ 为低电平并且 SCK 为高电平时，这些器件通过将 $\overline{\text{HOLD}}$ 引脚切换为高电平来允许退出保持状态。请参看图 5。

图 4. SPI EEPROM $\overline{\text{HOLD}}$ 时序



在所有 SPI EEPROM 中，通过切换 $\overline{\text{HOLD}}$ 引脚来进入和退出保持状态。

某些 SPI EEPROM 也允许在 SCK 为高电平时切换 $\overline{\text{HOLD}}$ 引脚，从而进入或退出保持状态。

图 5. SPI F-RAM $\overline{\text{HOLD}}$ 时序


3.5 参数兼容性

表 5 汇总了将 SPI EEPROM 替换为赛普拉斯 SPI F-RAM 时, 需要通过进行评估来确定系统级兼容性的各种关键参数。

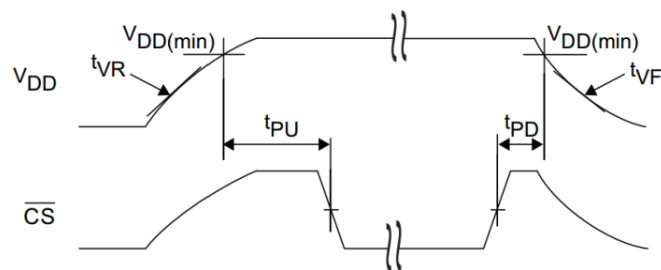
表 5. 关键参数检查表

参数	说明	SPI EEPROM	SPI F-RAM	注释
直流参数				
V_{DD}	供电电压	1.5 V 到 3.6 V 1.7 V 到 5.5 V	2.0 V 到 5.5 V	SPI EEPROM 支持更宽的工作电压范围。将 SPI EEPROM 替换为 SPI F-RAM 时, 系统必须确保 SPI F-RAM 的工作电压属于其工作电压范围内。
V_{IH}	输入高电平	变化	$0.7 \times V_{DD}$ 到 $V_{DD} + 0.3 \text{ V}$	SPI F-RAM 遵循 CMOS 逻辑标准。系统必须确保逻辑电平位于 SPI 主机和 SPI F-RAM 的工作电压范围内, 从而能够正常进行操作。
V_{IL}	输入低电平电压	变化	-0.3 V 到 $0.3 \times V_{DD}$	
V_{OH}	输出高电平	变化	2.4 V (最小值), $I_{OH} = -1 \text{ mA}$; $V_{DD} - 0.2 \text{ V}$ (最小值), $I_{OH} = -100 \mu\text{A}$	SPI F-RAM 输出驱动器支持标准的输出驱动强度, 因此它与大多数主机控制器相兼容。
V_{OL}	输出低电平	变化	0.4 V (最大值), $I_{OL} = +2 \text{ mA}$; 0.2 V (最大值), $I_{OL} = +150 \mu\text{A}$	系统必须确保逻辑电平位于 SPI 主机和 SPI F-RAM 的工作电压范围内, 从而能够正常进行操作。

参数	说明	SPI EEPROM	SPI F-RAM	注释
交流电参数				
f _{sck}	SPI 时钟频率	可达 20 MHz	可达 40 MHz	将 SPI EEPROM 替换为 SPI F-RAM 时不需要更新固件。但由于 SPI F-RAM 支持更高的访问速度，因此通过更新固件可以提高使用 SPI F-RAM 时的数据吞吐量。
电源参数				
t _{VR}	V _{DD} 上电升降斜率	变化	30 到 50 μs/V	替换为 SPI F-RAM 时，系统必须确保 V _{DD} 电源升降斜率位于 SPI F-RAM 的规范内，如图 6 所示。
t _{VF}	V _{DD} 断电升降斜率	变化	30 到 100 μs/V	

其他器件参数如不同操作模式下的器件电流、输出负载、启动时间、电源升降斜率（上电和断电）、ESD 配置文件和各种封装在 SPI EEPROM 和 SPI F-RAM 之间存在差异，并且在将 SPI EEPROM 替换为 SPI F-RAM 之前确保系统级分析。

图 6. SPI F-RAM 电源周期时序



4 固件兼容性

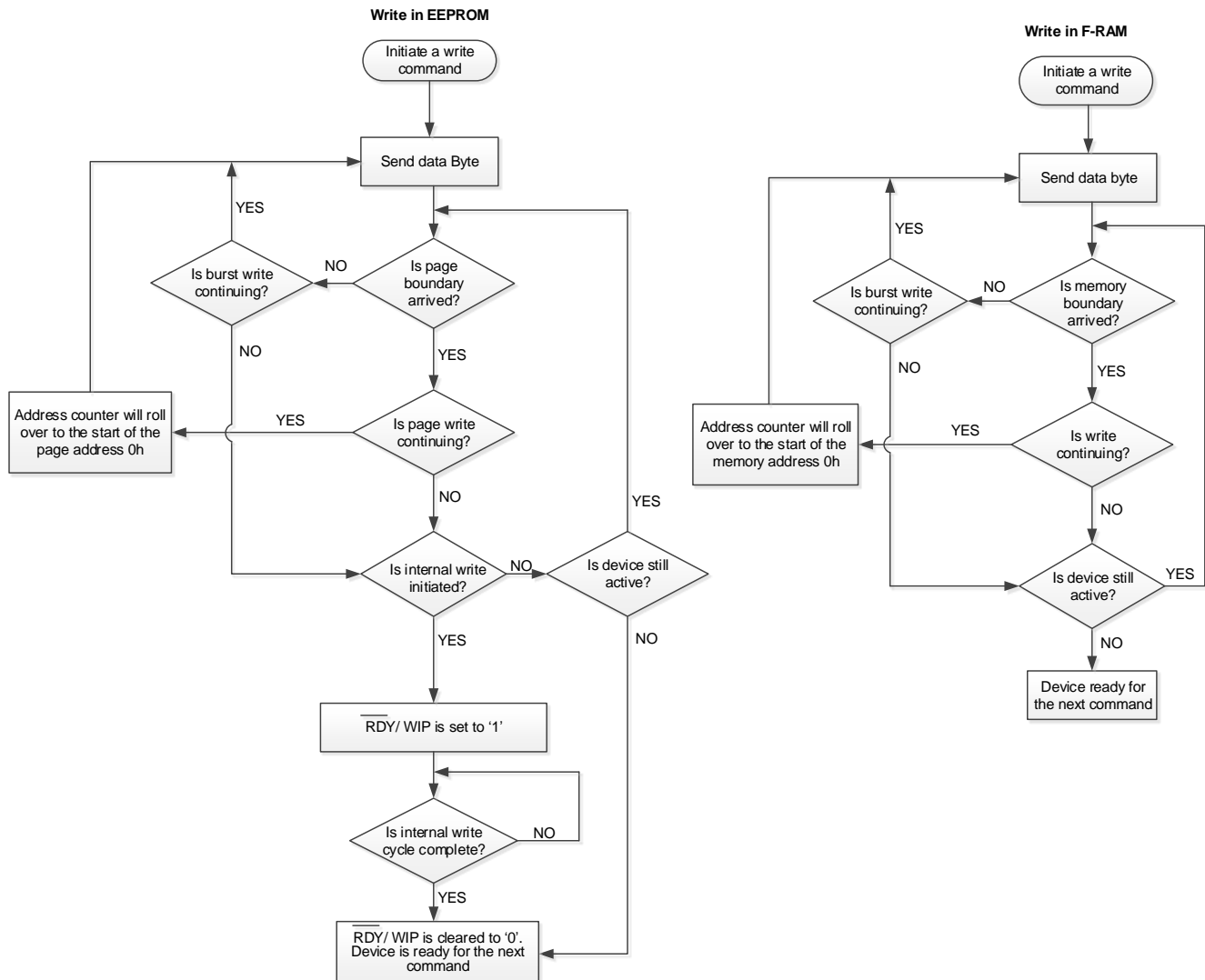
SPI EEPROM 和 SPI F-RAM 的 SPI 主机控制器固件同样工作，但未支持的特性/操作码除外。本节介绍的是当 EEPROM 替换为 SPI F-RAM 解决方案时，通过固件更新在系统中得到改善的 EEPROM 中的各种操作。

4.1 EEPROM 中的多个页面与 F-RAM 中的单页面

逐页对 EEPROM 进行编写或编程。EEPROM 器件的典型页面大小为存储器大小的 1/512th。意味着需要写入到整个 EEPROM 存储器，主机控制器需要启动 512 次页面写操作。主机控制器还需要跟踪写入到单独页面上的总数据字节计数，以防止该计数器被翻转。

F-RAM 不支持页面架构，因此，整个存储器阵列作为一页处理。通过使用单个写指令可以在突发模式下对整个 F-RAM 阵列进行编写。一旦内部计数器达到最后的 F-RAM 地址，计数器将翻转到起始地址 0h。由于 SPI F-RAM 写操作包含一个单页面，因此主机控制器只需要跟踪 SPI F-RAM 的一个计数器，而不是跟踪页面计数的多个计数器和页面中的字节计数。SPI F-RAM 通过减少执行步骤的数量来简化固件设计。图 7 演示了在 SPI EEPROM 和 SPI F-RAM 中进行的写操作。

图 7. EEPROM 和 F-RAM 中进行的写操作



4.2 页面写延迟

EEPROM 通常需要 5 ms 的页面写延迟，用以将其缓冲区中的数据传送到非易失性 EEPROM 单元内。EEPROM 页面大小根据容量变化或容量不同的不同供应商产品而变化。系统固件必须考虑不同页面大小以及不同 EEPROM 器件间的页面写延迟。

SPI F-RAM 不需要页面写延迟，因此可以从固件移除写延迟，以便在替换为 SPI F-RAM 时提高系统的非易失性写性能。

4.3 状态寄存器中的 RDY/WIP 位

SPI EEPROM 将状态寄存器位 0 定义为就绪 (RDY) 或正在进行写操作 (WIP)。当进行 EEPROM 页面写操作时，状态寄存器位 0 将被设置为 '1'，以表示 EEPROM 处于繁忙状态。在启动新的写访问或读访问前，主机控制器通过轮询状态寄存器的 RDY/WIP 位来确定 EEPROM 状态。

5 总结

将 SPI EEPROM 替换为赛普拉斯 SPI F-RAM 可提高系统的性能、可靠性，并能节省功耗。赛普拉斯的 SPI F-RAM 的工业标准引脚、封装配置、SPI 指令集（操作码）以及电气兼容性等特性都更加简单。两个器件间的差异都在本应用笔记中明确指出。需要考虑这些差异，但在大部分应用中通常不用过于关注这些差异。

6 相关文档

6.1 应用笔记

- [AN304 — F-RAM™ 的 SPI 指南](#)
- [AN87352 — F-RAM™ 在智能电子式电表中的应用](#)

关于作者

姓名： Shivendra Singh

职务： 首席应用工程师

文档修订记录

文档标题: AN96614 — 将 SPI EEPROM 替换为赛普拉斯的 SPI F-RAM™

文档编号: 001-98304

版本	ECN	变更者	提交日期	变更说明
**	4840315	RZZH	07/16/2015	本文档版本号为 Rev**, 译自英文版 001-96614 Rev**。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想查找离您最近的办事处，请访问赛普拉斯所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC®解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

PSoC 是赛普拉斯半导体公司的注册商标且 PSoC Creator 是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标归其各自所有者所有。



赛普拉斯半导体公司
198 Champion Court
San Jose, CA 95134-1709
电话 : 408-943-2600
传真 : 408-943-4730
网址 : www.cypress.com

©赛普拉斯半导体公司，2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会根据专利权或其他权利以明示或暗示方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受限于赛普拉斯软件许可协议。